

# 核能安全委員會委託研究報告

## 元件製程抗輻射技術發展

計畫編號：NSC11212055L

受委託機關：國立清華大學

計畫主持人：趙得勝

共同主持人：巫勇賢、張廖貴術

中華民國 113 年 12 月

## 目 錄

圖目錄.....	III
表目錄.....	V
中文摘要.....	VI
英文摘要.....	VII
子項一、抗輻射之新興記憶體元件開發：以材料、元件結構與電壓脈衝改善 FeFET 鐵電記憶體之抗輻射能力 .....	9
壹、計畫緣起與目的.....	10
貳、研究方法與過程.....	15
參、主要發現.....	16
肆、結論.....	24
伍、參考資料.....	25
子項二、抗輻射之積體電路製程與先進電晶體研究：鰭式與閘環繞式場效電晶體之抗輻射氧化層製程開發及分析 .....	26
壹、計畫緣起與目的.....	27
貳、研究方法與過程.....	33
參、主要發現.....	37
肆、結論.....	45
伍、參考資料.....	46
子項三、寬能隙半導體材料與元件之輻射效應評估：SiC MOS 電容元件及其輻射效應分析.....	47
壹、計畫緣起與目的.....	48
貳、研究方法與過程.....	51
參、主要發現.....	55
肆、結論.....	66

伍、參考資料..... 67

## 圖目錄

圖 1.1 本項目研究抗輻射能力之 FeFET 鐵電記憶體結構與製程條件 .....	16
圖 1.2 以 ALD 透過 $\text{HfO}_2/\text{ZrO}_2$ 層疊結構沉積 HZO 鐵電層之製程流程與 $\text{O}_2$ plasma 於 HZO 沉積時之製程步驟.....	16
圖 1.3 氧流量為 200 sccm 之 HZO 鐵電層其 EXAFS 光譜與 XRD 繞射圖.	21
圖 1.4 不同氧流量之 HZO 所製作之 n 型通道 FeFET 記憶體其在質子輻射照射前/後之電流-電壓特性曲線.....	21
圖 1.8 HZO 之氧空缺在操作前/後之數量與分佈位置示意圖 .....	23
圖 1.9 不同氧流量之 n 型通道 FeFET 記憶體隨操作次數增加之剩餘極化值保存比例.....	23
圖 1.10 資料保存能力在長/短期觀點下之損失原因分析[17] .....	23
圖 1.11 不同氧流量之 n 型通道 FeFET 記憶體隨時間增加之記憶視窗保存比例.....	24
圖 2.1 平面到立體結構之鰭式與閘環繞式場效電晶體通道剖面示意圖 .....	30
圖 2.2 超臨界流體(SCF)製程示意圖.....	33
圖 2.3 不同鍍縮合方法之 n-FinFET 製作流程圖.....	35
圖 2.4 SiGe/Si FinFET、GAAFET 元件結構圖.....	37
圖 2.5 電晶體之 Ion、Ioff 退化比例對不同輻射劑量率 .....	38
圖 2.6 (a)無(W/O) (b)SCF-異丙醇(c) Desorb (d) Chemical 不同鍍縮合方法之 n-FinFET 在 $V_D=0.1\text{ V}$ 、 $V_D=0.5\text{ V}$ 之汲極電流對閘極電壓之對數圖	39
圖 2.7 (a)無(W/O) (b)Desorb (c)Chemical (d) 不同鍍縮合方法之 n-FinFET 汲極電流對汲極電壓圖 .....	40
圖 2.8 不同鍍縮合方法 n-FinFET(a)電流開關比，(b)次臨界擺幅之盒狀圖	41
圖 2.9 輻射傷害對(a)SCF-IPA(b)Desorb(c)Chemical 鍍縮合方法之矽鍍 ( $\text{Si}_{0.9}\text{Ge}_{0.1}$ ) n-FinFET 在 $V_D=0.5\text{ V}$ 汲極電流對閘極電壓之對數圖 .....	42

圖 2.10 輻射傷害對(a)SCF-IPA(b)Desorb(c)Chemical 鍍縮合方法之矽鍍 (Si <sub>0.9</sub> Ge <sub>0.1</sub> ) n-FinFET 汲極電流對汲極電壓圖 .....	43
圖 2.11 輻射傷害對不同鍍縮合方法之矽鍍(Si <sub>0.9</sub> Ge <sub>0.1</sub> ) n-FinFET 的(a) Ion、 (b) Ioff 的退化比例盒狀圖 .....	44
圖 2.12 SiGe nGAAFET 的(a)汲極電流對閘極電壓(Id-Vg)之對數圖, (b)汲極 電流對汲極電壓(Id-Vd)圖 .....	45
圖 3.1 各類半導體材料之臨界位移能量 .....	50
圖 3.2 游離輻射對於 MOS 電容特性的影響 .....	51
圖 3.3 4H-SiC MOS 電容與基板結構示意圖 .....	53
圖 3.4 4H-SiC MOS 電容元件之 DIP 封裝照片 .....	54
圖 3.5 加馬輻照實驗架設情形及封裝元件不同腳位對應的偏壓條件 .....	54
圖 3.6 THOR 中子源及 VT-6 垂直照射管位置示意圖 .....	55
圖 3.7 不同尺寸的 4H-SiC MOS 電容的 C-V 特性曲線 .....	57
圖 3.8 不同尺寸的 4H-SiC MOS 電容的 1/C <sup>2</sup> -V 特性曲線 .....	57
圖 3.9 不同閘極偏壓條件下之 4H-SiC MOS 電容的 C-V 特性曲線隨加馬輻 照劑量變化 .....	60
圖 3.10 4H-SiC MOS 電容在不同偏壓下的 $\Delta V_{ot}$ 隨加馬輻照劑量變化 .....	60
圖 3.11 4H-SiC MOS 電容在不同偏壓下的 $\Delta V_{it}$ 隨加馬輻照劑量變化 .....	61
圖 3.12 4H-SiC MOS 電容之 C-V 特性曲線隨中子輻照通量變化 .....	64
圖 3.13 4H-SiC MOS 電容之 $\Delta V_{ot}$ 與 $\Delta V_{it}$ 電壓偏移隨中子輻照通量變化 .....	65
圖 3.14 4H-SiC MOS 電容之氧化層陷阱電荷增量 $\Delta N_{ot}$ 隨中子與加馬輻照條 件變化 .....	65
圖 3.15 SiC 材料之歸一化有效載子濃度 $N_d$ 隨中子與加馬輻照條件變化 .....	66

## 表目錄

表 1.1 不同氧流量之 HZO 鐵電層透過 EXAFS 光譜與 XRD 繞射圖案分析 其晶相分佈 .....	21
表 2.1 SiGe 鰭式場效電晶體元件閘極界面層製程參數表 .....	36

## 中文摘要

隨著太空任務和低軌道衛星應用需求日益增加，太空科技已成為各國競相投入的關鍵領域。太空應用的商業化趨勢不僅創造了眾多新的商業和技術發展機會，也促進了相關產業的快速成長。然而，太空科技仍面臨諸多技術挑戰，特別是太空環境中的高能輻射對電子元件和系統的影響。這些輻射效應可能導致電子元件性能劣化或失效，成為限制太空科技進一步發展的重要瓶頸之一。為了推動太空科技的創新應用，深入了解輻射對電子元件與材料的影響及其作用機制是建立太空電子應用技術基礎的核心。同時，為了解決在極端太空輻射環境下電子元件的可靠性問題，開發能夠在這種環境下使用的抗輻射電子元件也至關重要。本研究計畫專注於探索新型半導體材料、先進製程技術與新型記憶體元件結構，致力於評估並開發高輻射耐受性的先進電子元件。研究重點聚焦於評估新型材料和元件結構的輻射效應，了解各種輻射效應的劣化機制，以及建立完善的測試與驗證方法，為太空科技發展提供實際和可靠的解決方案。本年度的研究主題包括：(1) 開發抗輻射的新興記憶體元件：通過材料、元件結構和電壓脈衝改善 FeFET 鐵電記憶體的抗輻射能力；(2) 抗輻射積體電路製程與先進電晶體研究：開發和分析鰭式與閘環繞式場效電晶體的抗輻射氧化層製程；(3) 寬能隙半導體材料與元件的輻射效應評估：分析 SiC MOS 電容元件及其輻射效應。本文為此研究計畫的期末報告，內容涵蓋上述各項研究主題的緣起與目的、研究方法與過程，以及各項研究主題的主要成果與發現。

## 英文摘要

As the demand for space missions and low Earth orbit (LEO) satellite applications continues to grow, space technology has become a critical investment focus for countries worldwide. The commercialization of space applications has also created numerous new business and technological development opportunities. However, so far this field still faces many significant challenges, particularly the impact of high-energy radiation in space on electronic devices and systems. Such radiation effects can degrade or even cause failures in electronic devices, posing a major obstacle to the development of space technology. To promote innovative applications in space technology, understanding the effects of radiation on electronic devices and materials as well as their mechanisms is essential. This knowledge forms the foundation for developing space-grade electronics. Addressing reliability issues in extreme space radiation environments necessitates the creation of radiation-hardened electronic devices capable of operating under such conditions. This research project aims to explore new semiconductor materials, advanced fabrication technologies, and novel memory device structures to evaluate and develop high radiation-tolerant electronic devices. The research focuses on evaluating radiation effects on new materials and device structures, understanding degradation mechanisms of various radiation effects, and establishing efficient testing and verification methods. These efforts will provide practical and reliable solutions for advancing space technology. The research topics for this year include:

- (1) Development of Radiation-Resistant Emerging Memory Devices: Enhancing the radiation tolerance of FeFET ferroelectric memory through innovations in materials, device structures, and voltage pulse designs.
- (2) Research on Radiation-Hardened Integrated Circuit Process Technology and Advanced Transistors: Developing and analyzing radiation-hardened oxide layer process for FinFETs and gate-all-around transistors.

(3) Evaluation of Radiation Effects on Wide Bandgap Semiconductor Materials and Devices: Characterizing SiC MOS capacitors and assessing their radiation effects.

This final report provides an overview of the research background and objectives of the above research topics, details the methods and processes employed, and summarizes the key findings and outcomes achieved in this project.

子項一、抗輻射之新興記憶體元件開發：以材料、元件結構與電壓脈衝改善 FeFET 鐵電記憶體之抗輻射能力

## 壹、計畫緣起與目的

### ● 太空環境中的輻射

近年來無論是政府機構與民間單位對於低軌衛星(low earth orbit, LEO)的發展與太空探索的渴望展現了強烈的企圖心。然而在這高度輻射的環境中，藉由屏蔽(shielding)和封裝減緩輻射引起的元件損傷通常效果有限[1]，因此開發抗輻射電子元件應用於空任務中惡劣的環境至關重要。太空環境由多種粒子組成，這些粒子與電子元件交互作用下，將導致電路運作受到相當不利的影響。通常在太空環境所關注的輻射源主要可分為兩個類別：光子(photon)和帶電粒子(charged particle)。光子的特徵是靜止質量(rest mass)為零且為電中性，如 $\gamma$ 射線與X射線均屬於光子範疇。光子藉由光電效應、康普頓散射(Compton Scattering)和電子/電洞對(electron/hole pairs)生成與目標原子產生交互作用。無論是哪一種情況下，交互作用都會產生高能量的自由電子。至於對於質子(proton)、 $\alpha$ 粒子和重離子等帶電粒子而言，當它們與目標原子碰撞時，主要的交互作用是透過拉瑟福散射(Rutherford scattering)，也稱為庫倫散射(Coulomb scattering)。這種交互作用將導致原子核周圍的電子形成激發態(excitation)或原子的離子化(ionization)。此外，在拉瑟福散射過程中，原子可以獲得足夠的能量使其從晶格內的通常位置移位。簡言之，質子輻射對半導體元件的影響主要由兩種機制決定，包括電子/電洞對的產生(離子化)以及原子從晶格位置位移(位移損傷，displacement damage)。一般來說，穿過材料的質子會將部分能量轉移作為離子化所需能量，其餘能量則轉移至材料造成位移損傷。

無論是哪一種輻射源，半導體元件於太空環境下最常發生的輻射效應包括與累計輻射時間相關的總游離劑量(Total Ionizing Dose, TID)效應以及與輻射時間無關的單一事件效應(Single Event Effect, SEE)效應。TID效應泛指輻射照射使半導體晶格結構產生游離反應，因而產生電子/電洞對

(electron/hole pairs)容易受到元件中缺陷結構所捕獲(trap)，一旦累計輻射劑量越高，缺陷捕獲的載子越多，將會對元件特性造成逐漸改變，甚至造成元件永久的傷害。至於 SEE 則是指當單一高能量的粒子(通常是重離子或質子)擊中半導體元件時，會使得局部區域的原子發生游離化現象，產生大量電荷、在元件中傳遞並在缺陷處被捕獲。這樣的現象可能造成 Single Event Upset (SEU)等軟錯誤(soft error/bit flip 可藉由重新寫入正確資料即可更正)或 Single Event Latch-Up (SEL)/Single Event Gate Rupture (SEGR)等硬錯誤(hard error，元件發生不可回復的永久性傷害)。

### ● 適用於太空任務的新興記憶體

非揮發性記憶體(non-volatile memory)是太空任務酬載(payload)中主要的電子元件之一，因為在數據能夠重送到地球的數據中心之前，需要存儲即時影像與高分辨率圖像。儘管閃存記憶體已廣泛被用作太空應用的非揮發性記憶體，但其對於輻射的高敏感性與高操作電壓，仍有改善的空間。基於  $\text{HfO}_2$  的鐵電記憶體(ferroelectric memory)是一種新興的非電荷基礎記憶元件(non-charge-based memory)，提供低功耗操作與極佳的抗輻射性，更適用於太空任務。鐵電記憶體泛指以鐵電層中電偶極(dipole)極化方向作為儲存資料的媒介，即使在遭受輻射引發的電流或電荷時仍不易改變原有的極化方向，因此抗輻射的能力較傳統基於電荷儲存之快閃記憶體優異。事實上，鐵電記憶體並非是新穎的記憶體結構，甚至基於  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$  (PZT) 等傳統鈣鈦礦鐵電材料的鐵電記憶體已有商業化產品。然而 PZT 材料並不相容於現有的積體電路製程，且微縮後鐵電特性有大幅劣化之虞，因此基於傳統鈣鈦礦鐵電材料之記憶體無法提高儲存密度。不過傳統鐵電材料發展上的限制因為 2011 年重大的材料科學進展而徹底獲得改善，此重大的進展即是當年科學家發現以 Si 摻雜的  $\text{HfO}_2$  具有鐵電特性(ferroelectricity)[2-3]，後續發現 Zr、Al、La 等摻雜均有類似的功能。這項發展最重要的意義

在於  $\text{HfO}_2$  與相關的摻雜元素均完全相容於現有的積體電路製程，因此以基於  $\text{HfO}_2$  之鐵電記憶體近年來已是學界與業界競相研究的主題，對於未來的記憶體產業可能帶來深遠的影響。鐵電記憶體主要分為三種結構，包括(a)一個電晶體與一個鐵電電容器所組成的 ferroelectric RAM (FeRAM)、(b)單一電晶體形式的 ferroelectric FET (FeFET)以及(c)上/下電極包覆鐵電層的 ferroelectric tunnel junction (FTJ) [4]。其中 FeFET 鐵電記憶體是將傳統 MOS 電晶體結構中的閘極介電層以基於  $\text{HfO}_2$  的鐵電材質取代，結構與現有的電晶體一致，且與積體電路製程技術相容。與 FeRAM 相較之下，FeFET 鐵電記憶體具備更高密度之記憶胞。與 FTJ 相較之下，FeFET 鐵電記憶體則具備更成熟的操作機制與免於陣列結構中潛行電流(sneak current)的優勢。基於上述的操作優勢，因此 FeFET 鐵電記憶體受到高度的矚目，甚至也有德國新創公司以此為產品，顯見其前瞻性與實務應用的可行性。

#### ● 鐵電記憶體對 $\gamma$ 射線照射之抗輻射能力

本團隊是 FeFET 鐵電記憶體之抗輻射研究方面的先驅之一，2019 年本團隊首次報告了基於  $\text{HfO}_2$  之 FeFET 鐵電記憶體其記憶體效能與  $\gamma$  射線總游離劑量(total ionizing dose, TID)之關聯性。研究發現，若  $\text{HfO}_2$  鐵電層與半導體間之介面層沒有適當的處理，雖然資料保存能力(retention)仍有不錯的表現，但 endurance 在  $10^4$  次後即有明顯的惡化。這並非表示  $\text{HfO}_2$  鐵電層抗輻射能力劣化，而是輻射造成介面處大量的電子-電洞對並伴隨著化學鍵斷裂形成的氧空缺(oxygen vacancy)，造成鐵電疇(domain)被釘扎(pinning)而使鐵電層中的電偶極無法切換方向[5-6]。2020 年韓國三星電子透過監控反覆操作的過程中陷阱的空間分布(spatial distribution of traps)進一步研究高度微縮的 FeFET 鐵電記憶體其 TID 效應。在經過  $10^3$  次的反覆操作後，照射  $\gamma$  射線輻射的 FeFET 其界面陷阱顯著增加[7]。為了減緩 FeFET 鐵電記憶體在輻射照射下的耐久性(endurance)劣化，2021 年中國西安電子科技大學的

團隊提出在 HfO<sub>2</sub> 鐵電層和 Si 基板之間導入額外的 HfO<sub>2</sub> 種子層 [8]。此外，2022 年美國聖母大學與喬治亞理工的團隊也報導了先進 FinFET 結構之鐵電記憶體其 TID 效應，這證實了 FeFET 在惡劣的輻射環境中仍能高度的抗輻射能力 [9]。由於與 n 型通道之 FeFET 鐵電記憶體相較之下，p 型通道之 FeFET 鐵電記憶體具有更為優異的寫入後讀取延遲(read-after-write latency) 與反覆操作下之耐久性表現，因此本團隊於 2022 年與 2023 年分別報導了 p 型 Si 通道 [10] 與 p 型 Ge 通道 [11] 之 FeFET 鐵電記憶體抗輻射能力。

### ● 鐵電記憶體對質子照射之抗輻射能力

儘管上述的報告均展現了 FeFET 鐵電記憶體對於  $\gamma$  射線極佳的抗輻射能力，但對於外太空或低軌衛星所處的環境，質子，而非  $\gamma$  射線，才是主要的輻射源。以高度 500 公里的低軌衛星而言，其所處環境中具有 10 MeV 能量之質子 (Van Allen 輻射帶內層的質子能量約 10 MeV)，其總流量 (total fluence) 大致為  $10^9$  ions/cm<sup>2</sup>。目前質子輻射效應對於鐵電記憶體的影響評估尚處於初期研究的階段，相關的報導相當稀少。2018 年中國科學院的團隊報導了基於 HfYO<sub>x</sub> 的鐵電電容器在質子輻射 (3 MeV,  $10^{15}$  ions/cm<sup>2</sup>) 下進行了研究，觀察到了鐵電材質特性的輕微變化，顯示對太空應用具有有用的潛力 [12]。2021 年中國科學院的團隊報導了質子輻射 (3 MeV,  $1.5 \times 10^{13}$  ions/cm<sup>2</sup>) 對於 Ge 基板上基於 HfZrO<sub>x</sub> (HZO) 的 FTJ 記憶體影響 [13]。儘管剩餘極化量 (remanent polarization, P<sub>r</sub>) 在質子照射後的變化可以忽略不計，但由於氧空缺於輻射後有重新擴散的現象，因此展現了所謂的“喚醒”效應 (wake-up effect)。有鑑於質子輻射對於鐵電記憶體的研究僅限於電容器與 FTJ 元件，本團隊於 2022 年即投入質子輻射對於 FeFET 鐵電記憶體效能之影響，探討鐵電材質 HZO 的 Zr 比例改變與抗輻射能力的關聯性，其中 HZO 鐵電層之 Zr 含量範圍從 40 % 到 67 %，而質子的能量為 10 MeV，流量最高達  $2.5 \times 10^{14}$  ions/cm<sup>2</sup>。結果顯示，Zr 比例 67 % 之 FeFET 鐵電記憶體於質子輻

射照射後呈現較小的記憶視窗、較嚴重的可靠度劣化與較差的極化-電壓 (polarization-voltage) 特性圖之斜率變化。經由詳細的機制探討推論這是由於 Zr 比例 67 % 之 HZO 其本質上氧空缺數量較多，經過輻射照射後產生更多的氧空缺。反觀在相同的質子流量下，Zr 比例 50 % 之 FeFET 鐵電記憶體對質子輻照表現出更高的輻射韌性(resilience)，不僅呈現高達 2.4 V 的記憶視窗，即使經過  $10^7$  次的反覆操作其記憶視窗僅有些微衰減。此外，其在高流量的輻射照射下亦能在 10 年線保持極佳的記憶視窗，為太空任務應用提供更具前瞻性的競爭優勢。本研究結果將刊登 2024 年 Applied Surface Science [14]，這是文獻上首次關於 FeFET 鐵電記憶體對於質子輻射抵抗能力的報導。該期刊 2022 年的影響因子為 6.7，為 MATERIALS SCIENCE, COATINGS & FILMS 領域前 5% 之頂尖期刊。根據期刊網站說明，該期刊接受率僅 18 %，顯示本研究主題獲得頂尖學術社群的高度肯定。

### ● 計畫目標

無論是針對  $\gamma$  射線或質子輻射，本團隊均扮演著先驅者的角色，不斷探索如何進一步強化 FeFET 鐵電記憶體之抗輻射能力。本年度計畫將以基於 HZO 之 FeFET 鐵電記憶體為研究對象，進一步探討質子輻射累計照射劑量 TID 對於元件可靠度的影響，同時也提出強化鐵電記憶體可靠度之製程與結構與可能的修復輻射損傷方式，藉由深入的電性與物性分析，進一步掌握質子輻射對於鐵電材料及元件特性之影響，目標是開發操作功耗更低，更具有抗輻射競爭力之 FeFET 鐵電記憶體，期盼質子能量在  $10 \text{ MeV}/5 \times 10^{13} \text{ ions cm}^{-2}$  之輻照條件下，透過電性復原機制可使 FeFET 耐久度達  $10^8$  次。資料保存達 10 年，拓展 FeFET 鐵電記憶體應用於太空任務的可行性。

## 貳、研究方法與過程

儘管團隊在上年度計畫已領先國際上其他團隊率先報導了基於  $\text{HfO}_2$  鐵電記憶體對質子照射之抗輻射能力，但與  $\gamma$  射線之相關研究相比，質子輻射對於元件操作的影響仍有相當多的議題有待釐清並值得進一步探索。由於質子輻射在基於  $\text{HfO}_2$  鐵電記憶體的研究仍在相當初始的階段，本年度計畫將探討質子輻射的 TID 效應為主，待掌握了相關的製程與量測技術後，於往後年度的計畫再進階至 SEE 效應之探討。在質子輻射的研究初期，深入探討基於  $\text{HfO}_2$  之鐵電層其基本的材料性質如何影響質子輻射後的記憶體特性是非常關鍵的步驟，因此在前一年度本團隊探討了不同 Zr 比例之 HZO 鐵電層在改變質子輻射劑量下之 n 型通道 FeFET 記憶體特性。研究成果顯示 Zr 比例的比例影響抗輻射能力甚大，且以 Zr 50% 的 HZO 具有最佳化的抗輻射能力。在此基礎之上，本年度將以 10 MeV 之質子能量，流量在  $5 \times 10^{13}$  ions/cm<sup>2</sup> 之條件下，探討 ALD 製程沉積 HZO 鐵電層之氧流量對於 n 型通道 FeFET 記憶體抗輻射能力之影響。值得注意的是文獻上雖然不乏氧流量對於 HZO 鐵電元件的探討，不過大部分都侷限在 PVD 沉積之 HZO，ALD 沉積之研究較為欠缺，對應到的抗輻射研究更從未報導。

本次研究是以圖 1.1 的 n 型通道 FeFET 記憶體為平台，探討 10-nm 之 HZO 鐵電層在不同的氧流量環境下沉積對於 FeFET 記憶體特性與抗輻射能力的影響。HZO 鐵電的沉積是以 ALD 製程機台，在 250 °C 的腔體溫度下，如圖 1.2 所示，透過 TEMA-Hf (Hf 前趨物)、O<sub>2</sub> plasma、TEMA-Zr (Zr 前趨物)、O<sub>2</sub> plasma 之順序進行沉積並反覆循環，其中 O<sub>2</sub> plasma 作為氧化源。藉由圖中  $\text{HfO}_2$  與  $\text{ZrO}_2$  各自的 cycles 數目即可以調變 HZO 之 Zr 比例。本計畫是以 50% Zr 比例之 HZO 為基礎，調變 O<sub>2</sub> plasma 之氧流量藉以控制 HZO 內的氧含量(氧空缺)，氧流量的變化從 5 sccm、50 sccm 到 200 sccm。此外，元件結構中的介面層是以氧化方式形成  $\text{SiO}_2$ ，而在完成源極/汲極

(source/drain)之磷離子佈植(phosphorous ion implantation)後，最後以 800 °C/30 sec 的條件進行摻雜活化並使鐵電層結晶完成 n 型通道 FeFET 記憶體。元件完成後即進行基本電性與可靠度的量測，之後則以 10 MeV 之能量， $5 \times 10^{13}$  ions/cm<sup>2</sup> 之流量進行質子輻射照射，完成照射後則在進行前述的電性與可靠度的分析，探討氧流量及其相關的氧空缺數量如何影響記憶體元件之抗輻射能力。

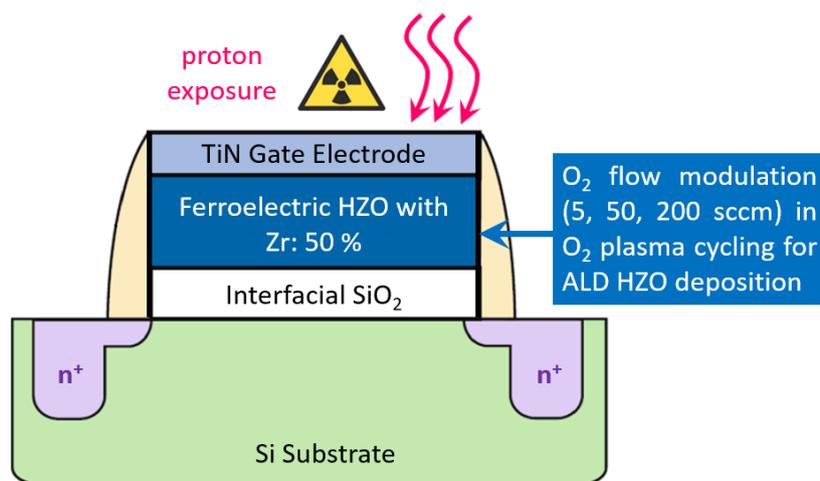


圖 1.1 本項目研究抗輻射能力之 FeFET 鐵電記憶體結構與製程條件

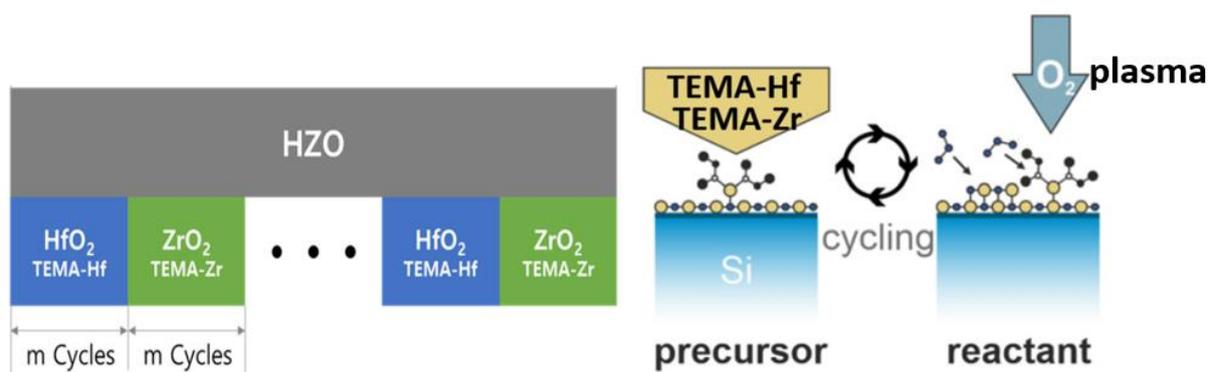


圖 1.2 以 ALD 透過 HfO<sub>2</sub>/ZrO<sub>2</sub> 層疊結構沉積 HZO 鐵電層之製程流程與 O<sub>2</sub> plasma 於 HZO 沉積時之製程步驟

### 參、主要發現

在前一年度確認 Zr 50 % 的 HZO 鐵電層具有最佳化抗輻射能力之基礎上，本階段探討 HZO 鐵電層在此比例下，ALD 沉積時之不同氧流量對

於抗輻射能力之影響。控制 HZO 鐵電層的參數相當多，不過氧流量扮演關鍵的角色，主要原因在於鐵電元件的可靠度與抗輻射能力表現有很大一部分取決於鐵電層內氧空缺的數量與分佈情況，而氧流量正是控制氧空缺參數的重要因素。然而，鐵電層內的氧空缺數量也並非越少越好，主要的原因在於 HZO 鐵電層之鐵電性(ferroelectricity)來自於非中心對稱(non-centrosymmetric)結構之 orthorhombic-phase (o-phase)晶相，而此晶相與氧空缺數量關係密切。氧空缺數量達到一定的門檻方能夠使晶相穩定，一旦氧空缺數量太少則傾向形成非鐵電性之 monoclinic phase (m-phase)，然而氧空缺數量過多則傾向形成 tetragonal phase (t-phase)，此晶相偏向於反鐵電性(anti-ferroelectricity)，仍舊無法實現理想的鐵電元件。

有鑑於此，本計畫首要的研究目標即為確認不同氧流量對於 HZO 結晶晶相的影響。判斷 HZO 晶相最常見的方式是以 XRD 進行繞射分析，藉由繞射峰值的角度來判斷晶相種類。然而傳統的 XRD 技術很難區分 o-phase (111)與 t-phase (011)兩種晶相，這是因為兩者的繞射峰幾乎出現在相同的繞射角度，因此幾乎所有的文獻都以繞射角度  $30.5^\circ$  認定是 o-phase。若能以其他分析方式進一步解析出兩種晶相在材料中分別的占比，對於本計畫探討氧流量製程以及輻射照射對於鐵電材質晶相的影響，乃至於連結到元件效能與可靠度至關重要。為了在鐵電材質晶相的鑑定上有更深入的分析，本團隊已與國家同步輻射中心合作多年，近期團隊已成功開發結合 X 光吸收光譜(XAS)與繞射技術(XRD)的分析方式，可以深入解析各晶相占比，也可透過 XRD 進行應力計算與晶粒尺寸，對於未來鐵電元件的開發有相當重大的助益。本技術的基本原理在於 XRD 高階應用中，採用 Rietveld Refinement (RR)計算方式進行的定量分析雖然考量了 m-、o-和 t-phase 的貢獻，且可與量測的繞射圖案擬合良好。然而，由於 o-和 t-phase 這兩個晶相的繞射信號嚴重重疊，標準差過大，無法精準地分辨 o-和 t-phase，僅能

精準分析 m-phase。類似的情況也發生在延伸 X 光吸收精細結構(EXAFS, XAS 的其中一種觀測範圍), EXAFS 之的線性組合擬合(LCF)結果因為 o-和 m-phase 這兩種晶相的模擬 EXAFS 光譜具有相似的輪廓, 因而無法精確分辨兩種晶相, 僅能精準分析 t-phase。整合 XRD 之 RR 分析與 EXAFS 之 LCF 分析各自的優點, 本團隊可以更精準的進行晶相之間的辨識[15], 而這項分析方式可應用至分辨本計畫不同氧流量所對應的 HZO 晶相。圖 1.3 顯示了氧流量為 200 sccm 之條件下, HZO 之 XRD 與 EXAFS 分析結果, RR 與 LCF 擬合結果也同時呈現。從 XRD 的分析可知其 m-phase 比例為 10.2%, o-和 t-phase 的比例為 89.8% (兩晶相無法區分)。另一方面, 從 EXAFS 的分析可知該條件之 HZO 其 t-phase 比例為 0%, o-和 m-phase 的比例為 100% (兩晶相無法區分)。綜合上述分析結果可知此條件下之 HZO 其 m-phase、o-phase 與 t-phase 比例分別為 10.2%、89.8%與 0%, 顯示在高氧流量之條件下 HZO 擁有相當高比例的 o-phase。依照相同的分析方式, 表 1.1 整理了三種不同氧流量的條件下, HZO 所對應的晶相分佈情況。結果顯示在此範圍內, 氧流量越高, o-phase 比例越高。氧流量越低, t-phase 比例越高, 這對於開發鐵電元件提供了相當重要的參考, 這也是首次有研究透過 XRD 與 EXAFS 的精確分析探討氧流量對於晶相的影響。

圖 1.4 顯示三種不同氧流量之 HZO 所製作之 n 型通道 FeFET 記憶體其在質子輻射照射前/後之  $I_D$ - $V_{GS}$  特性表現(分別以空心/實心特性圖表示), 此特性圖為直流電壓雙向掃描的結果, 逆時針的軌跡也證實此 FeFET 記憶體無論是否接受輻射照射, 其資料儲存機制均是由電偶極(dipoles)翻轉而非電荷捕獲(charge trapping)。輻射照射前, 氧流量對於記憶視窗(memory window, MW)的影響不大, 三種條件之 MW 分別為(1) 5 sccm: 2.35 V; (2) 50 sccm: 2.65 V; (3) 200 sccm: 2.63 V。然而在質子幅照後, MW 發生顯著的差異, 三種條件的 MW 與輻射照射前之 MW 比例分別為(1) 5 sccm: 66%; (2)

50 sccm: 76 %; (3) 200 sccm: 85 %。此結果顯示 HZO 鐵電層之 t-phase 比例越高，則對於輻射的抵抗能力越弱。推測是因為 t-phase 比例越高之 HZO，其初始之氧空缺的數量越多，相關的缺陷數量也較高，一旦幅照後就越容易產生新的缺陷，因而使得 5 sccm 的試片其劣化程度最為明顯。值得注意的是輻射照射後 low-Vt 狀態較 high-Vt 狀態有明顯的偏移。由於 low-Vt/high-Vt 狀態是由閘極分別施加正偏壓/負偏壓所產生，在正偏壓/負偏壓分別可能造成通道的電子捕獲(electron trapping)與電洞捕獲(hole trapping)，尤其在輻射照射後，缺陷密度提高，載子的捕獲機率也因此提升。儘管如此，由於通道電子與電洞被捕獲所需的能障(barrier height)分別正比於 conduction band offset ( $\Delta E_c$ )與 valence band offset ( $\Delta E_v$ )，而  $\Delta E_c$  小於  $\Delta E_v$ ，故電子捕獲的機率遠高於電洞捕獲。此外，由於 t-phase 比例越高之 HZO，其初始的氧空缺數量越多，因輻射而新增的缺陷數量也較高，故上述的電子捕獲現象在 5 sccm 的試片其 low-Vt 狀態偏移最為明顯。

在了解到質子輻照對於初始狀態下的不同氧流量之 FeFET 記憶體的 MW 表現後，本團隊也針對元件的耐久度方面進行測試，在元件反覆操作的初始階段，鐵電疇釘札(domain wall pinning)受到施加的電場影響下而發生去釘札(de-pinning)的現象，而耐久度受到 electrical stress 產生出氧空缺並發生了電荷捕捉(charge trapping)，也因此不論氧流量的多寡或是是否經過輻照，MW 都會隨著操作次數的增加而會有衰減的現象，如圖 1.5 所示。圖 1.6 顯示了氧流量分別為 5 sccm 與 200 sccm 下的輻照前/後的 MW 保存比例，從中可以發現不論是哪種的氧流量，隨著操作次數的增加，其比例將會隨之增高，尤其當氧流量提高時，其保存比例更加明顯提升，顯示高氧流量能夠減緩 MW 的衰減幅度。另一方面，當半導體元件在經過輻照後，此時將會有 2 種效應互相競爭，分別為(1) 氧空缺產生；(2) 氧離子遷移。氧空缺產生來自於輻射能量透過彈性與非彈性核碰撞(nuclear collision)傳

遞到 HZO 中，而氧離子遷移則是受到 HZO 層內的氧離子透過輻射誘發回火效應(radiation-induced annealing effect)獲得能量後並遷移到氧空缺(圖 1.7)，最終使得氧空缺數量降低[16]，也因此，輻照對於 FeFET 記憶體的影響機制為氧離子遷移，較高的氧流量能使 HZO 塊材(bulk)內的氧空缺數量降低，能夠有效抵抗由 electrical stress 下所產生出新的氧空缺，進而減緩 MW 隨操作次數增加下的衰減。圖 1.8 為輻射與操作前/後的氧空缺分佈狀況與數量的示意圖，在初始狀態下，氧空缺容易集中在 HZO 與 Si 基板的介面層當中，隨著操作次數的增加後，會有新的氧空缺的生成並且重新分佈在 HZO 中，而輻射將造成在初始狀態下即立刻增加由輻射所導致的額外氧空缺，但在輻射誘發回火效應的幫助下，能夠減少在操作次數下所生成的氧空缺數量，尤其越高的氧流量則更加的明顯，使得耐久度能夠有效提升。除了 MW 的變化外，本團隊也針對剩餘極化值(remnant polarization)方面進行探討，極化值不僅只反映了鐵電層內的晶相(phase)外，也能反映出氧空缺的數量的多寡，當氧空缺增加時，其極化值也會間接受到影響，圖 1.9 顯示了不同氧流量下的剩餘極化值隨操作次數輻照前/後的保存比例，在經過輻照後，不論氧流量的多寡與操作次數的增加，極化值的保存比例幾乎都高於 100 %，顯示元件經過反覆操作後，產生的缺陷導致極化值衰減的情況在幅照後能夠更加和緩，與 MW 的結果相似。此外，由於鐵電元件是一種非揮發性記憶體，因此資料保存(retention)能力也是一項重要的能力指標，從長期(>100 s)觀點來看，圖 1.10 顯示了資料保存損失來自於電偶極產生的內建電場造成電荷捕捉所致[17]。圖 1.11 為不同氧流量下的 MW 隨時間增加的保存比例，從中可以得知其比例不論在多久時間下幾乎都低於 100 %，由於此時輻射後的元件並未受到經歷反覆操作的影響，也因此 MW 的表現與初始狀態下的氧空缺數量有關，而輻射會造成新的氧空缺產生，導致資料保存能力劣化。

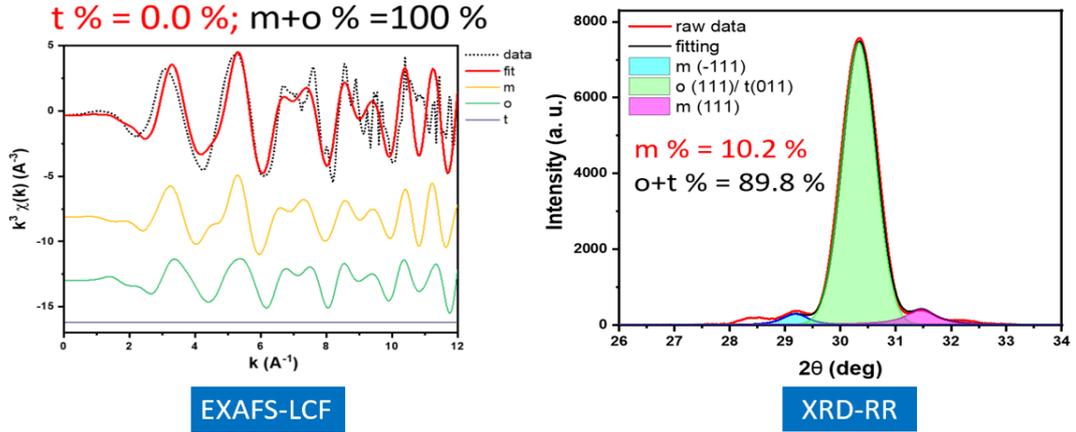


圖 1.3 氧流量為 200 sccm 之 HZO 鐵電層其 EXAFS 光譜與 XRD 繞射圖

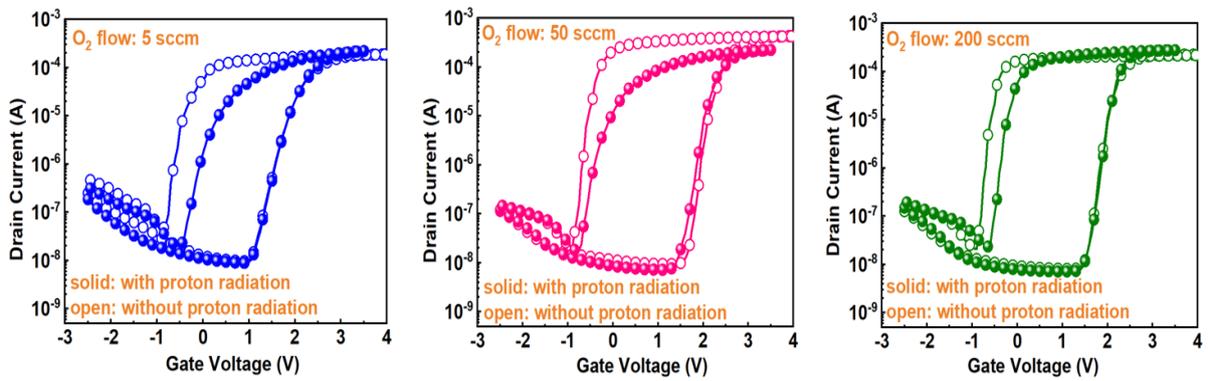


圖 1.4 不同氧流量之 HZO 所製作之 n 型通道 FeFET 記憶體其在質子輻射照射前/後之電流-電壓特性曲線

表 1.1 不同氧流量之 HZO 鐵電層透過 EXAFS 光譜與 XRD 繞射圖案分析其晶相分佈

	m-phase %	o-phase %	t-phase %
(O <sub>2</sub> 5 sccm)	5.0	78.2	16.8
(O <sub>2</sub> 50 sccm)	7.5	82.7	9.8
(O <sub>2</sub> 200 sccm)	10.2	89.8	0.0

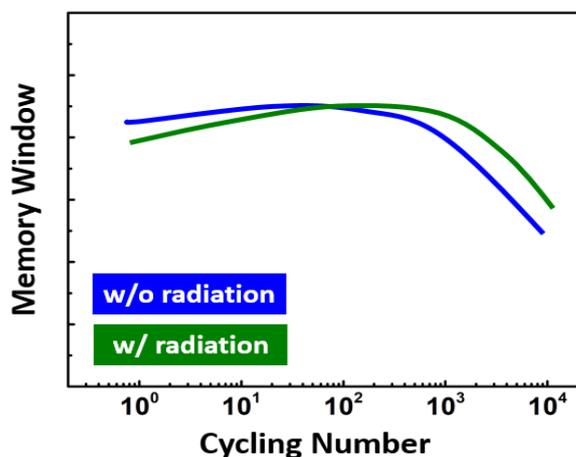


圖 1.5 質子輻射照射前/後之記憶視窗隨操作次數增加而衰減之示意圖，不同氧流量之元件亦呈現類似趨勢

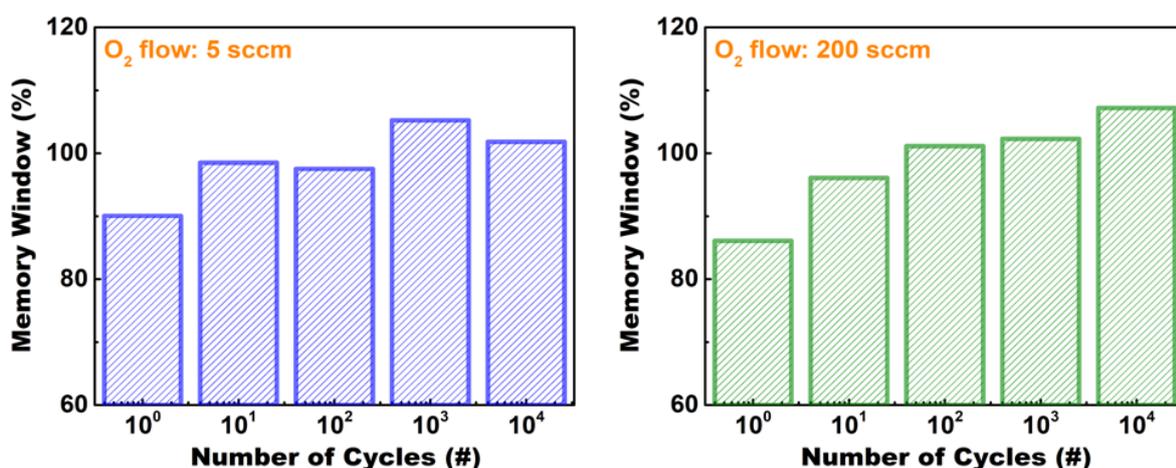


圖 1.6 不同氧流量之 n 型通道 FeFET 記憶體隨操作次數增加之記憶視窗保存比例

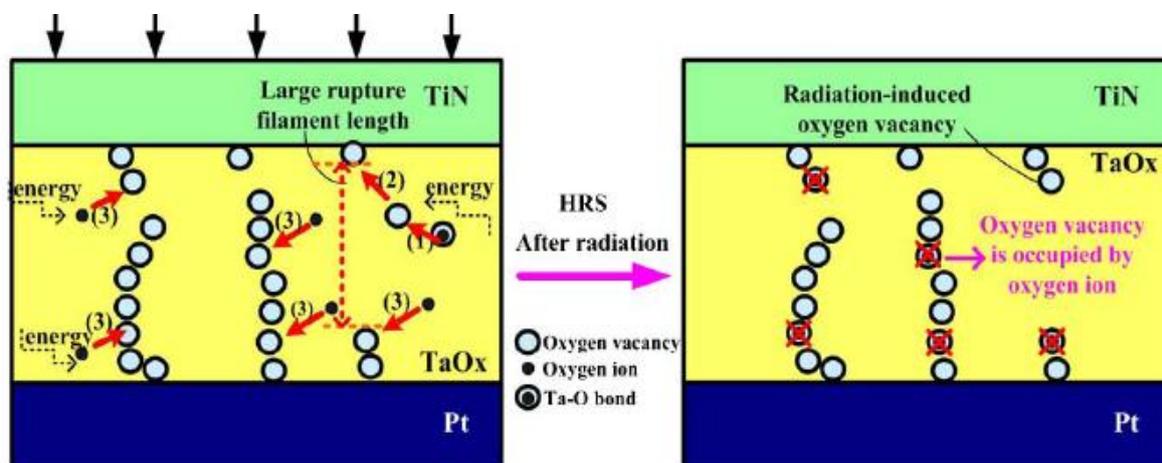


圖 1.7 輻射誘發回火效應之氧空缺減少現象示意圖[16]

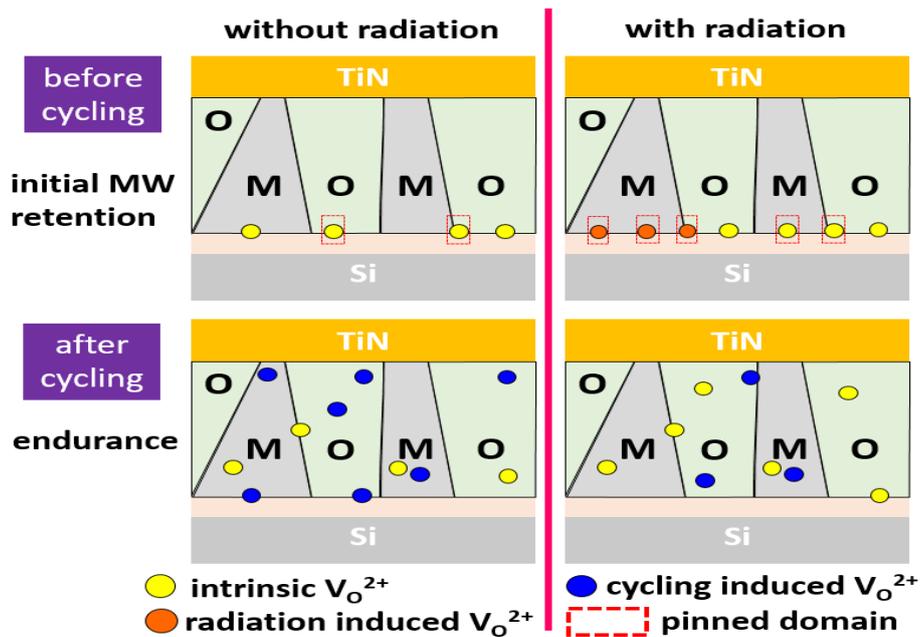


圖 1.8 HZO 之氧空缺在操作前/後之數量與分佈位置示意圖

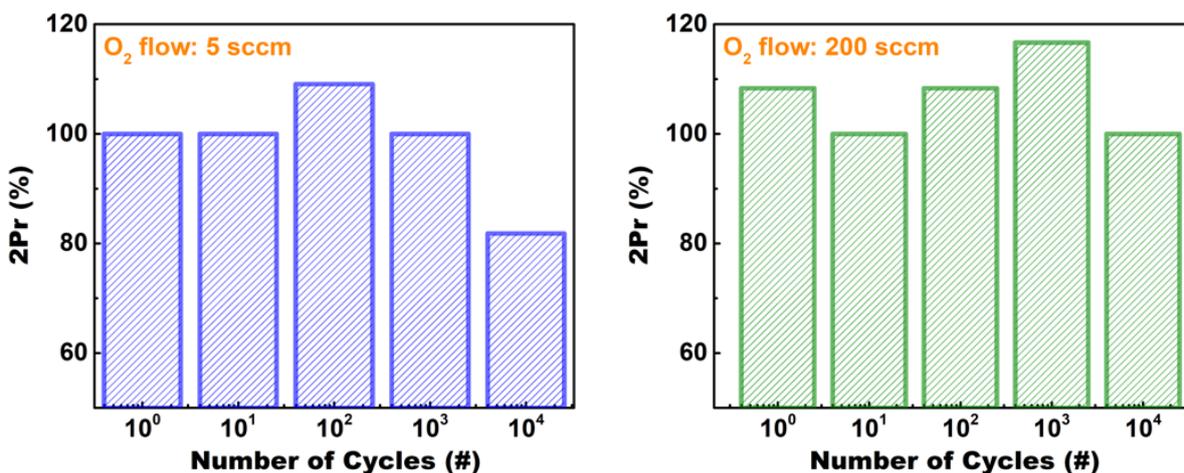


圖 1.9 不同氧流量之 n 型通道 FeFET 記憶體隨操作次數增加之剩餘極化值保存比例

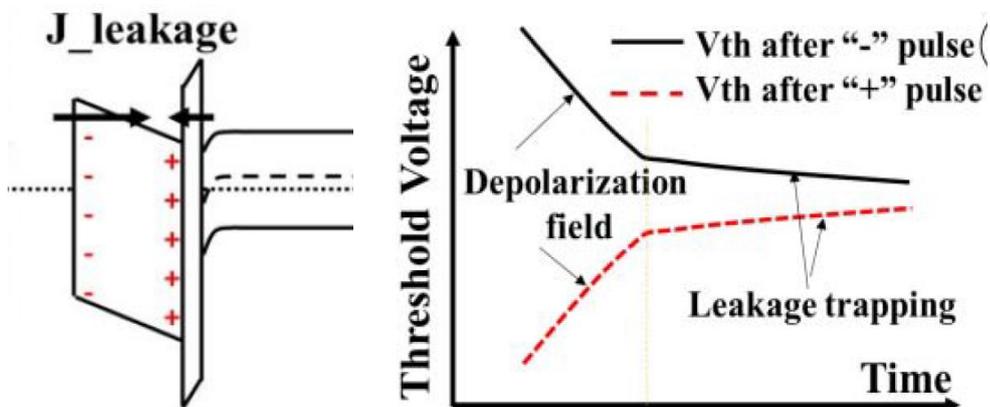


圖 1.10 資料保存能力在長/短期觀點下之損失原因分析[17]

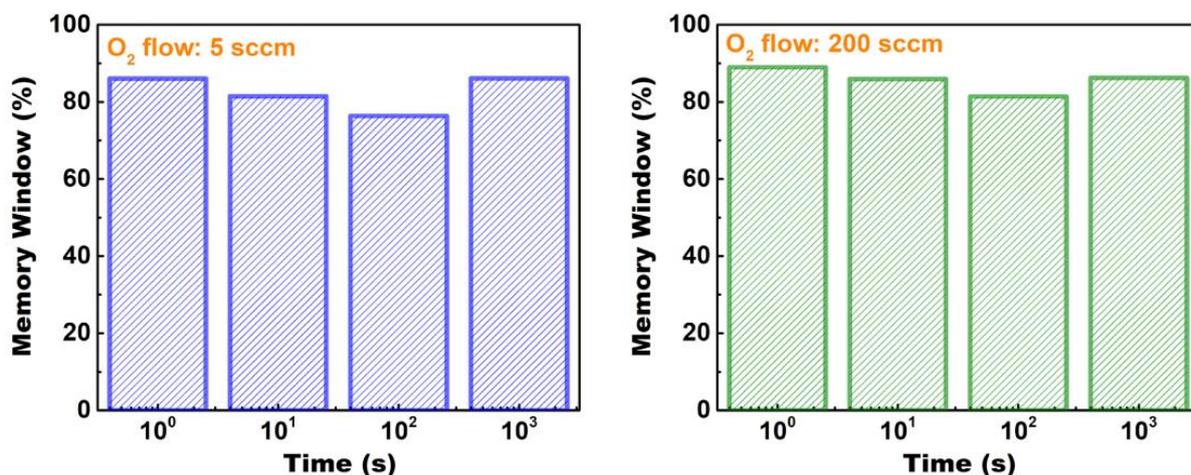


圖 1.11 不同氧流量之 n 型通道 FeFET 記憶體隨時間增加之記憶視窗保存比例

#### 肆、結論

就 n 型通道 FeFET 記憶體而言，ALD 沉積 HZO (Zr: 50%) 時，氧流量在 5~200 sccm 的範圍內，流量越大，氧空缺越少，o-phase 比例越高，輻射所引起的 MW 劣化越少。若再提高流量，可能有機會再進一步抑制氧空缺數量，然而一旦氧空缺數量過少，也有可能造成 m-phase 比例提高的風險，這也是值得再分析的主題。在此流量範圍內，下一個階段仍需分析的項目包括輻射照射前後，氧流量與(1) 元件操作速度的影響、(2) 耐久度的影響與(3) 資料保存能力的影響。FeFET 記憶體之耐久度除了可藉由調變氧流量改善外，亦可透過電性復原(recovery)的方式延伸耐久度[14]，所謂的電性復原指當元件於低電場脈衝下反覆操作而發生疲乏現象(fatigue effect)後，可以利用高電場下的循環操作將極化值回復至初始的狀態。本項延伸耐久度的技術對於未來應用於太空任務的記憶體元件而言是相當實用的技術，下一階段本團隊亦將探討不同氧流量之 FeFET 記憶體在質子輻射照射後之電性復原效能。

## 伍、參考資料

- [1] J. Prinzie et al., [Nature Electronics, 4, 243 \(2021\)](#).
- [2] T. S. Bösccke et al., [Appl. Phys. Lett., 99, 112904 \(2011\)](#).
- [3] T. S. Bösccke et al., [IEDM, 547 \(2011\)](#).
- [4] T. Mikolajick et al., [J. Appl. Phys., 129, 100901 \(2021\)](#).
- [5] M. Pešić et al., [Adv. Funct. Mater., 26, 4601 \(2016\)](#).
- [6] W. Hamouda et al., [J. Appl. Phys., 127, 064105 \(2020\)](#).
- [7] H. Bae et al., [IEDM, 31 \(2020\)](#).
- [8] C. Liu et al., [IEEE Trans. Electron Devices, 68, 4368 \(2021\)](#).
- [9] K. A. Aabrar et al., [IEDM, 32 \(2022\)](#).
- [10] H. K. Peng et al., [IEEE Electron Device Lett., 43, 494 \(2022\)](#).
- [11] H. K. Peng et al., [IEEE Electron Device Lett., 44, 927 \(2023\)](#).
- [12] Y. Wang et al., [IEEE Electron Device Lett., 39, 823 \(2018\)](#).
- [13] X. Yang et al., [Appl. Phys Express, 14, 061001 \(2021\)](#).
- [14] H. K. Peng et al., [Appl. Surface Science, 645, 158788 \(2024\)](#).
- [15] Y. C. Kao et al., [ACS Appl. Electron. Mater., 4, 3897, \(2022\)](#).
- [16] F. Tan et al., [IEEE Trans. Nuclear Sci., 60, 4520 \(2013\)](#).
- [17] N. Gong et al., [IEEE Electron Device Lett., 37, 1123 \(2016\)](#).

子項二、抗輻射之積體電路製程與先進電晶體研究：緒式與閘環繞式場效  
電晶體之抗輻射氧化層製程開發及分析

## 壹、計畫緣起與目的

### 積體電路元件之抗輻射測試研究

在太空科技領域中，應用新穎材料或結構之半導體元件以增進其抗輻射特性，一直都有研究在探討。然而通常較可行的做法，是以目前主流的 CMOS 邏輯元件與晶片經輻射環境的可靠度測試後，即所謂商規現成的零件 (Commercial Off-The-Shelf, COTS)，建構成衛星電子系統[1]。為了避免半導體元件在太空輻射環境下失效造成衛星故障，確定元件在輻射傷害下造成的劣化程度及抗輻射能力是非常重要的工作。因此，本研究將以鰭式場效電晶體(FinFET)、閘環繞式場效電晶體(GAAFET)受輻射傷害之元件可靠度，及開發元件製程以增進抗輻射特性為研究重點。

人造衛星於近地軌道的輻射環境最主要是高能量質子照射，衛星任務期間所受的輻射總劑量並不高(約 10 kRad/year)，因此半導體元件的輻射效應主要考量的是單事件效應(SEU)產生的特性衰退。但是使用質子束進行輻射測試除了需要加速器系統，也需要搭配真空照射腔體、即時量測設備與軟體等。另外，計算 SEU 的指標參數為錯誤率(Failure rate)或捕捉截面(Capture cross section)，需要快速累計大量元件之測試數據做統計分析。再者，元件所吸收的能量以線性能量轉換(Linear energy transfer, LET)為變化參數，必須先估算質子束入射到半導體元件表面的能量與通量，然後計算射束經元件反應區域吸收的能量等。若以上測試設備、能量計算、元件結構、晶片等沒有確實掌握，則無法評估 SEU 效應。另一方面，以 Co-60 輻射總劑量(TID) 測試半導體元件與晶片，可以讓元件確實吸收到已知的能量，測試結果的再現性(repeatability)、均勻性(device-to-device uniformity)也都很一致。因此，人造衛星電子元件與系統的抗輻射規格有許多是 Co-60 TID 與質子束產生 SEU 之線性能量轉移(LET)並列，以提供可靠性檢測的選擇。由於以 Co-60 TID 測試半導體元件有許多優點，本研究也希望抗輻

射測試能較接近 SEU 效應的物理機制，因此本研究將使用 Co-60 進行 TID 測試並以高輻射劑量率(> 35 kRad/hr)進行照射實驗。

### 鰭式場效電晶體抗輻射製程研究

由於積體電路 CMOS 製程技術的持續進步，使得電晶體的 feature size 持續縮小。然而當電晶體的 feature size 縮小到低於 45 nm 以下時，傳統的 Bulk CMOS 電晶體會遇到三個嚴重的挑戰：(1) Drain 與 source 之間的次臨界漏電流(subthreshold current)越來越嚴重(2)閘極漏電流也是越來越嚴重(3)由於製程變異(process variation)的影響，導致晶片中的每顆電晶體的 doping 濃度會有所差異(稱為 doping fluctuations)。電晶體的臨限電壓是跟電晶體的 doping 濃度有關係，但由於電晶體的 feature size 的縮小，稍微的 doping 濃度差異即會引起極大的臨限電壓差異。因此，Bulk CMOS 電晶體的臨限電壓極易受到製程變異的影響。由於鰭式場效電晶體(FinFET)沒有傳統 Bulk CMOS 電晶體的上述問題，並且 FinFET 的製程跟傳統 Bulk CMOS 的製程差異不大，因此在 20 nm 以下的製程，FinFET 電晶體被認為是實現先進積體電路的最佳選擇[2]。FinFET 電晶體的結構，連接 Drain 與 Source 之間的通道的形狀像魚鰭(Fin)一樣，也就說此通道的外型高而薄。而控制 Drain 與 Source 之間的通道是否能導通的閘極(Gate)，其形狀就像冂字型，緊緊圍住通道的三面，因此閘極上的電壓對通道有比較好的控制性，可以輕易地控制通道是導通或是關閉。

而在傳統的平面 Bulk CMOS 電晶體中，閘極只能控制通道的上方，通道的下方是接到基座(substrate)或 well，因此 Bulk CMOS 閘極上的電壓對通道控制性比較弱，並且基座常常是雜散的漏電流傳導路徑。如前所述，FinFET 的閘極對通道有比較好的控制性，因此可以抑 short-channel 效應，並減少 Drain 與 Source 之間的次臨界漏電流。另外，也因為 FinFET 的閘極對通道有良好的控制性，因此在閘極與通道之間的絕緣層(gate oxide)可以

做得厚一點，較厚的 gate oxide 可以有效地抑制閘極的漏電流。一般而言，FinFET 之間的通道，通常不做 doping 或只做輕微的 doping，使得 FinFET 電晶體的載子移動率(carrier mobility)會較高，並且 doping fluctuations 所造成的元件變異(device variation)也較小。

### 閘環繞式場效電晶體之製程研究

三面包覆閘極電晶體 FinFET 的電特性雖然比平面 MOSFET 有明顯改善，為了進一步增進閘極靜電控制能力，四面全包覆閘極(閘環繞式)場效電晶體(GAAFET)元件已有許多研究報告，可以更增進元件特性[3]，如圖 2.1 所示。GAAFET 在抑制短通道效應上比 FinFET 有著更好的效果，除此之外，對於元件微縮的極限中，以 GAAFET 趨向有著最小微縮可能性。而半導體元件的發展比較上世紀的傳統元件已經出現較大的不同，更多的元件結構(如:多閘極電晶體 Multi-Gate Transistor，快閃記憶體元件 Flash memory device，等等)，及越來越多基板種類(Ge, SiGe, GaAs, 三五族半導體等等)已經有大量的研究報告。而關於新元件新材料，對於他們未來應用在太空領域及核能相關領域的研究仍然是有待探討，其中一個關鍵是缺乏相關元件對於高輻射環境的可靠度測試。為了避免半導體元件在高輻射環境下失效造成核子安全事故或太空系統失效等問題，造成無法挽回的損失，確定元件在輻射能量傷害下造成的劣化程度及抗輻射能力非常重要。另外一個關鍵是如何利用相關製程技術提升元件的抗輻射能力，以期可以達到高輻射環境的使用標準。因此，本研究將探討鰭式場效電晶體(FinFET)、閘環繞式場效電晶體(GAAFET)受輻射傷害之元件可靠度，及開發元件製程以增進抗輻射特性。

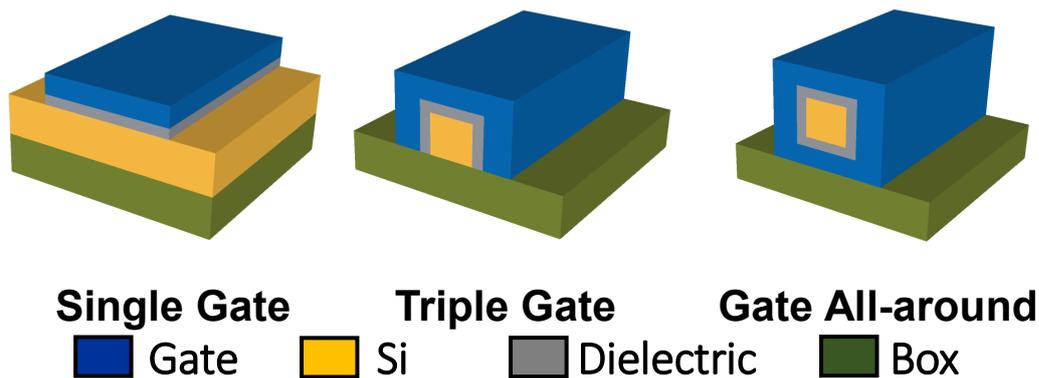


圖 2.1 平面到立體結構之鱗式與閘環繞式場效電晶體通道剖面示意圖

### 場效電晶體之高介電閘氧化層與界面層製程研究

隨著極大型積體電路(ULSI)技術之發展，MOS 元件的閘極氧化層厚度要求漸薄，為了改善其電特性及可靠性，近年來有含氮氧化層(oxynitride)之研發，不但效果不錯同時也減少 p+-poly gate 硼穿透問題。然而 0.1  $\mu\text{m}$  以下元件，閘氧化層厚度之要求必須在 1.5 nm 以下，在此情形下，傳統氧化層或其類似之改良材料已不能使用。因為介電層太薄，大量的漏電流將產生，製作的積體電路(IC)含有嚴重的靜態功率消耗及熱消散問題。因此增加介電層厚度是必然的路，為了同時保持相當的單位面積閘極電容，介電材料勢必要使用係數較高的材料。近年來  $\text{Si}_3\text{N}_4$  已被幾位國際知名的學者製成特性很好的閘介電層，如使用 JVD，RTCVD 等。又  $\text{Si}_3\text{N}_4$  介電係數雖較  $\text{SiO}_2$  高，厚度也可厚些，但是厚度在 1.5 nm 以下也有明顯的漏電流，如同  $\text{SiO}_2$  一樣。為了發展閘介電層之等效氧化層厚度(EOT)小於 1 nm 以下，更高介電係數(high-k)的材料已有不少學者在嘗試，如  $\text{Ta}_2\text{O}_5$ ， $\text{Al}_2\text{O}_3$ ， $\text{ZrO}_2$ ， $\text{HfO}_2$  等 [4]。雖然有不錯的效果，但是由於材料含氧及金屬，經後續製程之熱循環(Thermal cycle)，製成 MOSFET 後仍保有優越電特性就很不容易。因此，本研究係以原子層沉積(ALD)製程中即場(in-situ)前處理含氮氣體進行矽表面之氮化，然後再成長 high-k 氧化層使其 EOT 在 1 nm 以下。應用極薄且高品質的  $\text{Si}_x\text{N}_y\text{O}$ ，再由適當之 high-K 成份元素比例如

HfO<sub>2</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub> 等，及成長後之退火處理如電漿、超臨界流體等，可以得到電特性與可靠性相當不錯的介電層。因此，本研究將應用閘堆疊相關製程技術以提升 FinFET 先進元件的抗輻射能力，以期達到太空輻射環境的使用標準。

### 應用矽鍺通道以增進先進電晶體之效能

近年來，為使 IC 電路元件操作速度有更快的表現，提升載子遷移率是一個勢在必行的方向，有許多研究使用 SiGe 或 Ge 基板增加載子遷移率，進而使得元件的操作速度得到提升。而 Ge 相對於 Si 而言，載子遷移率分別對電子提升了兩倍(3900 cm<sup>2</sup>/V·s)以及對電洞提升了四倍之多(1900 cm<sup>2</sup>/V·s)[5]。利用鍺的這項特性，可以達到提升載子遷移率的目的，並提高元件驅動電流及特性，以減少使用高介電材料所帶來的載子遷移率衰減的缺點[8]。但鍺應用在電子元件上，極需克服製程熱預算低的難題。鍺較小的能帶差，其 band gap 約為矽的二分之一，若製程過程當中的退火超過其熱預算，就會產生大量的漏電流，甚至整個元件失去操作的能力，因此控制熱預算是相當重要的，但同時也增加了製程上的困難。

因為鍺原子相較於矽原子還要來的大，所以在磊晶矽鍺通道的過程中，由於晶格常數不匹配的關係很容易產生錯位(misfit)進而在整個矽鍺薄膜裡面生成螺旋狀或線狀的缺陷(threading)[6]，因此，當矽鍺通道在磊晶的過程中假如直接的提高鍺的磊晶含量比例，會使得矽鍺薄膜內的錯位大量的增加而使得薄膜的品質下降，更進一步地會影響到後續製作的金氧半電晶體(MOSFET)的驅動電流大小(drain current)，和閘極漏電流的上升。

高 Ge 含量的 SiGe 通道，其載子遷移率可望接近 Ge，而形成的 S/D 界面漏電流可以降低，閘極界面層的熱穩定性也將改善，因此 SiGe condensation 技術很可能是兼顧高效能與低功耗 CMOS 的可行方法。根據相關文獻[7]，當矽鍺薄膜氧化時，鍺會析出在氧化層和矽鍺薄膜兩者之間

的介面處，形成一層鍍濃度較高的矽鍍層。因為其氧化過程中鍍不會消失，且在矽鍍薄膜氧化時，因為二氧化矽的生成熱為(-204 kcal/mol)二氧化鍍的生成熱為(-119kcal/mol)，矽會和氧優先反應生成二氧化矽，鍍元素留下且二氧化矽會變成一阻擋層阻礙氧氣進入矽鍍層中，所以最後將形成一層高濃度的矽鍍層和表層的二氧化矽。在一片矽基板上面磊晶低含量的矽鍍薄膜以得到品質不錯的薄膜品質，接著再將以磊晶好矽鍍薄膜的晶圓推送進去爐管成長乾式氧化層，在高溫環境下成長 3nm 的二氧化矽。矽鍍通道內的矽被氧化過後，由於二氧化矽是非常穩定的化合物，所以會防止矽鍍通道內的鍍繼續與外界的氧反應，故在矽鍍通的表面上的矽會被氧給氧化形成薄薄的一層二氧化矽，再將二氧化矽用氫氟酸(HF)將二氧化矽給去除，如此重複幾個循環，就可以得到一層提高鍍含量的矽鍍通道，但又能夠維持住矽基板與矽鍍薄膜接面的錯位數目，最終得到一個品質相當良好又擁有高鍍含量的矽鍍通道。

### 超臨界流體製程進行低溫氧化

超臨界流體製程(Super Critical Fluid, SCF)，過去常被應用於薄膜電晶體製程中，它是利用低溫高壓搭配界面活性劑乙醇(Alcohol)或異丙醇(IPA)使雙氧水(H<sub>2</sub>O<sub>2</sub>)與二氧化碳(CO<sub>2</sub>)互溶[8]，如圖 2.2。根據相關文獻，超臨界流體同時具有氣態與液態的特性[9]，藉由超臨界流體的穿透性與互溶性將雙氧水深入矽鍍通道，將更深層的矽氧化，從而提升鍍縮合的效果。此外，由於超臨界流體製程是低溫製程，所以不容易對鍍表面造成損傷[10]。

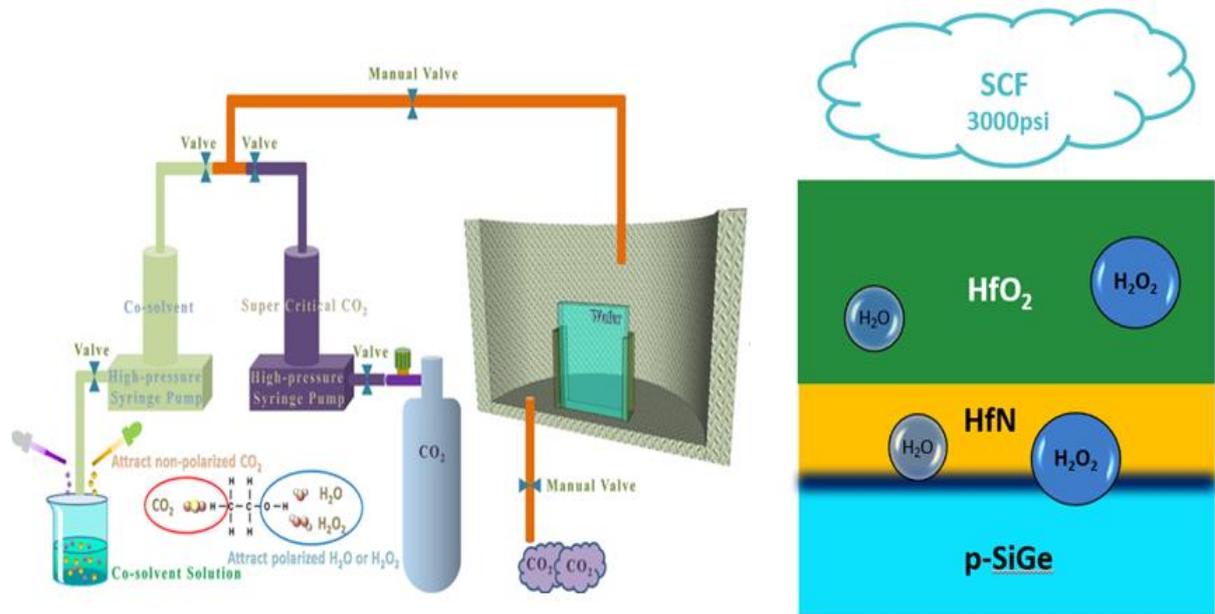


圖 2.2 超臨界流體(SCF)製程示意圖

## 貳、研究方法與過程

### (1). 半導體元件之抗輻射檢測

由於一般太空環境的輻射強度比實驗室的照射強度低很多，為了降低輻射照射強度對電子元件特性的影響，IEEE Std 383 規定電子元件壽命總劑量為 $5 \times 10^7$  Rad (Si)，照射劑量率為 $1.0 \times 10^6$  Rad/hr 以下，而一般典型的照射劑量率為 $0.5-1.0 \times 10^6$  Rad/hr。然而當太空在短時間內的高輻射劑量率環境下，對電子系統以及其關鍵元件影響很大，能否在事故發生時維持設備的正常操作，以應變及解決不正常之狀態，對衛星安全有極大之影響。本計畫擬對先進的FinFET、GAAFET元件處於輻射環境所接受輻射劑量，將探討以不同的輻射劑量對元件造成之影響，以及其耐輻射能力進行分析。本實驗採用Co-60為射源，累積輻射劑量為10 k - 1 MRad。由於太空環境可能在短時間內有高輻射劑量率的發生，因此也將使用Co-60進行TID測試並以高輻射劑量率( $> 35$  kRad/hr)進行照射實驗。

### (2). 閘極與隔離氧化層界面製程

閘極與隔離氧化層是影響 CMOS 元件電特性的主要部分，而其界面製程工程是關鍵技術。半導體界面層 SiON 之成長，須在 ALD 製程中即場(in-situ)使用前處理氣體以去除 native oxide，之後 NH<sub>3</sub> 之比例及溫度都要適當，配合成長後之退火，可以成長特性很好的界面層。其適當厚度約 0.3~0.5 nm，也將探討其最佳條件。再成長 high-K metal-oxide 如，HfO<sub>2</sub>，ZrO<sub>2</sub>，Al<sub>2</sub>O<sub>3</sub> 等，並探討各種材料間混合比例之效應。上層閘電極材料擬使用 ALD-formed TiN 等，以減低閘電極與介電層反應。

### (3). SiGe 鰭式場效電晶體元件製作與界面製程

本研究團隊已建立 SOI FinFET 製程，元件特性也已相當不錯。首先將 SOI 矽晶圓以雷射刻號機刻號，方便辨識不同製程條件的晶片，再以刻號震盪標準清步驟 SC1，利用氨水(NH<sub>4</sub>OH)溶液去除刻號生成時所產生的微粒，以及吸附在晶元表面的有機物與金屬離子。本實驗中設計的控片，先以低壓化學氣相沉積(LPCVD)在 980°C 的環境下以濕氧的方式成長 100 nm 的二氧化矽、在 780°C 的環境下沉積氮化矽 50 nm 和沉積 100 nm 的非晶矽後，接著進行 24 小時 600°C 的固相結晶(SPC)使其轉變為多晶矽。接下來正式的實驗與控片同時進行，接著利用微影蝕刻製程定義並形成一平台，接著用低壓化學氣相沉積形成 100 nm 的四氧乙基矽酯(TEOS)，直接蝕刻後留下側壁空間(sidewall spacer)，目的是使用此側壁當作阻擋蝕刻層(hard mask)。之後經過光阻保護源極與汲極(Source/Drain)和蝕刻阻擋層保護通道，形成了奈米線結構，形成此結構後使用氫氟酸(DHF)將阻擋層剝除，完成主動區。

在形成主動區之後，所有樣品都要進行 RCA clean 之後，以 H<sub>2</sub>O<sub>2</sub> 溶液進行介面氧化層(interfacial layer)的成長，溫度為 75°C 時間 600 秒。接下來送入原子層磊晶(ALD)疊 HfON，製程中在每個堆疊週期間有使用氫氣電漿做原位處理，堆疊厚度為 3nm。使用物理氣相沉積(physical vapor deposition,

PVD)沉積 100 nm 的氮化鈦作為金屬閘極，使用微影製程還有 TCP9600 定義出主動區。閘極被定義與蝕刻後，樣品被送去進行離子佈植將磷打入，佈植為能量 30 keV，摻雜劑量為  $5 \times 10^{15} \text{ cm}^{-2}$ ，再用 750°C 30 秒的金屬快速熱退火(metal rapid thermal anneal, MRTA)活化源極和汲極。用電漿增強式化學氣相沉積(plasma-enhanced chemical vapor deposition, PECVD)，最後經由黃光微影製程與蝕刻，將接觸點(contact)位置挖空。用物理氣相沉積的方式沉積鋁矽銅作為接觸點，經微影蝕刻後送進水平爐管做 400°C、30 分鐘的燒結(sinter)，至此元件完成。以下圖 2.3 為不同鍺縮合方法之 n-FinFET 製作流程圖。表 2.1 為 SiGe 鍺式場效電晶體閘極界面層製程參數。

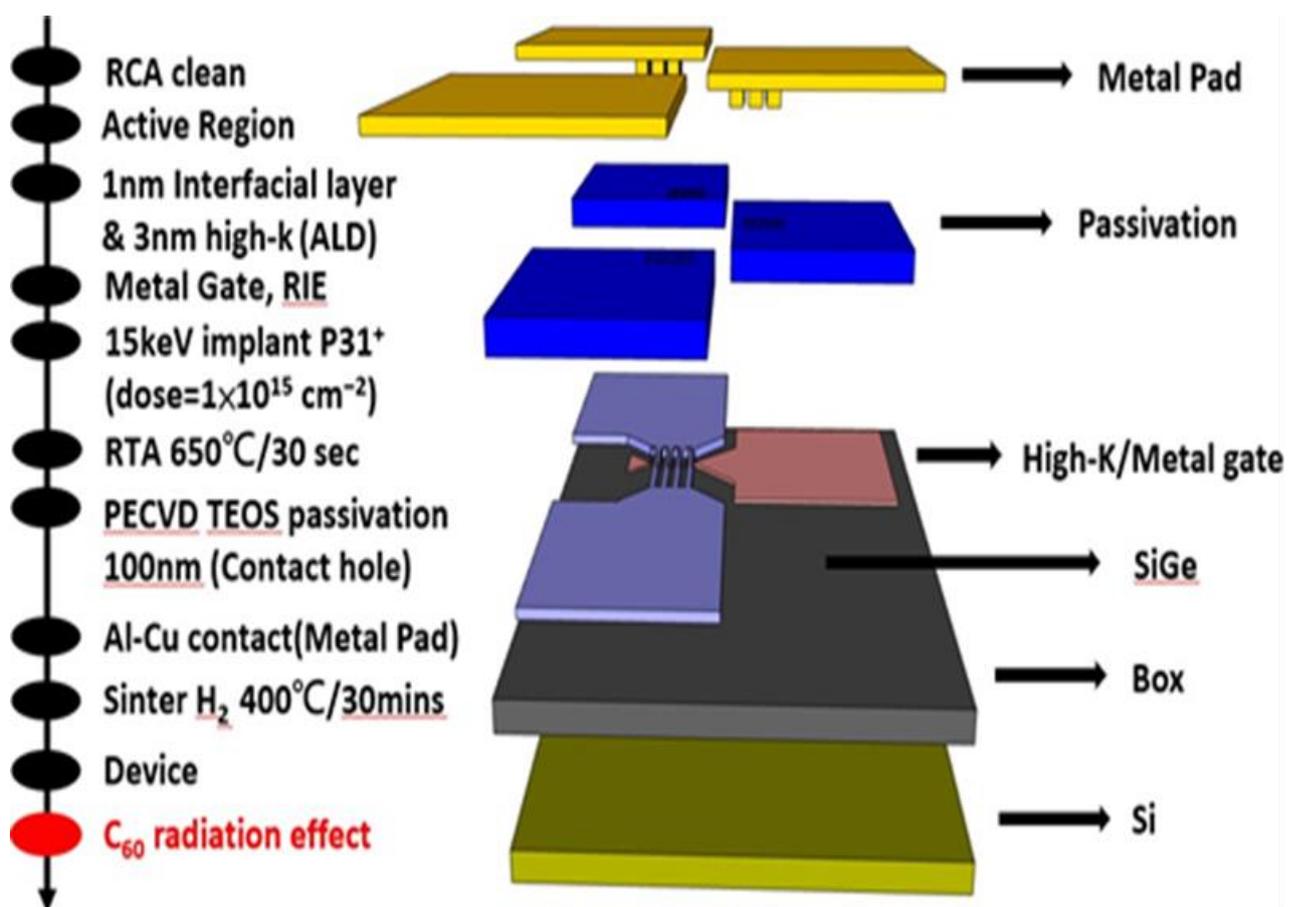


圖 2.3 不同鍺縮合方法之 n-FinFET 製作流程圖

表 2.1 SiGe 鰭式場效電晶體元件閘極界面層製程參數表

Gate shape	FinFET (n-type)		
Sample	SCF-IPA	Desorb	Chemical
Radiation dose	Virgin/100k Rad		
Contact	Al-Si-Cu 200nm		
Metal gate	TiN 80nm		
High-k	HfO <sub>2</sub> 3nm		
Interface layer	HfN 1nm		
Channel Ge condensation	SCF-IPA Treatment +HF dip	75°C H <sub>2</sub> O <sub>2</sub> /3Min +700°C RTO for 5m +HF dip	80°C H <sub>2</sub> O <sub>2</sub> For 10 m +HF dip
Channel material	(Si/Si <sub>0.9</sub> Ge <sub>0.1</sub> /Si)		
Substrate	SOI		

#### (4). 閘環繞式電晶體 GAAFET 製程

本研究使用 P 型 SOI 晶圓，阻值介於 8~12 Ω-cm。對 SOI 晶圓進行 RCA 清洗，然後定義出零對準層，做為後續曝光的對準點。然後在兩片 SOI 上分別磊 5nm Si<sub>0.8</sub>Ge<sub>0.2</sub> 與 5nm Si，一個循環 1 period (1P)以及兩個循環 2 period (2P)的磊晶(後面以 1P/2P 代稱)。呈現兩層以及四層 Si<sub>0.8</sub>Ge<sub>0.2</sub> 與 Si 交叉堆疊的超晶格層，形成兩種不同堆疊的矽鍺超晶格基板。再進行 RCA 的標準清洗、電子束微影技術完成通道、主動區光阻圖案，並以特殊蝕刻方法，非等向性乾蝕刻出鰭狀通道，蝕刻後去除 hard mask 以及光阻。下一步為了做出不同閘極結構，使用 HF:H<sub>2</sub>O=1:10 的 DHF 分別泡不同秒數。進而達到通道下的 SiO<sub>2</sub> 絕緣層(BOX)蝕刻。接著用 H<sub>2</sub>O<sub>2</sub> 75 度進行 180 秒的介面氧化層成長。後續的製程與一般場效電晶體的元件製程相同。完成元件的剖面如圖 2.4，接著送到清大同位素館進行鈷(Co) 60 不同輻射劑量 10 k、100 kRad 等照射。完成後即開始量測。

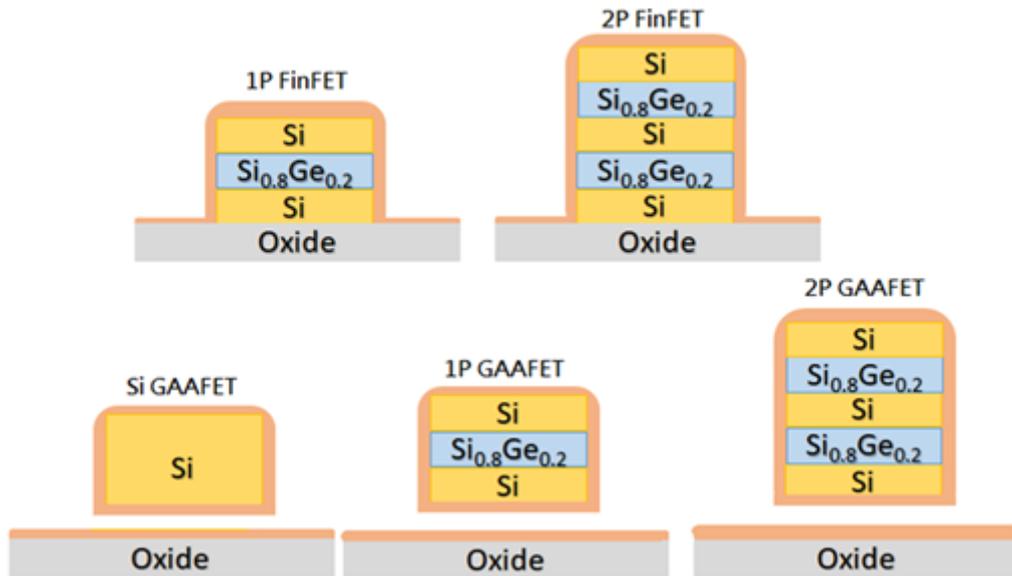


圖 2.4 SiGe/Si FinFET、GAAFET 元件結構圖

## 參、主要發現

### 1. 高輻射劑量率 Co-60 進行 TID 測試場效電晶體分析

在 LEO 的衛星環境一年的累積輻射劑量約 10 kRad, 但是元件在此劑量的輻射傷害不明顯。若衛星任務期是十年約 100 kRad, 元件的輻射傷害也較明顯, 適合做抗輻射的測試條件。1 Mrad 的輻射劑量必須使用最高劑量率照射, 除了照射時間長(費用也高), 劑量誤差也較大(元件離射源很近), 在實務上也不會累積這麼高的總劑量。由以上經驗與分析, 本計畫抗輻射測試的輻射劑量設定為 100 kRad。

圖 2.5 為 MOSFET, FinFET 電晶體之  $I_{on}$ 、 $I_{off}$  退化比例對不同輻射劑量率的關係圖, 在相同 TID= 100 kRad, 發現輻射劑量率大於約 35 kRad/h, 電晶體特性的變化量趨向飽和, 僅略微增加。可能物理機制是高劑量率照射下時間較短, 較多氧化層電荷沒有被複合。

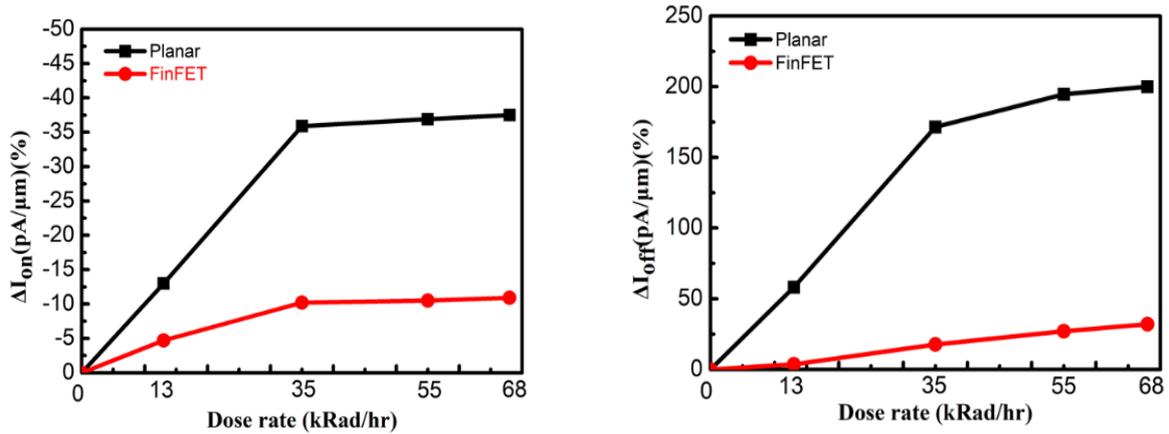


圖 2.5 電晶體之 Ion、Ioff 退化比例對不同輻射劑量率

以目前清華大學的點射源 Co-60 照射，輻射劑量率越高則元件距離射源越近，距離誤差可能較大。又劑量率高則照射時間短，射源吊出及吊回的時間間隔，誤差影響也較大。由於劑量率高於約 35 kRad 以後，量測結果漸趨於穩定飽和，因此爾後檢測劑量率選取略高的 55 kRad/h 來進行照射，而 IEEE 測量標準 MIL-STD-883 也建議，輻射劑量率應低於 100 kRad/h。

## 2. 鍺式場效電晶體元件閘極界面層抗輻射製程開發

### (a) 電晶體的開關特性 ( $I_d - V_g$ of FinFET)

圖 2.6 為(a)無(W/O) (b) SCF-IPA (c) Desorb (d) Chemical 不同鍺縮合處理的矽鍺 n-FinFET 在  $V_D=0.1$  V、 $V_D=0.5$  V 時四種條件之汲極電流對閘極電壓量測曲線。可以看出四個樣品在  $V_D=0.1, 0.5$  V 下，導通電流  $I_d$  大小順序為 SCF-IPA > Desorb > Chemical。又關閉電流  $I_{off}$  在  $V_D=0.1$  V 下的大小順序為 Chemical = or < SCF-IPA < Desorb，S.S. (subthreshold swing, 電流切換十倍的擺幅)的大小順序為 SCF-IPA < Chemical < Desorb。因此，低溫超臨界流體氧化製程，能明顯增進元件切換特性。

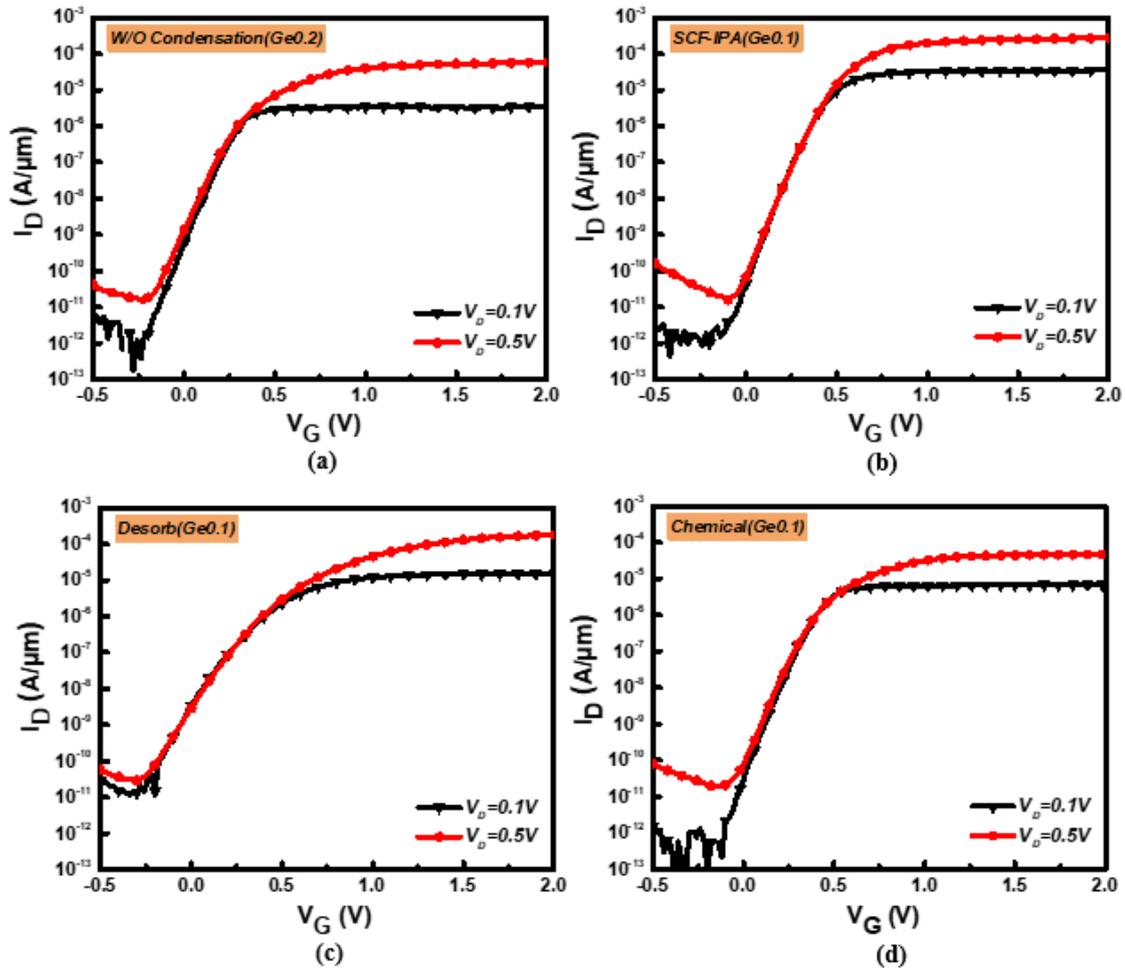


圖 2.6 (a)無(W/O) (b)SCF-異丙醇(c) Desorb (d) Chemical 不同鍍縮合方法之 n-FinFET 在  $V_D=0.1\text{ V}$ 、 $V_D=0.5\text{ V}$  之汲極電流對閘極電壓之對數圖

(b) 電晶體的驅動電流特性( $I_D - V_D$  of FinFET)

圖 2.7 為(a)無(W/O) (b) SCF-IPA (c)Desorb (d)Chemical 不同鍍縮合處理的矽鍍 n-FinFET 在  $V_G - V_t = 0 \sim 2\text{ V}$ ， $V_{\text{Step}} = 0.5\text{ V}$  的情況下之汲極電流對汲極電壓圖。觀察各樣品的飽和電流，飽和電流大小代表電晶體的驅動能力。從大到小依序分別為 SCF-IPA 的樣品數值為  $5.04 \times 10^{-4} (\text{A}/\mu\text{m})$ 、Desorb 的樣品數值為  $2.60 \times 10^{-4} (\text{A}/\mu\text{m})$ 、未做鍍縮合的樣品(WO)數值為  $7.62 \times 10^{-5} (\text{A}/\mu\text{m})$ 、Chemical 的樣品數值為  $6.44 \times 10^{-5} (\text{A}/\mu\text{m})$ 。從飽和電流的結果分析，因為最大轉導以及飽和電流跟載子遷移率成正相關，所以可以推測異丙醇超臨界流體處理的鍍縮合方法以及 Desorb condensation 的方法，更可以有效提升

鎢濃度，從而提高載子遷移率。因此，由飽和電流  $I_{D,sat}$  大小順序為 SCF-IPA  $>$  Desorb  $>$  Chemical，低溫超臨界流體氧化製程能明顯增進元件效能。

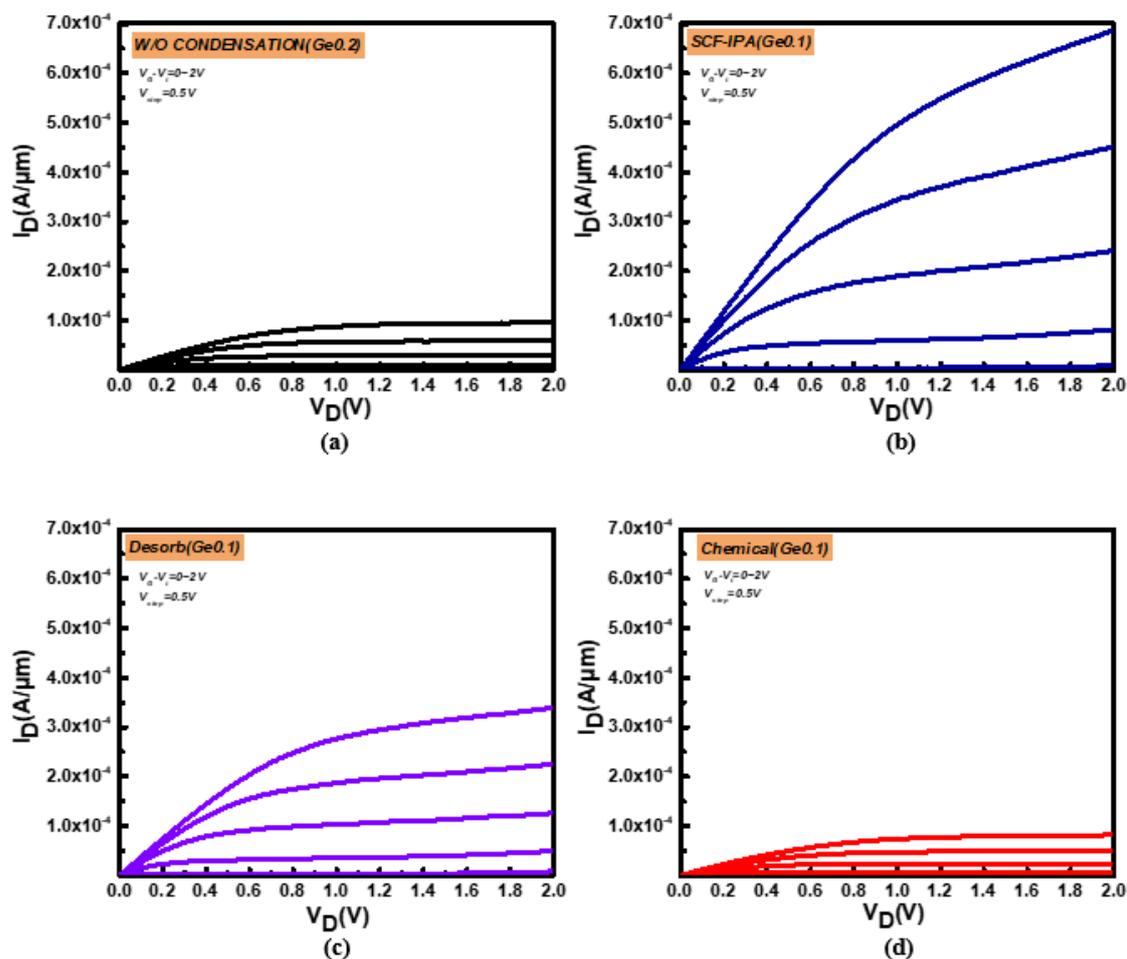


圖 2.7 (a)無(W/O) (b)Desorb (c)Chemical (d) 不同鎢縮合方法之 n-FinFET 汲極電流對汲極電壓圖

(c) 電流開關比與次臨界擺幅之統計分析

圖 2-8 是不同鎢縮合處理的矽鎢 n-FinFET 之(a)電流開關比，(b)次臨界擺幅盒狀圖，SCF-IPA 的樣品電流開關比分布在  $7.07 \sim 7.29$  order，Desorb 的樣品電流開關比分布在  $6.70 \sim 7.00$  order，Chemical 的樣品電流開關比分布在  $6.37 \sim 6.58$  order，而沒有做鎢縮合的樣品(W/O)電流開關比分布在  $6.01 \sim 6.58$  order。在趨勢部分以 SCF-IPA 的樣品最好，而均勻性部分所有樣品差異不大，推測是鎢縮合製程不會對元件的電流開關比均勻性有顯著的

影響。次臨界擺幅的分布方面，SCF-IPA 的樣品次臨界擺幅分布在 78.27~82.55 (mV/dec)。Chemical 的樣品次臨界擺幅分布在 82.01~90.87 (mV/dec)，未做鍍縮合的樣品次臨界擺幅分布在 85.96~96.76 (mV/dec)，Desorb 的樣品次臨界擺幅分布在 103.75~130.45 (mV/dec)。在趨勢部分除了 Desorb 的樣品偏高之外其他樣品因為是低溫製程所以都偏低，而 SCF-IPA 的樣品最低，因為異丙醇超臨界流體製程有修復介面的效果。在均勻性方面，SCF-IPA 的樣品有最好的均勻性，推測是超臨界流體製程可以修復介面；而均勻性最差的是 Desorb 的樣品，推測是高溫讓鍍擴散造成介面的不穩定。

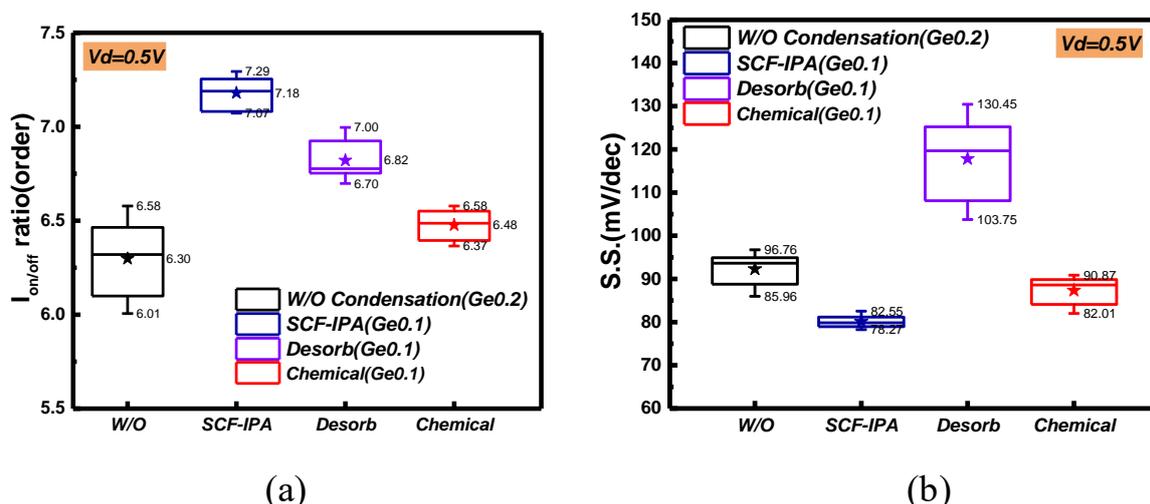


圖 2.8 不同鍍縮合方法 n-FinFET(a)電流開關比，(b)次臨界擺幅之盒狀圖

### 3. SiGe 鰭式場效電晶體元件抗輻射測試與分析

#### (a) 輻射傷害對各種鍍縮合方法之 $I_d$ - $V_g$ of SiGe n-FinFET

圖 2.9 為輻射傷害對(a)SCF-IPA(b)Desorb(c)Chemical 鍍縮合方法之矽鍍( $Si_{0.9}Ge_{0.1}$ ) n-FinFET 在  $V_D=0.5$  V 汲極電流對閘極電壓之對數圖。在關閉電流增高率的部分，SCF-IPA、Desorb、Chemical 的樣品分別為 101.2%、132.4%、30.1%。鍍濃度越高就會在輻射照射後產生越多新的氧化層和介面陷阱電荷。然而，SCF-IPA 的鍍含量最多卻有較 Desorb 樣品低的關閉電流。

推論是因為 SCF-IPA 的樣品初始缺陷最低讓輻射照射後缺陷的增加量減少所造成的。Desorb 的樣品因為鍺含量次高且初始缺陷密度最大，所以關閉電流上升的最多。Chemical 的樣品因為鍺含量最低且初始缺陷密度次低，所以關閉電流上升的最少。因此，低溫超臨界流體氧化製程，確能增進元件抗輻射特性。

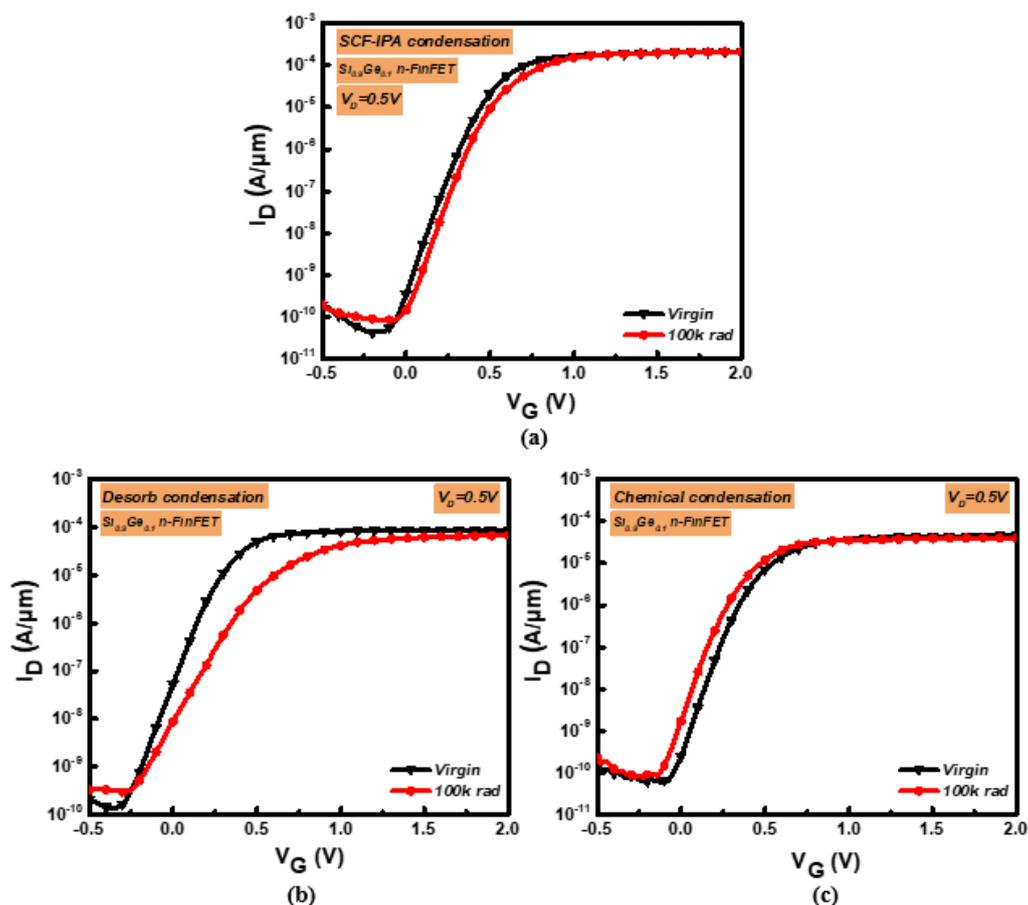


圖 2.9 輻射傷害對(a)SCF-IPA(b)Desorb(c)Chemical 鍺縮合方法之矽鍺 ( $\text{Si}_{0.9}\text{Ge}_{0.1}$ ) n-FinFET 在  $V_D=0.5\text{ V}$  汲極電流對閘極電壓之對數圖

(b) 輻射傷害對各種鍺縮合方法之  $I_d$ - $V_d$  of SiGe n-FinFET

圖 2.10 為輻射傷害對(a)SCF-IPA, (b)Desorb, (c)Chemical 鍺縮合方法之矽鍺( $\text{Si}_{0.9}\text{Ge}_{0.1}$ ) n-FinFET 汲極電流對汲極電壓圖。飽和電流下降率的部分，SCF-IPA、Desorb、Chemical 的樣品分別為 0%與 5.8%、24.7%與 30.1%、

11.6%與 18.4%。因此，低溫超臨界流體氧化製程，確能增進元件抗輻射特性。由於超臨界流體的方法有良好的均勻性以及穿透性還有修復界面的效果，讓元件的初始缺陷密度最低。Desorb 的方法因為高溫的關係，初始缺陷密度最大。Chemical 的方法，因為是低溫製程初始缺陷密度較 Desorb 的方法小，所以初始缺陷密度次低。由此現象可以推論，初始缺陷密度低的元件其導通電流與飽和電流在輻射照射後依然可以保持穩定。

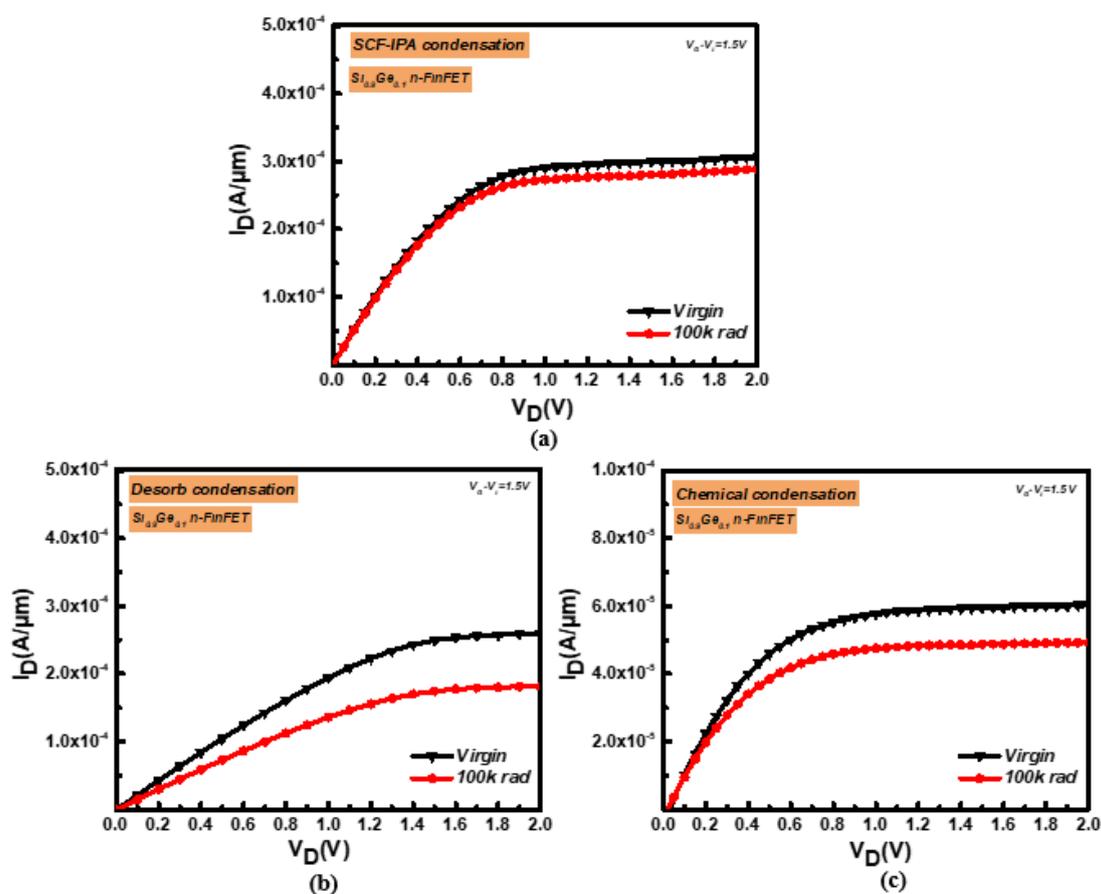


圖 2.10 輻射傷害對(a)SCF-IPA(b)Desorb(c)Chemical 鍺縮合方法之矽鍺 ( $\text{Si}_{0.9}\text{Ge}_{0.1}$ ) n-FinFET 汲極電流對汲極電壓圖

(c) 導通電流( $I_{on}$ )與關閉電流( $I_{off}$ )退化比例之統計分析

圖 2.11 為輻射傷害對不同鍺縮合方法之矽鍺( $\text{Si}_{0.9}\text{Ge}_{0.1}$ ) n-FinFET 的 (a) $I_{on}$ 、(b)  $I_{off}$  退化比例盒狀圖。從圖中可以發現 SCF-IPA、Desorb、Chemical

condensation 的樣品在經過 Co-60 照射(100 kRad 總劑量)後，導通電流的變化率以 SCF-IPA 元件最低，再來是 Chemical 元件，最差的是 Desorb 元件。推測是因為 Desorb 元件在照射前的缺陷密度最差導致載子遷移率更容易因為輻射照射而下降，而 SCF-IPA 元件因為照射前的缺陷密度為所有樣品最佳，因此照射前後的載子遷移率最不容易下降。

關閉電流的變化率則為 Chemical 元件表現最佳，再來是 SCF-IPA 元件，最差的是 Desorb 元件。推測 Chemical 元件鍍含量最低且初始缺陷密度次低讓輻射照射增加的氧化層以及介面缺陷量最低。Desorb 元件因為初始缺陷密度最大且鍍濃度為次高，所以輻射照射增加的氧化層以及介面缺陷量最大。SCF-IPA 元件雖然具有最高的鍍濃度，但由於其初始缺陷密度最低，能夠抵銷鍍濃度高導致輻射更容易產生新缺陷的負面影響。

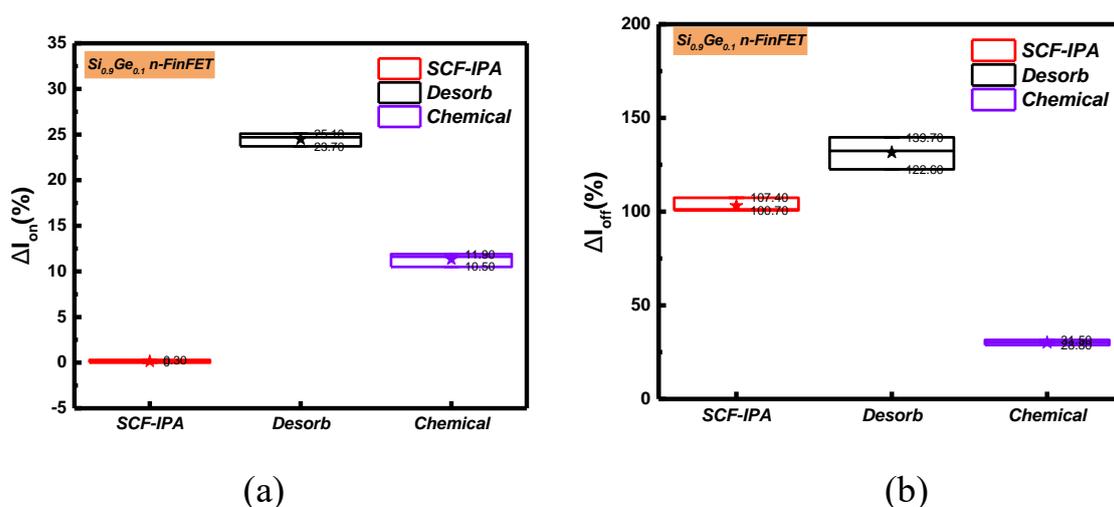


圖 2.11 輻射傷害對不同鍍縮合方法之矽鍍( $\text{Si}_{0.9}\text{Ge}_{0.1}$ ) n-FinFET 的(a) Ion、(b) Ioff 的退化比例盒狀圖

#### 4. 閘環繞式場效電晶體元件(GAAFET)之製作與製程開發

圖 2.12 為 nGAAFET 的(a) 汲極電流對閘極電壓( $I_d$ - $V_g$ )之對數圖, (b)汲極電流對汲極電壓( $I_d$ - $V_d$ )圖。本研究計畫所製作 GAAFET 元件之開關特性

及導通驅動電流等都有不錯表現，將於下年度計畫進行量測抗輻射特性，並進一步優化製程技術。

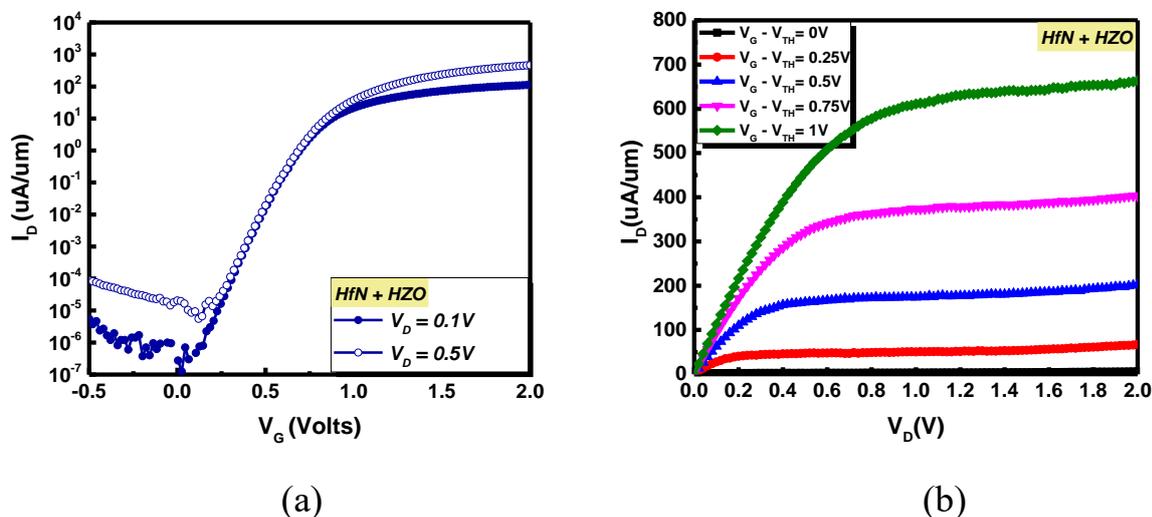


圖 2.12 SiGe nGAAFET 的(a)汲極電流對閘極電壓( $I_d$ - $V_g$ )之對數圖, (b)汲極電流對汲極電壓( $I_d$ - $V_d$ )圖

#### 肆、結論

本子項計畫已完成以高輻射劑量率 Co-60 進行 TID 測試場效電晶體分析、SiGe 鰭式場效電晶體元件閘極界面層抗輻射製程開發、SiGe 鰭式場效電晶體元件抗輻射測試與分析、及閘環繞式場效電晶體元件之製作與製程開發等規劃的工作項目。研究結果顯示，低溫超臨界流體氧化製程，能明顯增進 SiGe FinFET 元件之工作效能。應用低溫超臨界流體氧化製程，也能增進 SiGe FinFET 元件之抗輻射特性。積體電路元件(如 FinFET)之工作規格，主要分為高效能與低功耗兩類。高效能著重在大導通電流，低功耗則是小關閉電流。低溫超臨界流體(SCF)氧化製程對增大導通電流較明顯，因此其能增進效能。在抗輻射元件的規格方面，須視該元件對晶片(或電路系統)的影響而定，電子元件經可靠度測試後其關鍵參數通常不得偏移超過 10%。SCF 氧化製程對輻射傷害產生的關閉電流增加及導通電流減低，都有明顯抑制作用，因此其能增進抗輻射特性。GAAFET 元件之開關特性及

導通驅動電流等都有不錯表現，將進行量測抗輻射特性並進一步優化製程技術。

#### 伍、參考資料

- [1] Michel Pignol, 2010 Design, Automation & Test in Europe Conference & Exhibition (DATE 2010), DOI: 10.1109/DATE.2010.5456992
- [2] M. Agostinelli, et al., IEEE VLSI Tech. Sym., p. 232, 2010.
- [3] Y. Tian et al., 2007 IEEE International Electron Devices Meeting, p. 895.
- [4] B. H. Lee, et al., IEEE IEDM, p.39, 2000
- [5] R. Zhang, et al., IEDM Tech. Dig., 2011, pp. 28.3.1-28.3.4.
- [6] L. J. Liu, et al., IEEE Electron Device Letters, vol. 33, no. 9, p. 1264, 2012.
- [7] K.-W. Jo, et al. IEEE VLSI Tech. Symposium, p. 196, 2018
- [8] C.-T. Tsai et al., Applied Physics Letters, vol. 91, no. 1, p. 012109, 2007.
- [9] C.-S. Huang et al., Applied Physics Letters, vol. 99, no. 8, p. 082907, 2011.
- [10] P.-T. Liu, et al., Applied Physics Letters, vol. 90, no. 22, p. 223101, 2007.

子項三、寬能隙半導體材料與元件之輻射效應評估：SiC MOS 電容元件  
及其輻射效應分析

## 壹、計畫緣起與目的

隨著全球工業和經濟的迅速發展，能源需求持續增加，對於高效能、高頻和高溫操作特性的需求也日益增長，進一步地推動了電源功率轉換系統技術的快速發展。在此一背景下，寬能隙半導體材料，特別是碳化矽(Silicon Carbide, SiC)，因其寬能隙、高臨界電場、高載子遷移率和高熱傳導係數等優越的本質特性，已被公認為製作功率半導體元件的理想材料，並且在商業應用中已展現高度的潛力[1-3]。相比於傳統的矽基技術，SiC 具有優異的物理特性和電性，使其在極端環境中依然能夠穩定運作；再者，因 SiC 具有較高的原子位移能量閾值(threshold displacement energy,  $E_d$ ) (如圖 3.1 所示)，使其在高輻射環境中表現出更強韌的抗輻射能力，這使得以 SiC 為基礎的電子元件在航太應用中能夠長時間穩定運作且受到輻射影響較小[4]。另一方面，因 SiC 功率半導體元件具有低導通電阻、高開關速度和高崩潰電壓的特點，對於航太應用而言，這些特性也意味著可以設計出更輕便、更高效且更可靠的電力管理系統，進而降低重量並提高航天器的能源效率。因此，SiC 憑藉高耐輻射性、優異的熱管理性能、高效能功率特性、以及其在極端環境下的穩定性，使其在航太領域中展現出極大的應用潛力，並且未來可能在衛星、太空探測器和其它航太應用中扮演越來越重要的角色[5, 6]。

儘管 SiC 功率元件在電力電子領域已進入商業量產階段並已獲證實具有極佳的可靠性，且由部份的研究成果也證實其在某些高輻射應用場域中可展現出良好的抗輻射性能，然在高輻射的應用場域之中，其仍可能會遭受到輻射曝露的影響，實有必要進一步地瞭解各種輻射效應對於 SiC 元件特性的劣化機制。在航太環境中，存在著高能粒子和輻射，如來自太陽的高能質子、宇宙射線以及范艾倫輻射帶中的電子和質子，這些高能輻射源對航太系統中的電子元件構成了嚴重威脅[7, 8]。它們會導致多種複合的輻

射效應，包括總游離劑量(Total Ionizing Dose, TID)效應、位移損傷劑量(Displacement Damage Dose, DDD)效應和單一事件效應(Single Event Effect, SEE)[9]。TID 效應主要是由高能光子如 X 射線或加馬射線引起，這些光子透過光電效應、康普頓散射及成對發生等機制與材料相互作用，導致電子元件中的電荷捕捉與累積，進而改變元件的電性參數。DDD 效應則是由中子或帶電粒子與材料的原子核發生散射碰撞所引發，會在材料內部產生缺陷，進而影響載子傳輸與元件的操作性能。SEE 則可能由高能粒子直接撞擊元件，導致瞬間的電路擾動或永久損壞。因此，電子元件應用於太空環境之前，必須充分考慮並評估各種輻射效應對元件的影響。除了建立適當的測試驗證方法外，還需要深入瞭解這些輻射效應的劣化機制。即便是擁有優異操作性能的 SiC 元件，也必須經過這些評估和測試，以確保其在高輻射環境中的可靠性和穩定性。

在金氧半場效電晶體(MOSFET)元件中，這些輻射效應的影響可能特別嚴重。由於 MOSFET 的操作性能高度依賴於其閘極介電層和半導體界面的品質，而這些介電層與界面又對游離輻射甚為敏感，任何輻射誘發的缺陷或游離電荷都可能導致閘值電壓(threshold voltage,  $V_{th}$ )、載子遷移率(carrier mobility)、漏電流和導通電阻(on-state resistance,  $R_{on}$ )等關鍵參數的變化。這些效應不僅可能降低元件的性能，還會縮短其使用壽命，從而對航太系統的可靠性構成威脅。如圖 3.2 所示，當游離電荷經捕獲而累積於氧化層之中，會導致表面電位改變，進而改變元件的操作特性；受陷於半導體與氧化層界面的陷阱電荷也會影響載子遷移率與閘極漏電流[10]。另一方面，高能重粒子與半導體本體中原子核發生碰撞也會引發位移損傷，所產生的空孔與間隙原子等缺陷會形成深能階陷阱，可能改變載子傳導特性，也會引發元件特性劣化與可靠度等問題[11, 12]。

SiC MOSFET 因具備更低的導通電阻、更低的開關損耗、更快的開關速度和更高的崩潰電壓，已成為當前功率元件市場中的重要產品，並在電力電子領域中獲得了廣泛應用。預期此類元件在未來的航太應用中亦將發揮關鍵作用。然而，當 SiC MOSFET 元件曝露於高能輻射環境時，同樣可能會因輻射引發的游離電荷積聚，導致操作性能劣化並引發潛在故障。這些輻射效應會因不同的輻射種類(如加馬射線、重離子、電子、質子和中子等)而異[13, 14]。為了深入理解這些輻射效應對 SiC MOSFET 元件特性的影響，本子項計畫將專注於探討 SiC 金屬氧化物半導體(Metal-Oxide-Semiconductor, MOS)電容元件在高輻射環境下的特性劣化機制，特別是加馬射線與中子輻射對 SiC MOS 電容元件特性的影響。選擇此一研究方向有兩個主要原因：(1)SiC MOS 電容是構成 SiC MOSFET 元件的核心結構，且屬於對輻射最為敏感的區域；(2)利用加馬射線與中子輻照可分別研究 TID 與 DDD 效應的影響，從而區分不同輻射類型可能導致的劣化機制。

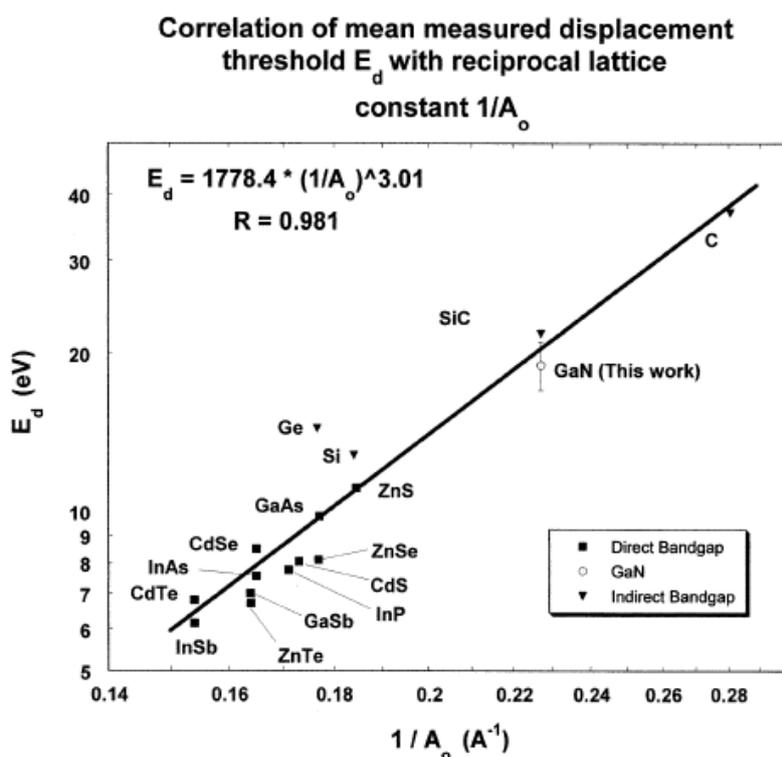


圖 3.1 各類半導體材料之臨界位移能量

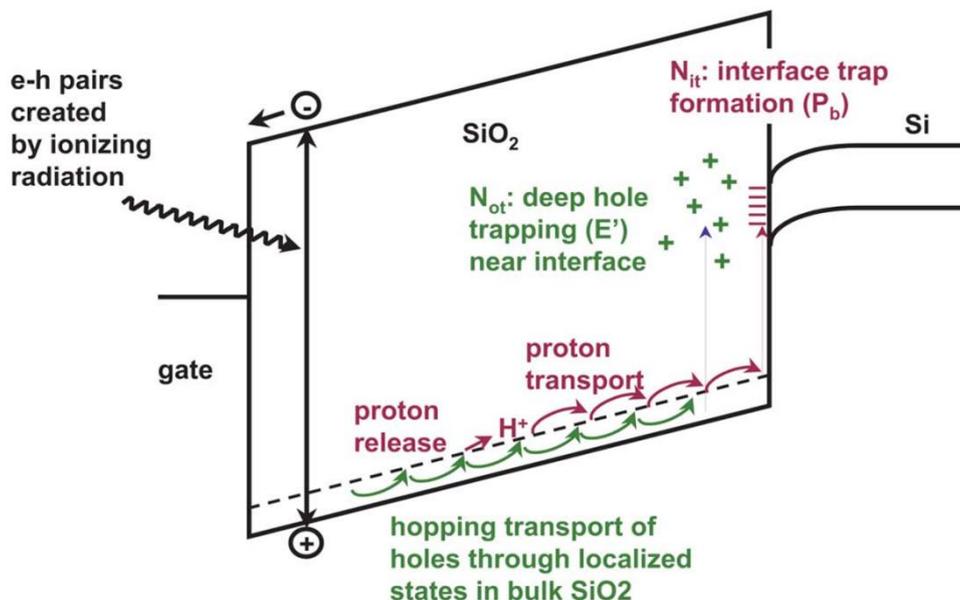


圖 3.2 游離輻射對於 MOS 電容特性的影響

## 貳、研究方法與過程

本研究之目的為藉由完整地分析 SiC MOS 電容特性隨不同輻照條件的變化，進而有效地瞭解 SiC MOSFET 或其它相關元件的輻射劣化機制並提出可能的因應方案。本研究的研究方法與過程說明如下：

### 1. 基板準備

本研究首先選擇了 4H-SiC 基板作為主要材料，這是因其具備優異的熱傳導係數、寬能隙及高電子遷移率，這些特性使其成為高頻和高功率元件的理想選擇。為了準備適合本研究所需的 SiC 基板，在 4H-SiC 基板上成長具備適當厚度及載子摻雜濃度的 SiC 磊晶層，以作為 SiC MOS 電容器的主動區，4H-SiC MOS 電容與基板結構相關參數如圖 3.3 所示。

### 2. SiC MOS 電容製作

SiC MOS 電容的製作係在標準的半導體無塵室中進行，製作流程涵蓋表面清洗、熱氧化、介面優化、MOS 電極製作及基板歐姆接觸等步驟。由於 SiC MOS 電容的介面陷阱密度相對較高，特別是與 Si 相比，因此介面

優化成為關鍵製程步驟。本研究主要使用過去常被採用的預先氧化法，即先以  $N_2O$  氮氣氛圍進行 SiC 表面的預先氧化，並在高溫( $> 1200^\circ C$ )下退火，以降低介面的陷阱密度。此外，MOS 電極使用多晶矽(poly Si)製作，並在設計中加入不同面積尺寸的 MOS 電極。

### 3. SiC MOS 電容元件封裝

為了在後續加馬射線輻照實驗過程中進行元件偏壓效應的測試，本研究在完成 SiC MOS 電容元件的製作之後，將試片委外進行切割與雙列直插封裝(Dual In-line Package, DIP)，並進行 MOS 電極與對應腳位的點焊拉線，如圖 3.4 所示。本次封裝共完成 10 組 SiC MOS 電容元件拉線，涵蓋直徑為  $300\ \mu m$ 、 $400\ \mu m$  與  $500\ \mu m$  三種不同電極面積的 MOS 電容。

### 4. 加馬輻照實驗

加馬射線可經由游離作用在介電層內產生大量的電子-電洞對游離電荷，這些電子-電洞對會影響介電層的電荷捕捉與釋放或介面陷阱密度，進而導致 MOS 電容特性的漂移。本研究在完成 SiC MOS 電容元件封裝與初始電容特性分析之後，即依序規畫不同劑量的加馬輻照實驗，並逐步累積輻照劑量以觀察其特性變化。加馬輻照實驗係在國立清華大學原科中心的 Co-60 照射場中進行，使用的照射劑量率為  $0.431\ kGy/h$ ，並累積輻照劑量至  $100\ kGy$  以上。在輻照過程中，搭配使用電源供應器針對封裝後的 10 組 SiC MOS 電容施加不同偏壓，藉以探討 SiC MOS 電容元件的偏壓條件對於加馬射線 TID 效應的影響。圖 3.5 顯示加馬輻照實驗的架設情形及封裝元件不同腳位對應的偏壓條件，此次共加入四組偏壓條件，分別為  $+5V$ 、 $-5V$ 、接地、浮動 (floating)。

### 5. 中子輻照實驗

除了加馬輻照外，本研究也使用高能中子輻照來探討中子位移損傷對 SiC MOS 電容所造成的 DDD 效應。高能中子通過散射碰撞釋放能量，導

致元件內部的原子位移並產生大量缺陷，進而影響載子的傳導特性。本研究的中子輻照實驗係使用國立清華大學的清華水池式反應器（Tsing Hua Open-pool Reactor, THOR）中子源，本次實驗設定的反應器照射功率為 1.7 MW，並選擇位於爐心邊緣的 VT-6 垂直照射管進行照射，如圖 3.6 所示。該照射管的快中子通量率約為  $2.3 \times 10^{11}$  n/cm<sup>2</sup>·s，且具有快/熱中子通量率比例約為 0.2 的中子能譜。同樣地，中子輻照實驗也由低至高通量逐步增加中子通量，快中子輻照通量範圍介於  $1 \times 10^{11} \sim 1 \times 10^{15}$  n/cm<sup>2</sup> 之間。完成中子輻照之後，元件則會靜置數天，待活化劑量率冷卻至可接受的程度才會進行後續的特性分析。

## 6. SiC MOS 電容特性分析

在輻照之前及完成各劑量的加馬與中子輻照之後，SiC MOS 電容元件即會進行高頻的電容-電壓(C-V)特性量測，藉此評估輻照對 SiC MOS 電容元件特性的影響。藉由所獲得的 C-V 特性曲線，可分析介電層厚度、中間隙電壓(midgap voltage,  $V_{mg}$ )飄移、有效載子濃度及氧化層陷阱電荷( $Q_{ot}$ )等參數，這些數據將有助於理解 TID 與 DDD 效應的影響機制，進一步評估 SiC MOSFET 元件的輻射耐受性。

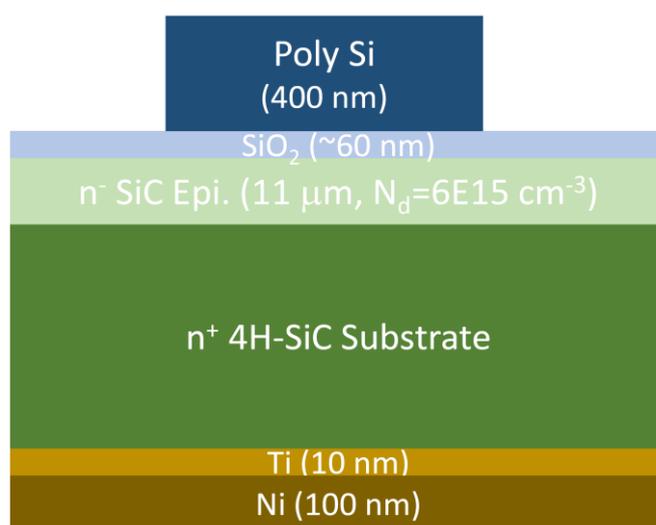


圖 3.3 4H-SiC MOS 電容與基板結構示意圖

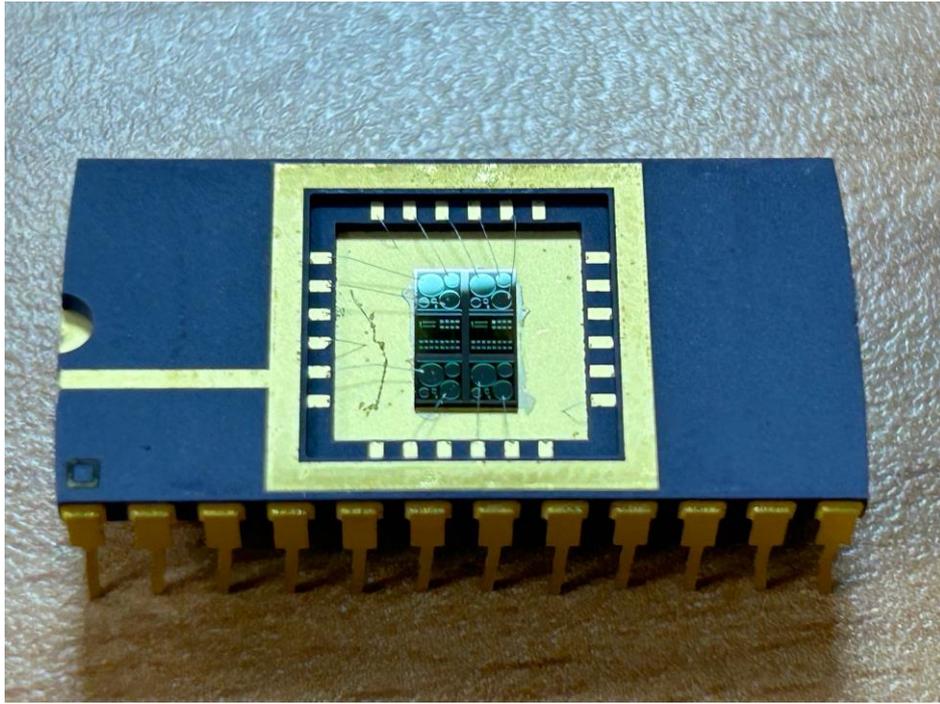
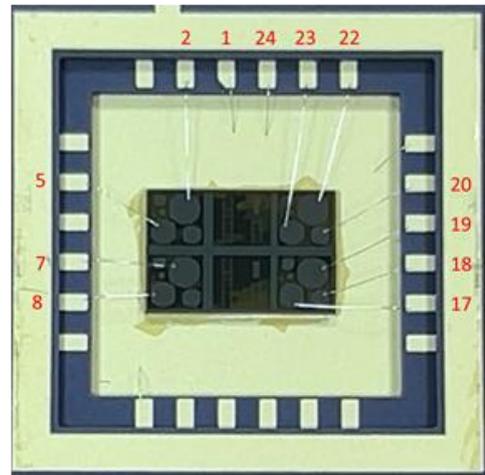
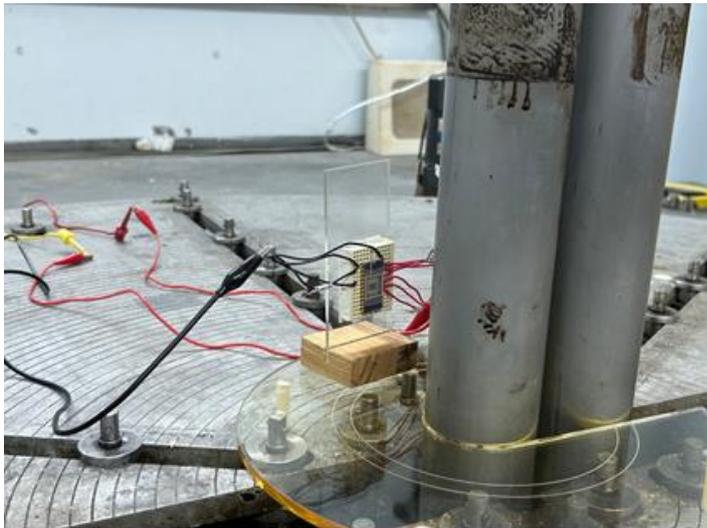


圖 3.4 4H-SiC MOS 電容元件之 DIP 封裝照片



Common to GND: 1, 2, 5, 24; Floating: 7, 8  
 +5V: 20, 22, 23; -5V: 17, 18, 19

圖 3.5 加馬輻照實驗架設情形及封裝元件不同腳位對應的偏壓條件

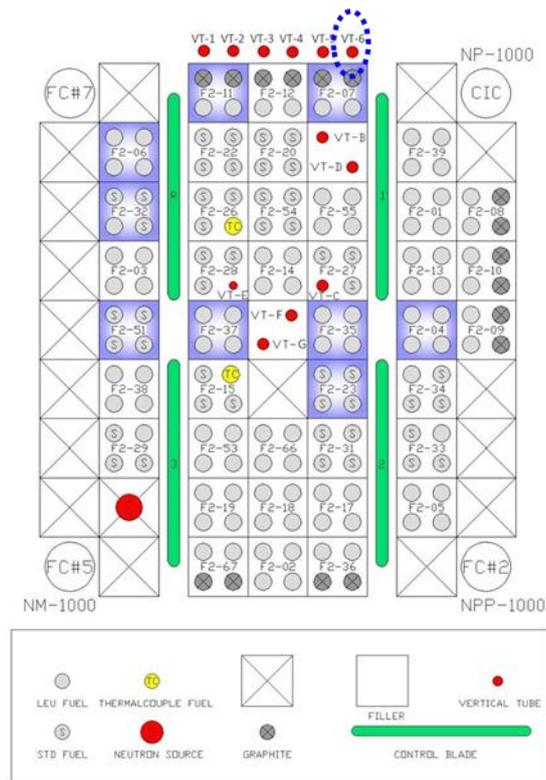


圖 3.6 THOR 中子源及 VT-6 垂直照射管位置示意圖

## 參、主要發現

### 1. 初始特性測試

4H-SiC MOS 電容在進行輻照之前，必須先進行初始特性測試，以驗證本次所製作之 MOS 電容效能符合預期，並且呈現可靠的特性而可作為後續輻射效應驗證的標的。圖 3.7 顯示直徑分別為 500、400 和 300  $\mu\text{m}$  的 4H-SiC MOS 的電容-電壓 (C-V) 特性曲線，根據結果可以觀察到以下幾個現象：(1) 隨著 MOS 電容器直徑的增加，電容值顯著提高。當直徑(或面積)增加時，電容也會增加。此趨勢與以下電容公式一致：

$$C_{ox} = \frac{\epsilon A}{t_{ox}} \quad (1)$$

其中， $C_{ox}$  為氧化層電容、 $\epsilon$  為介面係數、 $A$  為面積、 $t_{ox}$  為介電層厚度。根據圖 3.7 在累積區(accumulation region ( $V > 0$  V))的電容值與式(1)，可進一步推算各尺寸電容所對應的介電層厚度約為 63 nm，此厚度亦相當接近實

驗當時預設的 60 nm。此外，利用以下的高頻電容關係式亦可進一步地求取 SiC MOS 電容在特定狀態下的特徵電壓[15]，如平帶電壓(flat-band voltage,  $V_{fb}$ )、中間能隙電壓( $V_{mg}$ )、以及反轉電壓(inversion voltage,  $V_{inv}$ )：

$$C_{fb} = \frac{C_{ox} \cdot C_{SiC,fb}}{C_{ox} + C_{SiC,fb}} \quad (2)$$

$$C_{SiC,fb} = \frac{\epsilon_{SiC} \epsilon_0}{\sqrt{\frac{kT \epsilon_{SiC} \epsilon_0}{q^2 N_B}}} \quad (3)$$

$$C(\phi_s) = \frac{C_{ox} C_{SiC}(\phi_s)}{C_{ox} + C_{SiC}(\phi_s)} \quad (4)$$

$$C_{SiC}(\phi_s) = \left[ \frac{q \epsilon_{SiC} \epsilon_0 N_B}{2(\phi_s - kT/q)} \right]^{1/2} \quad (5)$$

$$\phi_f = \frac{kT}{q} \ln \left( \frac{N_B}{n_i} \right) \quad (6)$$

其中， $kT$  為熱能、 $q$  為基本電荷量、 $\epsilon_{SiC} \epsilon_0$  為 SiC 的介電係數、 $n_i$  為 SiC 的本質載子濃度、 $N_B$  為有效的摻雜濃度、 $\phi_s$  為表面電位、 $\phi_f$  為費米電位。當  $\phi_s = \phi_f$  及  $\phi_s = 2\phi_f$  時，可分別計算對應的中間能隙電容( $C_{mg}$ )與反轉電容( $C_{inv}$ )。由圖 3.7 的結果顯示，這些 C-V 特性曲線各個特徵電壓皆不隨 MOS 電容尺寸而變，表示尺寸效應的影響應可忽略。

為了進一步地確認 SiC 磊晶層的有效摻雜濃度，本研究使用 MOS 電容在空乏狀態下的  $1/C^2$ -V 關係式進行有效載子濃度的估算：

$$\frac{1}{C_{dep}^2} = \frac{2(V_R + V_{bi})}{q \epsilon_{SiC} \epsilon_0 N_B} \quad (7)$$

其中， $C_{dep}$  為空乏電容、 $V_R$  為逆向偏壓、 $V_{bi}$  為內建電場。由上式可知，藉由空乏電容的  $1/C^2$ -V 特性曲線的斜率即可推算有效的摻雜濃度。圖 3.8 所示即為擷取自空乏狀態電壓範圍的 C-V 量測結果所轉換而得的  $1/C^2$ -V 變化圖，結果顯示其呈現線性關係，經由該直線斜率可求得各尺寸電容對應的 SiC 有效載子濃度，所推得的濃度值介於  $5.4 \times 10^{15} \sim 5.8 \times 10^{15} \text{ cm}^{-3}$  之間，相當吻合於晶片供應商提供的規格( $6 \times 10^{15} \text{ cm}^{-3}$ )。因此，本研究後續也將利用此方法觀察 SiC 磊晶層中的載子濃度是否會隨輻照劑量而改變。

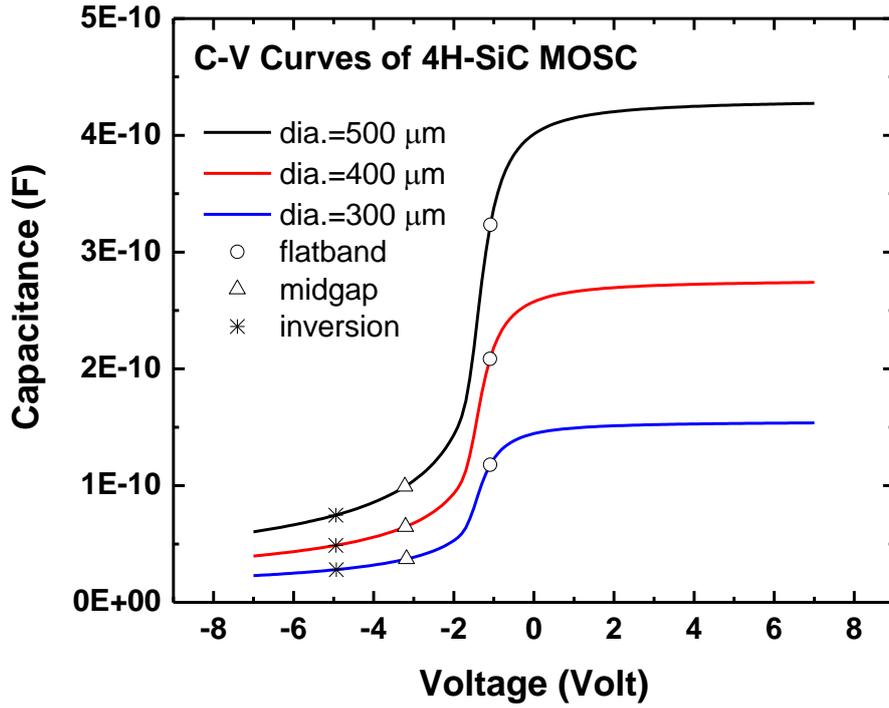


圖 3.7 不同尺寸的 4H-SiC MOS 電容的 C-V 特性曲線

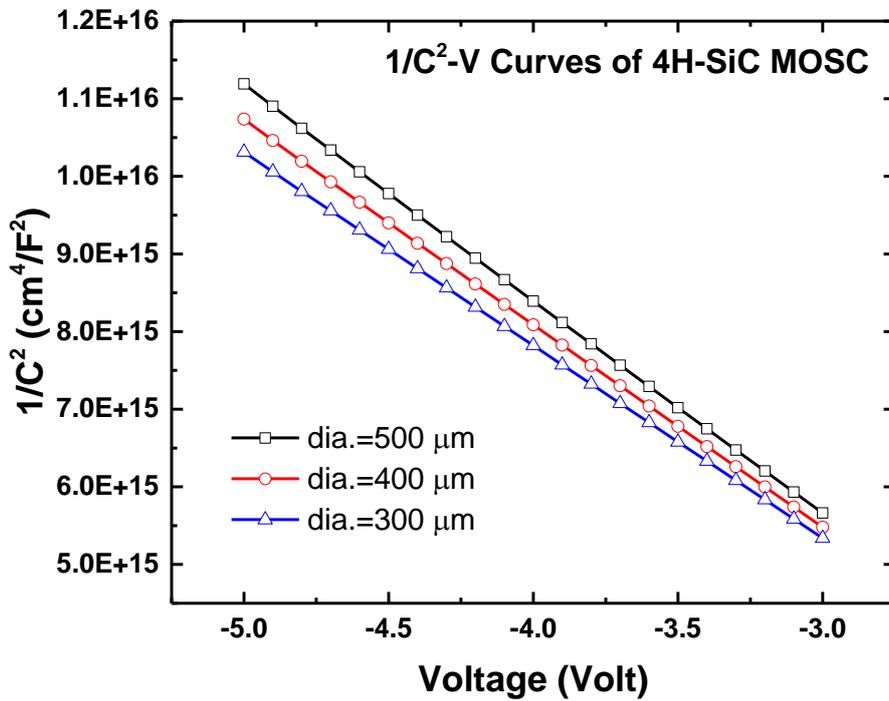


圖 3.8 不同尺寸的 4H-SiC MOS 電容的 1/C<sup>2</sup>-V 特性曲線

## 2. 總游離劑量(TID)效應測試

為了評估 SiC MOS 電容的 TID 效應，本研究使用 Co-60 加馬射源進行元件的輻照實驗，在輻照過程中並於元件閘極施加不同偏壓條件，藉以瞭解偏壓條件對於 TID 效應的影響。圖 3.9(a)~(d)所示為 4H-SiC MOS 電容在不同閘極偏壓條件下(接地、浮動、-5 V、+5 V)，其 C-V 特性曲線隨加馬射線照射劑量的變化情形。由這些結果可知，在不同劑量的加馬照射之下，C-V 曲線出現明顯向負偏壓方向移動的現象，且隨著加馬劑量的增加，C-V 曲線有逐漸向左偏移的趨勢。所有的 C-V 特性曲線僅出現平行偏移，且其在空乏區間的電容變化斜率並未隨著輻照劑量而有明顯的變化。這種偏移現象說明加馬輻照引起的游離電荷主要會被氧化層陷阱捕獲而導致氧化層電荷累積，並未顯著改變介面態密度。再者，由於曲線的轉折點明顯向負偏壓方向移動，這也暗示著氧化層陷阱所捕獲的游離電荷以正電荷為主。

另一方面，在不同閘極的偏壓條件之下，C-V 曲線隨加馬輻照劑量的偏移情形也出現不同的變化，其偏移程度由小而大依序為接地、浮動、-5 V、+5 V：(1)當閘極接地時，整個 MOS 結構的電場相對較小，加馬射線照射後，C-V 曲線僅出現小幅度的左移。這是因為在接地狀態之下，輻照產生的游離電荷較易被導引至上、下電極的接地端，致使電荷累積減少而降低 C-V 曲線的偏移。(2)當閘極處於浮動狀態時，使得 MOS 電容閘極電位變得較不確定，這也造成游離電荷的捕獲效應變得較難以預測，導致 C-V 曲線隨著劑量增加出現較無序的變化，甚至當劑量達到某一劑量時出現右移的情形。(3)當閘極施加-5V 的負偏壓時，游離作用產生的電子將被排斥並經由 SiC 基板排開，而電洞則可能會被吸引至閘極與氧化層的介面附近被捕獲，研究顯示最可能的位置為閘極以下 3~7 nm 處[16]。(4)在閘極施加 +5V 的正偏壓時，氧化層中因游離作用產生的電子將會被快速地吸引到閘極而移除，而帶正電的電洞因閘極電壓而被排斥，並在氧化層與 SiC 介面附近被捕獲。由於近介面區域存在著大量的氧缺陷與應變態的 Si-O 懸鍵，

這些缺陷將成為最主要的中性電洞陷阱中心，這也是加馬輻照產生的游離電洞會經由閘極正偏壓的導引而大量地累積於此的原因。因此，偏壓條件對 MOS 結構在輻射環境下的特性有顯著影響，特別是正、負偏壓條件下的輻射效應尤為明顯，進行輻射效應評估時應納入考慮，以降低評估結果的偏差。

為了更清楚地確認加馬輻照所造成的氧化層陷阱電荷累積，本研究進一步地依循前述方法擷取各 C-V 特性曲線所對應的中間隙電壓( $V_{mg}$ )，並透過電荷分離法(Charge Separation Technique)求取加馬輻照前後因氧化層陷阱電荷與介面陷阱電荷所造成的電壓飄移[15]：

$$\Delta V_{ot} = (V_{mg} - V_{mg}^0)_{post} - (V_{mg} - V_{mg}^0)_{pre} \quad (8)$$

$$\Delta V_{it} = (V_{inv} - V_{mg})_{post} - (V_{inv} - V_{mg})_{pre} \quad (9)$$

其中， $V_{mg}^0$ 係表示未照射前的 $V_{mg}$ 。假設當費米能階處於中間隙時，介面陷阱處於電中性狀態，中間隙電壓偏移量並不會受到介面能態影響，可以單獨表示為氧化層陷阱電荷。因此，由式(8)所估算的輻照前後的中間隙電壓偏移量( $\Delta V_{mg}$ 或 $\Delta V_{ot}$ )可歸因於輻照所致之淨正電性的氧化層陷阱電荷，而由式(9)所估算的反轉電壓與中間隙電壓差的偏移量( $\Delta V_{it}$ )則可歸因於介面陷阱電荷。**圖 3.10**所示為 4H-SiC MOS 電容在不同閘極偏壓下經加馬輻照所造成的 $\Delta V_{ot}$ 變化，可以發現正偏壓所造成的 $\Delta V_{ot}$ 隨加馬劑量變化最為顯著，而接地的條件則最不明顯，並且 $\Delta V_{ot}$ 的變化在加馬劑量達到 10 kGy 以上有逐漸趨於飽和之勢。另外， $\Delta V_{it}$ 隨加馬劑量的變化則顯示於**圖 3.11**之中。相較於 $\Delta V_{ot}$ ， $\Delta V_{it}$ 在加馬輻照之後並未有明顯的變化，此說明加馬輻照引發的 TID 效應對於 SiC MOS 電容的主要影響以生成氧化層陷阱電荷為主，而對於其介面陷阱電荷的影響甚微。

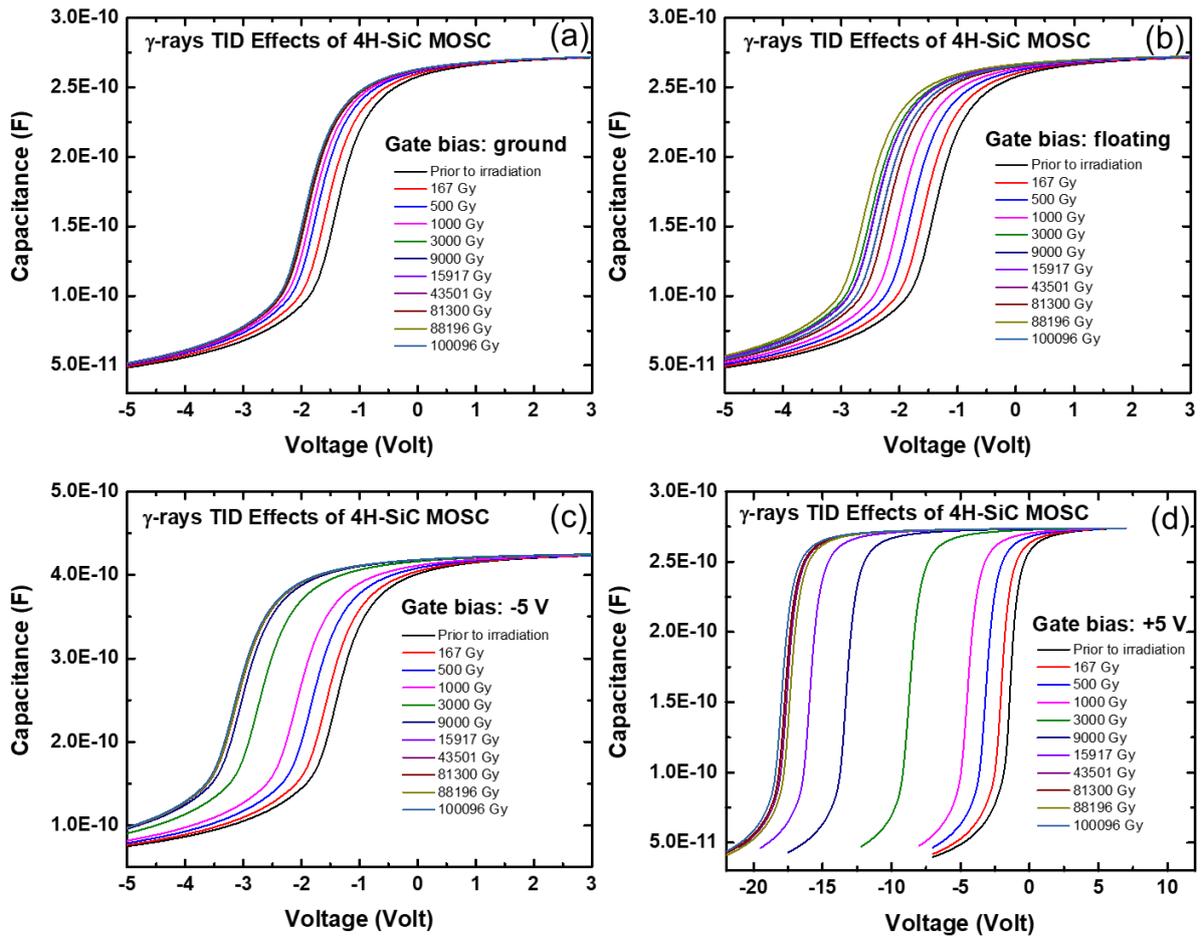


圖 3.9 不同閘極偏壓條件下之 4H-SiC MOS 電容的 C-V 特性曲線隨加馬輻照劑量變化

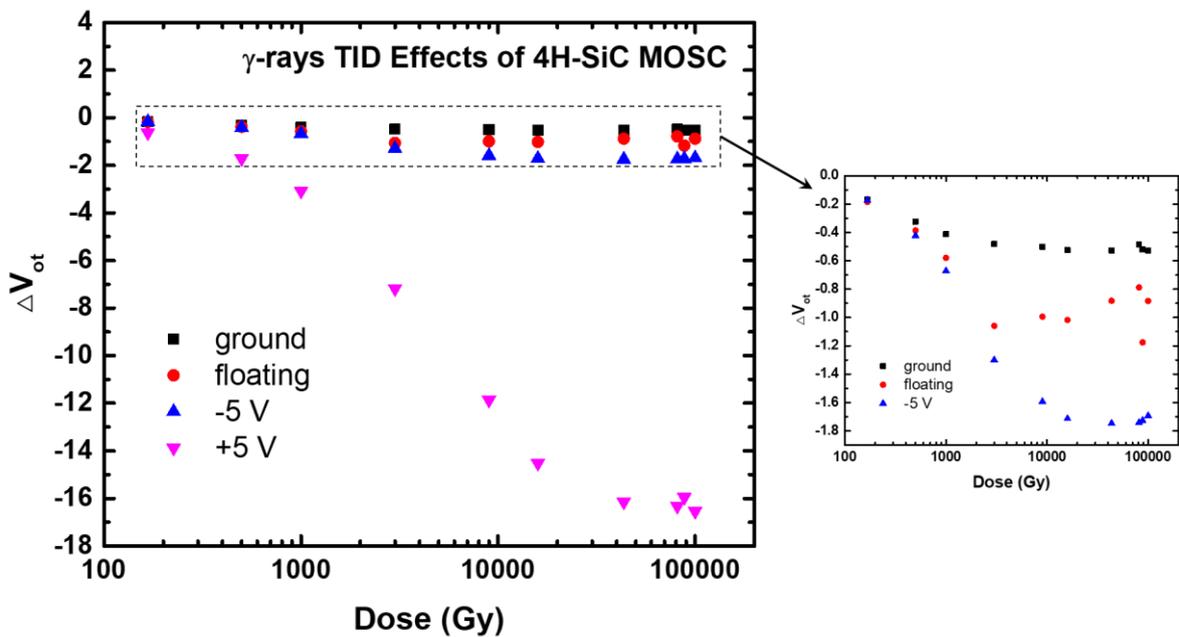


圖 3.10 4H-SiC MOS 電容在不同偏壓下的  $\Delta V_{ot}$  隨加馬輻照劑量變化

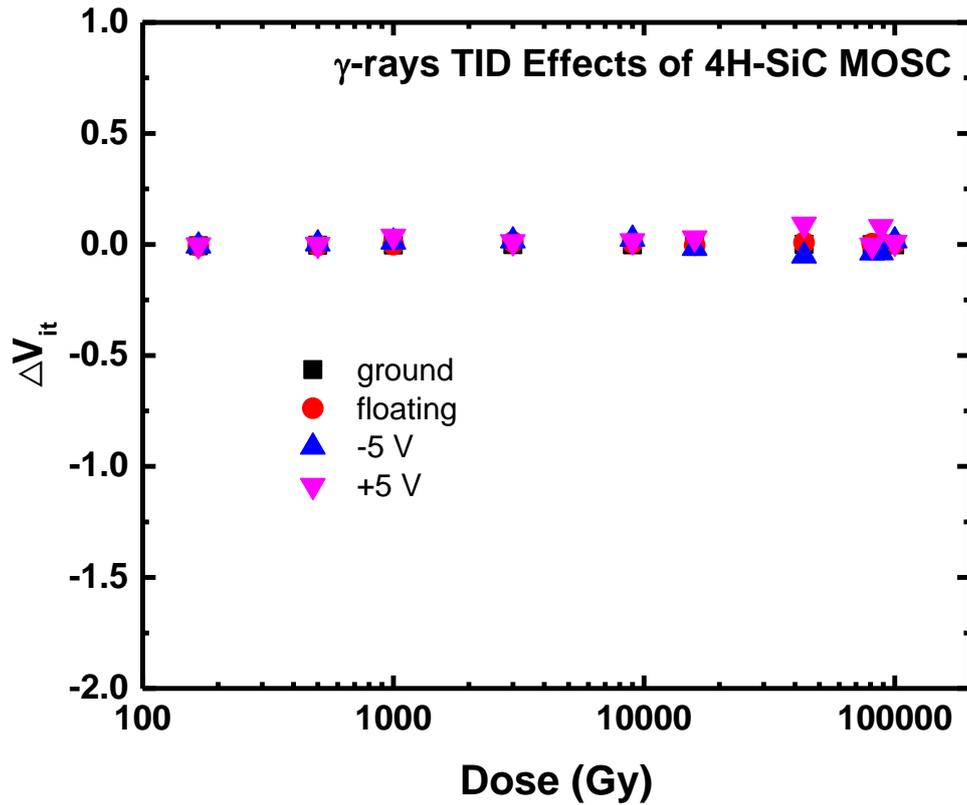


圖 3.11 4H-SiC MOS 電容在不同偏壓下的 $\Delta V_{it}$ 隨加馬輻照劑量變化

### 3. 位移損傷劑量(DDD)效應測試

此節將聚焦於探討中子輻照對 4H-SiC MOS 電容的影響。中子輻照對元件的損傷機制與前述加馬輻照存在顯著差異：加馬輻照主要引發游離損傷，經由游離作用產生電子-電洞對而改變氧化層內部的電荷特性，其影響大致侷限於氧化層內部。然而，中子輻照的損傷效應則不同，其主要產生位移損傷，直接影響材料內部結構，形成空孔和間隙原子等缺陷。這些缺陷會顯著改變半導體的電性，包括有效載子濃度下降、介面態密度增加、以及氧化層陷阱電荷的累積，進而對元件特性產生更為顯著的影響。以下將深入分析中子輻照效應，以釐清其對 4H-SiC MOS 電容特性的影響。

圖 3.12 顯示了 4H-SiC MOS 電容隨著中子輻照通量的增加，其 C-V 特性曲線的變化情形。如圖所示，中子輻照之後的 C-V 曲線仍有朝負電壓方向偏移的情形，然而其偏移程度相較於加馬輻照的結果 (如圖 3.9) 較不明

顯。當中子通量達到  $1.3 \times 10^{14} \text{ cm}^{-2}$  時，C-V 曲線並未持續朝負電壓方向移動，且在空乏區的電容隨電壓變化的斜率出現了改變，而其電容值也有明顯降低的現象。這些現象主要反映了中子輻照與加馬輻照的差異，加馬輻照的 TID 效應主要會造成氧化層陷阱電荷累積，而中子輻照導致的 DDD 位移損傷效應除了會造成較輕微的氧化層陷阱電荷累積之外，隨著輻照通量的增加，位移損傷產生的缺陷也會進一步影響到介面陷阱電荷累積與氧化層的絕緣特性，並對 SiC 材料的載子傳導特性造成影響。

在 MOS 結構之中，由於中子輻照所產生的缺陷會增加介面態密度，這些介面態有其對應的能階，在不同偏壓條件下造成影響，進而使得 C-V 曲線在空乏區電容的變化斜率產生改變。根據研究結果，此 C-V 曲線的伸展 (stretch-out) 現象可代表元件的介面陷阱電荷逐漸累積，並且隨著中子輻照通量的增加，此介面陷阱電荷也會逐漸變得更為顯著且成為影響 C-V 曲線偏移的主要因素。

為了進一步窺知中子輻照所引發之 DDD 效應的影響，本研究進一步利用式(2)~(6)及式(8)與(9)，針對各中子輻照條件下因氧化層陷阱電荷與介面陷阱電荷所導致的電壓偏移 ( $\Delta V_{ot}$  與  $\Delta V_{it}$ ) 進行分析。圖 3.13 所示為 4H-SiC MOS 電容之  $\Delta V_{ot}$  與  $\Delta V_{it}$  隨中子輻照通量的變化，此圖呈現中子輻照對元件內部陷阱電荷特性的影響。在中子輻照初期，氧化層陷阱電荷逐漸隨輻照通量增加而累積，而介面陷阱電荷並未有明顯變化。中子輻照產生的氧化層陷阱電荷應係源自於分裂爐心中所伴隨產生的加馬射線所致。當中子輻照通量高於  $1.3 \times 10^{14} \text{ cm}^{-2}$  時，可以發現氧化層陷阱電荷開始下降，並且介面陷阱電荷開始大幅增加，表示中子輻照引發的位移損傷可能造成  $\text{SiO}_2/\text{SiC}$  介面特性劣化，並改變氧化層內部的電荷特性。氧化層陷阱電荷的變化通常會導致閘極閾值電壓的變動，從而影響到元件的開關特性。介面陷阱電荷的增長則反映了介面缺陷密度的上升，這將進一步影響載子的

傳輸特性，導致漏電流增加及操作特性改變，對元件的可靠度造成更大的影響。上述這些結果顯示，長期曝露在中子輻照環境中的 SiC MOS 元件在應用時需特別注意氧化層陷阱及介面陷阱電荷的累積情況，以確保穩定的操作性能。

**圖 3.14** 顯示了加馬與中子輻照條件下之氧化層陷阱電荷增量( $\Delta N_{ot} = C_{ox}\Delta V_{ot}$ )的變化趨勢。透過比較加馬射線與中子輻照的影響，可以發現加馬射線對於 $\Delta N_{ot}$ 的影響較中子更為顯著，表示 TID 效應相較於 DDD 效應會產生更多的氧化層陷阱電荷累積。本次的中子輻照實驗係在 THOR 爐心中進行，該照射位置在核分裂產生中子的過程中會伴隨釋放出加馬射線，根據過往的校正數值，其劑量率約為 3~5 kRad/s。依此劑量率估算，中子輻照所導致的等效 TID 效應應可與加馬輻照的結果相比擬，然由測試結果顯示其效應有較不明顯的現象。上述結果顯示加馬射線和中子輻照對於元件特性存在不同的劣化機制，證實位移損傷效應可能抑制氧化層中陷阱電荷的生成，並傾向對於 SiO<sub>2</sub>/SiC 介面及 SiC 本體材料造成較為劇烈的影響。

如前所述，中子輻照所致之位移損傷會於 SiC 材料內部形成間隙原子或空孔等缺陷，其中部分的缺陷可能形成陷阱而具有捕獲載子的特性，進而造成 SiC 材料中的有效載子濃度產生變化。為了證實此論點，本研究也利用式(7)的  $1/C_2-V$  關係式來進一步估算中子輻照後 SiC 材料的有效載子濃度。**圖 3.15** 顯示 SiC 材料的歸一化有效載子濃度隨著中子與加馬輻照條件的變化情形。由結果可知，SiC 材料的有效載子濃度不會隨著加馬輻照劑量而改變，但明顯地會隨著中子輻照通量的增加而降低，估計其載子移除率約為  $14.4 \text{ cm}^{-1}$  (每單位中子通量造成的載子濃度變化)。在加馬輻照的條件下，其影響主要以游離作用導致的電荷捕捉效應為主，而對有效載子濃度的影響甚微；然而，中子輻照則因直接於 SiC 材料內部引發嚴重的位移損傷，進而產生大量的深能階缺陷，成為載子捕獲中心而使得 SiC 材料的有

效載子濃度大幅下降。載子濃度降低的現象也可進一步由圖 3.12 中的空乏區電容降低得到印證。這些深能階缺陷除了降低載子濃度之外，也會影響載子的遷移率，導致材料的載子傳導特性劣化，最終也可能會衍生 SiC 元件長期操作的可靠度問題。

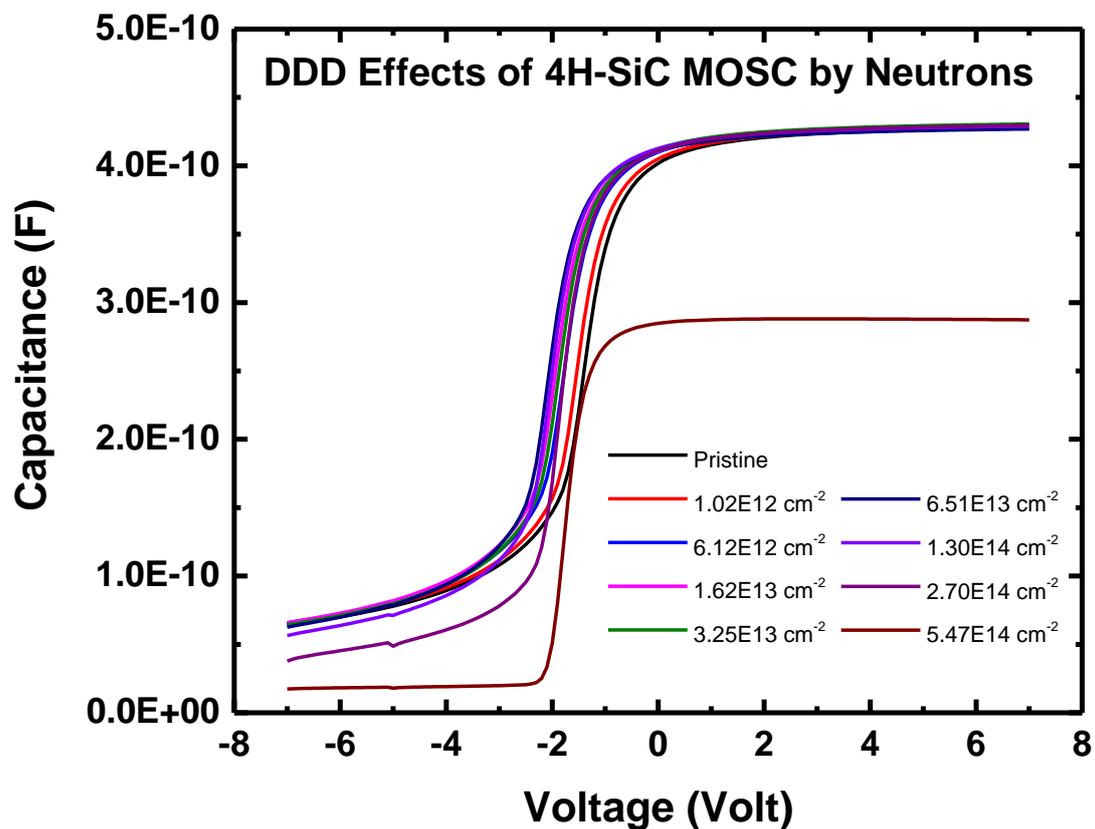


圖 3.12 4H-SiC MOS 電容之 C-V 特性曲線隨中子輻照通量變化

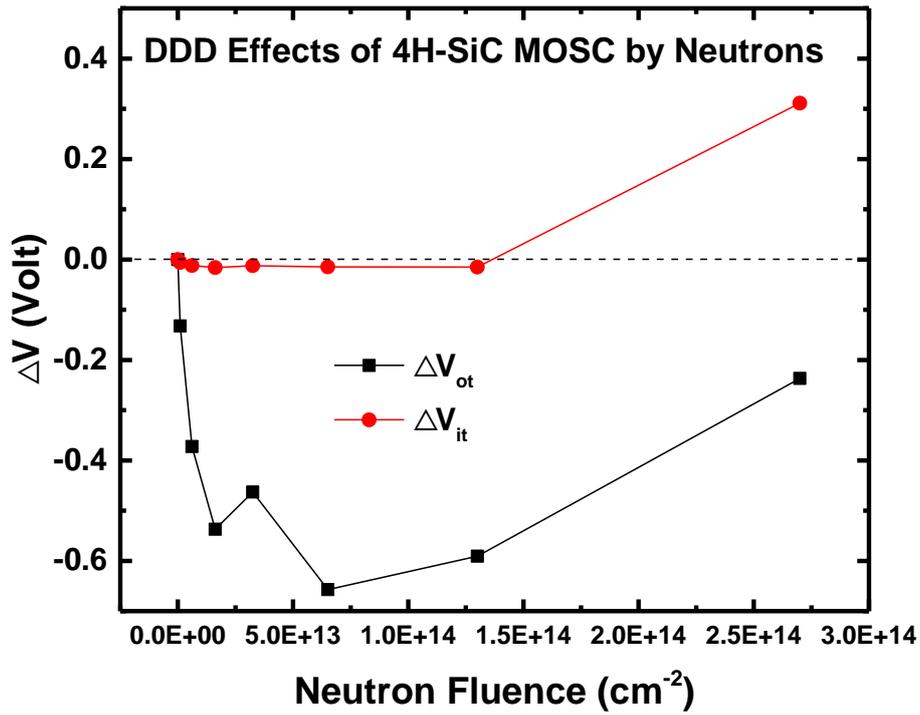


圖 3.13 4H-SiC MOS 電容之 $\Delta V_{ot}$ 與 $\Delta V_{it}$ 電壓偏移隨中子輻照通量變化

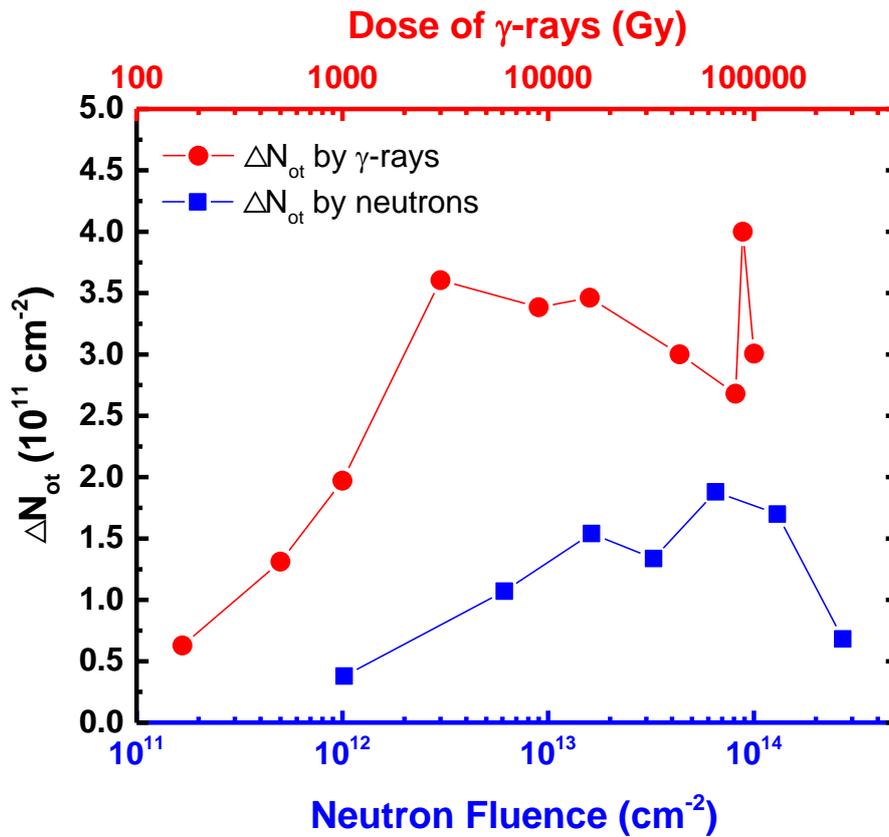


圖 3.14 4H-SiC MOS 電容之氧化層陷阱電荷增量 $\Delta N_{ot}$ 隨中子與加馬輻照條件變化

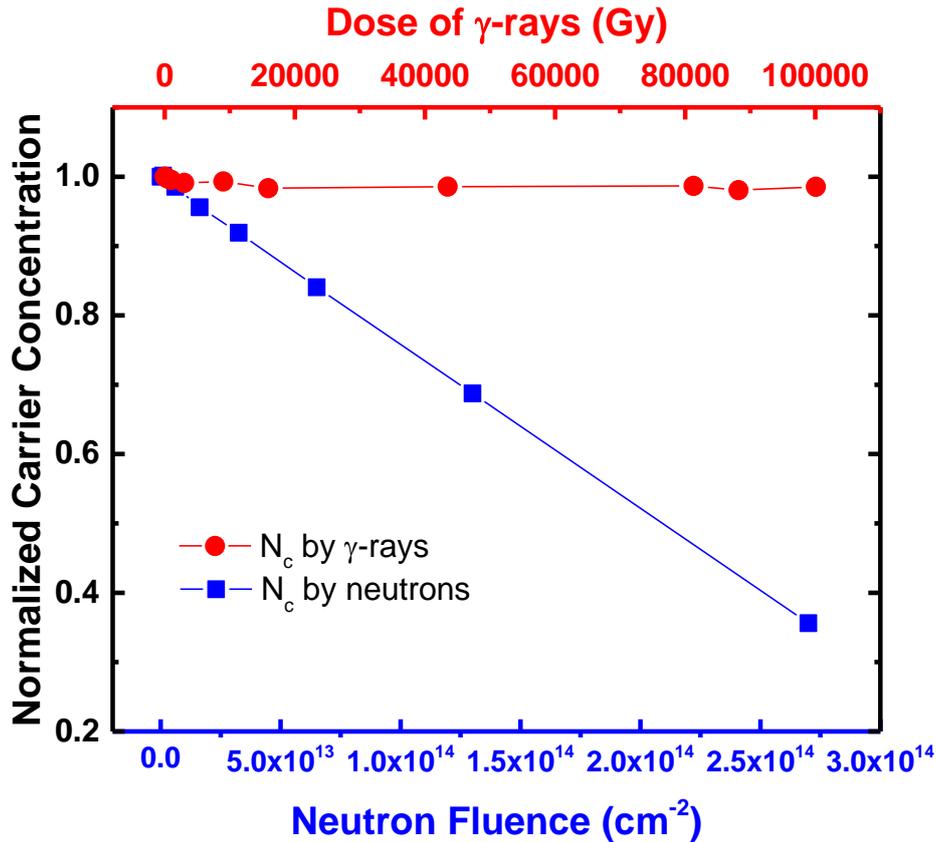


圖 3.15 SiC 材料之歸一化有效載子濃度  $N_d$  隨中子與加馬輻照條件變化

#### 肆、結論

本研究旨為探討 4H-SiC MOS 電容的 TID 與 DDD 效應，藉此有效地評估加馬射線和中子輻射對 SiC 元件可能造成的影響。本研究計畫已依原訂時程完成所有規劃的工作項目，包括元件製作、加馬與中子輻照實驗、以及元件特性分析等，茲歸納重要結論如下：

- 總游離劑量 (TID) 效應

在 TID 效應測試中，利用 Co-60 加馬射源對 4H-SiC MOS 電容進行輻照，並在不同閘極偏壓下觀察 C-V 特性變化。結果顯示，隨輻照劑量增大，C-V 曲線平行向負偏壓方向移動，說明游離電荷主要被氧化層陷阱捕獲，導致氧化層內正電荷累積，但未顯著影響介面態密度。正偏壓 (+5 V) 下的漂移最為顯著，因偏壓誘導正電荷累積於 SiC/氧化層介面，導致顯著電壓

漂移。透過電荷分離法計算，可以發現 TID 效應下的氧化層陷阱電荷累積明顯增長，特別在正偏壓下於高劑量逐漸飽和，而介面陷阱電荷變化相對較小。

- **位移損傷劑量 (DDD) 效應**

在 DDD 效應測試中，中子輻照主要通過位移損傷影響 4H-SiC MOS 電容內部的材料結構，進而造成半導體的電性變化，包括載子濃度下降、介面態密度上升等。與加馬輻照相比，中子輻照導致的 C-V 曲線偏移較小，顯示其對氧化層陷阱電荷影響有限。然而隨著中子通量增加，C-V 曲線在空乏區的斜率變化明顯，並且電容值下降，顯示位移損傷影響了 SiC 材料的載子傳導特性，可能因空孔或間隙原子的缺陷所造成。

綜合上述結果，TID 效應主要導致氧化層陷阱電荷累積，使 C-V 曲線偏移；而 DDD 效應則透過位移損傷影響材料內部結構，生成缺陷並降低載子濃度。此結果證實對 SiC MOS 結構或相關元件進行輻射效應的影響評估時，應同時考量游離電荷捕獲與位移損傷的影響，才能精確評估此類結構或元件的輻射耐受性。

## 伍、參考資料

- [1] T. Kimoto, Jpn. J. Appl. Phys. 54, 040103 (2015).
- [2] A. Javanainen, et al., IEEE Trans. Nucl. Sci. 64, 2031-2037 (2017).
- [3] J. Rabkowski, D. Peftitsis, and H. P. Nee, IEEE Ind. Electron. Mag. 6, 17-26 (2012).
- [4] A. Ionascut-Nedelcescu et al., IEEE Trans. Nucl. Sci. 49, 2733-2738 (2002).
- [5] K.F. Galloway, Electron. 3, 582-593 (2014).
- [6] T. Baba, Materials Science and Engineering B, 300, 117096 (2024).
- [7] M. Inoue, T. Kobayashi, A. Maruyama, Fuji Electric Review, 56, 69-73 (2010).

- [8] H.A. Moghadam, S. Dimitrijevic, J. Han, D. Haasmann, *Microelectron. Reliab.* 60, 1-9 (2016).
- [9] J.A. Pellish, *Applied Space Environments Conference (ASEC) 2017*. No. GSFC-E-DAA-TN42599 (2017).
- [10] J. R. Schwank et al., *IEEE Trans. Nucl. Sci.* 55, 1833-1853 (2008).
- [11] S. Yue, et al., *IEEE Trans. Electron Devices* 69, 3341-3346 (2020).
- [12] F. Principato et al., *Sensors* 20, 1-15 (2020).
- [13] Q. Huang, J. Jiang, *Prog. Nucl. Energy* 114, 105-120 (2019).
- [14] A. Karmakar et al., *Radiation* 1, 194-217 (2021).
- [15] S.C. Witzak et al., *Journal of Applied Physics* 87, 8206-8208 (2000).
- [16] G.J. Dunn, *Journal of Applied Physics* 65, 4879-4883 (1989).