

# 行政院原子能委員會委託研究報告

衛星元件太空輻射效應評估及先期技術建立

Evaluation of Anti-Radiation Effect and Establishment of Advanced  
Technology for Satellite Components

執行期間：111 年 01 月 01 日至 111 年 12 月 31 日

計畫主持人：葉彥顯

執行單位：行政院原子能委員會核能研究所

中華民國 112 年 5 月 23 日

## 摘 要

太空技術成功的關鍵因素在於開發可設計用於太空應用的電子元件和晶片，因為它們暴露在各種高能粒子和光子的空間輻射下，可能導致長期特性退化或暫態故障等。因此，了解輻射對太陽電池、電子元件和晶片等衛星元件的影響對於太空科技應用的發展尤為重要。本計畫完成衛星元件太空輻射效應評估及先期技術之建立。工作項目 1「抗輻射太空太陽電池技術開發」之執行的研究項目包括「抗輻射太陽能電池磊晶研究」；「抗輻射太陽能電池元件製程」；「抗輻射太陽能電池元件特性量測」三個子主題，完成太空太陽電池效率提升與初步的質子輻射測試。工作項目 2「抗輻射電子元件開發與輻射效應評估」中執行的研究項目包括「抗輻射之新興記憶體元件開發」；「抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究」；「下世代半導體材料與元件之輻射效應評估」三個子主題。完成鐵電記憶體、電荷儲存式快閃記憶體之抗輻射能力評估。工作項目 3「抗輻射晶片技術開發與輻射驗證平台」之研究項目分為「太空商業應用之抗輻射晶片設計開發」、「短脈衝雷射輻射驗證平台」及「抗輻射晶圓等級小晶片異質整合技術」三個子主題，完成抗輻射比較器及抗輻射類比數位轉換器之設計，並建構短脈衝雷射之輻射驗證平台。本研究同時也針對小晶片異質整合技術，評估相關抗輻射特性進行研究。

## Abstract

The significant topics of space technology are solar cells, electronic components and chips that can be used in space. Since these devices are exposed to radiation of various high-energy particles and photons in a long period of time during space programs, it may cause gradual degradation or failure, etc. Hence, understanding the effects of radiation on satellite devices is one of the most important tasks in the development of space technology. Via the project, the evaluation of anti-radiation effect and establishment of advanced technology for satellite devices were completed. In work item 1, “Development of anti-radiation space solar cell technology”, the improvements of space solar cell efficiency and the preliminary proton radiation test have been implemented. In work item 2, “Development of anti-radiation electronic components and evaluation of radiation effects”, the assessments of the radiation-resistant ability of ferroelectric field-effect transistor and charge storage flash memory have been implemented. In work item 3, “Radiation-resistant wafer technology development and radiation verification platform”, designs of radiation-resistant comparators and Analog-to-digital converter have been implemented, and the radiation verification platform based on short pulse laser have been established. The study also collected the information of wafer grade small chip heterogeneous integration technology and analyzed the radiation-resistant properties related to it.

# 目 錄

|                                    |    |
|------------------------------------|----|
| 1. 前 言 .....                       | 1  |
| 2. 抗輻射太空太陽能電池技術開發.....             | 3  |
| 2.1 抗輻射太陽能電池磊晶研究.....              | 3  |
| 2.2 抗輻射太陽能電池元件製程.....              | 4  |
| 2.3 抗輻射太陽能電池元件特性量測.....            | 7  |
| 3. 抗輻射電子元件開發與輻射效應評估.....           | 10 |
| 3.1 抗輻射之新興記憶體元件開發.....             | 10 |
| 3.2 抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究..... | 13 |
| 3.3 下世代半導體材料與元件之輻射效應評估.....        | 17 |
| 4. 抗輻射晶片技術開發與輻射驗證平台.....           | 22 |
| 4.1 太空商業應用之抗輻射晶片設計開發.....          | 22 |
| 4.2 短脈衝雷射輻射驗證平台 .....              | 24 |
| 4.3 抗輻射晶圓等級小晶片異質整合技術.....          | 27 |
| 5. 結 論 .....                       | 30 |
| 參考文獻.....                          | 33 |

## 附 圖 目 錄

|                                                       |    |
|-------------------------------------------------------|----|
| 圖 2.1 電極結構與實際樣式 .....                                 | 5  |
| 圖 2.2 切割前之 4 吋太陽電池(2 片) .....                         | 6  |
| 圖 2.3 太陽電池成品(面積 8 cm X 4 cm) .....                    | 7  |
| 圖 2.4 轉換效率達 29.1%電池之電流-電壓特性曲線 .....                   | 7  |
| 圖 2.5 清大加速器實驗室 .....                                  | 8  |
| 圖 2.6 單接面(GaAs/Ge)與三接面(GaInP/GaAs/Ge)電池測試的結果 .....    | 9  |
| 圖 3.2 有無進行 NH <sub>3</sub> 電漿處理對於 FeFET 記憶體之影響 .....  | 11 |
| 圖 3.3 不同質子流量/電壓掃描範圍對於記憶視窗之影響 .....                    | 12 |
| 圖 3.4 FeFET 鐵電記憶體質子照射之電荷保持力特性表現 .....                 | 13 |
| 圖 3.7 輻照後 Planar MOSFET 與 FinFET 在不同汲極電壓轉換特性圖 .....   | 15 |
| 圖 3.11 ZrON 樣品受不同輻射劑量傷害後之電荷保持力測試 .....                | 17 |
| 圖 3.12 SiC MOSFET 元件經加馬射線(gamma rays)照射之 TID 效應 ..... | 18 |
| 圖 4.1 TMR 多數投票比較器(Majority Voter Comparator) .....    | 22 |
| 圖 4.2 具有錯誤偵測之 Split ADC .....                         | 23 |
| 圖 4.3 連續時間比較器 .....                                   | 24 |
| 圖 4.4 實驗架設改善後之光路圖 .....                               | 25 |
| 圖 4.5 研究使用之 SEE 實驗設備 .....                            | 25 |

|                          |    |
|--------------------------|----|
| 圖 4.6 晶片抗輻射雷射照射實驗結果..... | 26 |
| 圖 4.7 EMIB 封裝流程步驟.....   | 27 |
| 圖 4.8 Foveros 封裝結構.....  | 28 |
| 圖 4.9 CoWoS-L 封裝結構.....  | 28 |

## 附表目錄

|                                         |   |
|-----------------------------------------|---|
| 表 2.1 不同 Sb 摻雜濃度之 InGaP 薄膜特性比較表 .....   | 3 |
| 表 2.2 優化前與優化後全結構磊晶參數之批量生產後電池效率對照表 ..... | 4 |
| 表 2.3 調整金屬厚度與 RTA 退火時間之結果 .....         | 6 |
| 表 2.4 質子照射實驗之結果 .....                   | 9 |

## 1. 前 言

近年來太空成為全球競爭的一個新場域，不論是歐美亦或是亞洲的強權國家，都卯足全力發展太空科技產業，越來越多的衛星等宇宙的飛行器將會進入太空中，如美國 NASA (National Aeronautics and Space Administration) 的阿提米絲計畫<sup>[1]</sup>或是 SpaceX 的星鏈計畫<sup>[2]</sup>，皆顯示了太空科技發展對於民生及商業亦或是科研上應用的重要性。而我國經過多年的發展，已經建立發展太空科技的基礎設施與技術能量，並於 2021 年 6 月 16 日通過「太空發展法」<sup>[3]</sup>，蔡總統亦宣示太空產業是台灣「六大核心戰略產業」之一，將於未來十年內投注大量資源強化國內的太空科技產業發展。決定太空科技成功與否的重要關鍵因素為發展可設計用於太空等級應用的電子元件與晶片，因其曝露於各種高能粒子與光子的太空輻射之中，可能造成長期的特性劣化或暫態失效等影響，故瞭解輻射對於衛星元件如太陽電池、電子元件與晶片的影響對發展太空科技應用尤為重要。

在各種太陽電池材料中，III-V 族多接面太陽電池可完美匹配太空用太陽電池的核心技術發展需求，透過多接面子電池連續堆疊串聯，轉換效率理論極限可達到 86.8%<sup>[4]</sup>，另外 III-V 族材料本身比起傳統矽基太陽電池具備更高的抗輻射能力，因此若要適應各種環繞地球軌道之太空輻射環境，其 III-V 族多接面太陽電池乃是最佳的選擇。本所長期致力於創新技術之研發，已具備超過十年之三五族(III-V)高效率太陽電池研發經驗。近年亦配合政府「國家太空科技發展長程計畫」政策，投入太空太陽電池技術之開發並取得初步成果。本計畫接續過去之開發經驗持續提升太陽電池之轉換效率，並對電池之抗輻射能力做初步之評估與分析。經磊晶參數調整與電極製程改善

後，獲得大面積電池最高轉換效率達 29.1%之電池；以質子能量 1 MeV、累積通量  $1 \times 10^{12} \text{ cm}^{-2}$  做輻射測試後，剩餘轉換可高於 60%。而為因應國際低軌道通訊衛星趨勢，本計畫亦研蒐國際電子元件抗輻射測試技術，並製作抗輻射比較器電路，實驗結果可有效防止太空游離輻射造成之單事件翻轉 (Single-Event Upsets, SEU)，另製作抗輻射快閃記憶體，在 1 M 雷德(rads)總游離劑量(Total Ionizing Dose, TID)輻照後，元件仍保有 73 %的電荷保持力。在抗輻射晶片技術開發上，本計畫以脈衝雷射光代替質子或高能粒子進行晶片之輻射驗證，大幅縮短驗證時間，有助於快速開發耐輻射的晶片。

本研究報告第二章介紹計畫子項目 1:「抗輻射太空太陽電池技術開發」，並分別說明「抗輻射太陽能電池磊晶研究」、「抗輻射太陽能電池元件製程」、「抗輻射太陽能電池元件特性量測」之研發成果；第三章介紹計畫子項目 2:「抗輻射電子元件開發與輻射效應評估」，並分別說明「抗輻射之新興記憶體元件開發」、「抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究」、「下世代半導體材料與元件之輻射效應評估」之成果；第四章則是計畫子項目 3:「抗輻射晶片技術開發與輻射驗證平台」，亦分別說明「太空商業應用之抗輻射晶片設計開發」、「短脈衝雷射輻射驗證平台」、「抗輻射晶圓等級小晶片異質整合技術」之成果。

## 2. 抗輻射太空太陽電池技術開發

### 2.1 抗輻射太陽能電池磊晶研究

在抗輻射太陽能電池磊晶研究方面，藉由有機金屬化學氣相沉積 (Metal-organic Chemical Vapor Deposition, MOCVD) 磊晶系統調整磊晶時之「V 族/III 族」與「III 族/III 族」氣流比，控制材料間之晶格匹配度與材料能隙，另外優化膜厚與載子濃度，最終完成高效率太陽電池晶片製作。實驗中先以單一 InGaP 薄膜為磊晶之結構進行材料之能隙提升實驗，並利用不同 Sb 摻雜濃度觀察材料的能隙變化，而 Sb 摻雜濃度則由 MOCVD 系統之氣體流量計 (mass flow controller, MFC) 所控制。表 2.1 為材料能隙實驗結果，當 TMSb 之 MFC source 為 8 sccm 時，InGaP 薄膜具有最短波長的 PL 訊號，換算能隙達到 1.891 eV，另外 XRD 之衛星波峰值為 166 arcsec，符合原先晶格匹配標準，因此後續全結構磊晶即採用 TMSb 之 MFC source 為 8 sccm 之參數。

表 2.1 不同 Sb 摻雜濃度之 InGaP 薄膜特性比較表

| <i>recipe</i> | MFC<br>Source (sccm) | PL 波長<br>(nm) | 能隙<br>(eV) | XRD 之衛星波峰<br>(arcsec) |
|---------------|----------------------|---------------|------------|-----------------------|
| <i>A</i>      | 4                    | 680.2         | 1.822      | 219                   |
| <i>B</i>      | 8                    | 655.7         | 1.891      | 166                   |
| <i>C</i>      | 12                   | 660.6         | 1.877      | -69                   |
| <i>D</i>      | 16                   | 661.1         | 1.876      | -145                  |
| <i>E</i>      | 24                   | 664.5         | 1.866      | -264                  |

由 Sb 摻雜實驗結果得出最佳氣流參數後，在三接面太陽電池結構中主要於上層子電池(簡稱 J3)之基底層(base layer)與 J3 射極層(emitter layer)

等兩磊晶層加入 Sb 元素當作表面活化劑使用，提升上部子電池之材料能隙，進一步提升電池的輸出電壓與輸出功率。另外重新調整中層子電池(簡稱 J2)與 J3 的磊晶溫度，以減少於光學顯微鏡觀測下表面的缺陷數量，最後完成全結構磊晶參數。在完成優化之磊晶參數設定後，後續便進行磊晶穩定性驗證作業，觀察批量生產之電池效率變化，並與前一版磊晶參數之電性進行對照比較，其結果如表 2.2，若以前一版重點觀察於電池效率 >26%之占比，優化之結果相較之下有顯著提升，顯示摻雜 Sb 元素之後有效提升電池的電性數據。

進一步分析電池之電性特徵中，開路電壓有明顯的增幅，由原本之 2.52 V - 2.55 V 提升至 2.57 V - 2.6 V，然而在整體數據觀察下，還是有過多電池效率低於 26%以下。由於電池效率分布廣泛，顯示除磊晶參數之外，包含磊晶或製程設備硬體的穩定性皆會影響最終電池的輸出表現。

表 2.2 優化前與優化後全結構磊晶參數之批量生產後電池效率對照表

|           | 優化前 |         | 優化後 |         |
|-----------|-----|---------|-----|---------|
| 電池效率      | 個數  | 百分比     | 個數  | 百分比     |
| <20%      | 22  | 13.58%  | 11  | 4.45%   |
| 20% - 22% | 4   | 2.47%   | 6   | 2.43%   |
| 22% - 24% | 23  | 14.20%  | 12  | 4.86%   |
| 24% - 26% | 30  | 18.52%  | 53  | 21.46%  |
| 26% - 28% | 78  | 48.15%  | 130 | 52.63%  |
| 28% - 30% | 5   | 3.09%   | 35  | 14.17%  |
| 電池總數      | 162 | 100.00% | 247 | 100.00% |

## 2.2 抗輻射太陽能電池元件製程

在抗輻射太陽能電池元件製程方面，為降低電池元件之內部阻抗，避免電子-電洞對在傳輸到外部電極的過程中產生不必要的損耗，故良好的

金屬與半導體接觸非常重要。本研究藉由優化金屬歐姆接觸層的磊晶條件、調整金屬電極厚度以及回火條件來降低元件之內部阻抗，提升電池之轉換效率。

圖 2.1 為本研究之電極結構與實際樣式。正面電極由於必須允許光線穿過，因此無法整面覆蓋；但又為顧及電流之有效傳輸，故採用指狀式電極。

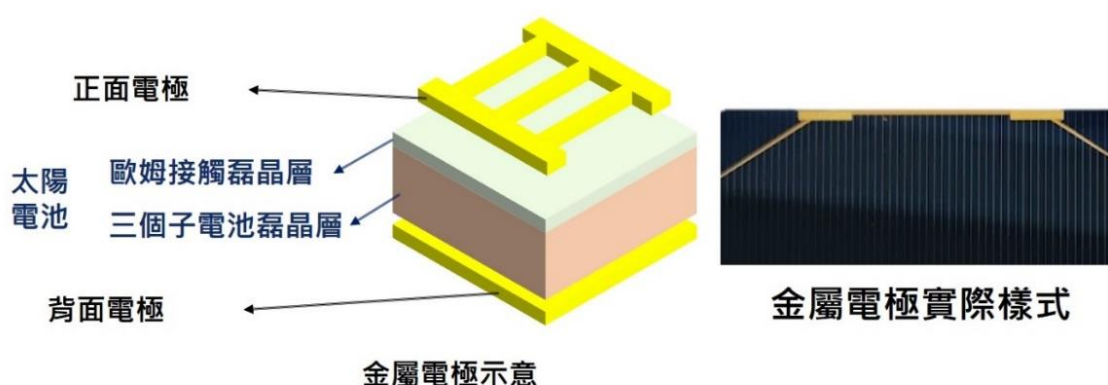


圖 2.1 電極結構與實際樣式

在本實驗中我們研究不同的正面銀(Ag)金屬電極厚度與不同的快速熱退火(rapid thermal anneal, RTA)時間，實驗結果如表 2.3 所示。由樣品 A 與 B 可比較不同正面電極銀(Ag)厚度之電性差異，經比較銀厚度  $2\text{ }\mu\text{m}$  之電性較好；而樣品 B 與 C 可比較不同 RTA 退火時間之電性差異，經比較正面 2 min / 背面 1 min 之電性較好。此即為後來所採用之參數。

表 2.3 調整金屬厚度與 RTA 退火時間之結果

| 樣品                         |          | A                 | B                 | C                 |
|----------------------------|----------|-------------------|-------------------|-------------------|
| 正面 Ag 層<br>電極厚度            |          | 2 $\mu\text{m}$   | 3 $\mu\text{m}$   | 3 $\mu\text{m}$   |
| 背面 Ag 層<br>電極厚度            |          | 2 $\mu\text{m}$   | 2 $\mu\text{m}$   | 2 $\mu\text{m}$   |
| RTA (385°C)                |          | 正 2 min / 背 1 min | 正 2 min / 背 1 min | 正 4 min / 背 2 min |
| 電<br>性<br>測<br>試<br>結<br>果 | Isc (A)  | 0.09              | 0.09              | 0.09              |
|                            | Voc (V)  | 2.82              | 2.83              | 2.80              |
|                            | Im (A)   | 0.10              | 0.09              | 0.09              |
|                            | Vm (V)   | 2.34              | 2.48              | 2.42              |
|                            | Pm (W)   | 0.22              | 0.22              | 0.21              |
|                            | F.F.     | 0.84              | 0.86              | 0.86              |
|                            | Eff. (%) | 29.98             | 29.20             | 28.29             |

藉由調整太陽電池磊晶層結構、成長條件並優化電極製程後，太空太陽電池於實驗型(受光面積  $0.8 \times 1.0 \text{ cm}^2$ )最高效率可達 30.77%，量產型(受光面積  $4 \times 8 \text{ cm}^2$ )最高效率亦達到 29.1%(平均 28%)，已具國際商售太空電池水準。圖 2.2 為切割前之太陽電池；圖 2.3 為太陽電池成品。其中效率最高的一片達 29.1%，其電流-電壓特性曲線，如圖 2.4 所示。



圖 2.2 切割前之 4 吋太陽電池(2 片)

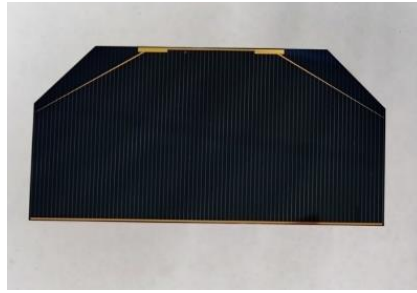


圖 2.3 太陽電池成品(面積 8 cm X 4 cm)

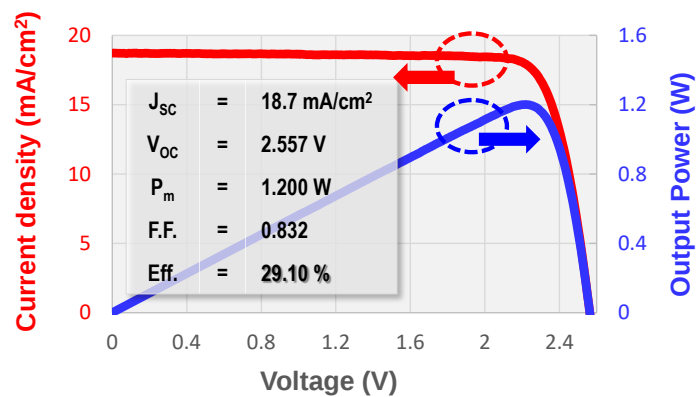


圖 2.4 轉換效率達 29.1%電池之電流-電壓特性曲線

## 2.3 抗輻射太陽能電池元件特性量測

太空太陽能電池測試相關規範主要由美國和歐盟所制定。美國有航空與太空學會(American Institute of Aeronautics and Astronautics, AIAA)所制定之規範，文件編號為 AIAA S-111A<sup>[5]</sup>；歐盟則有歐洲太空標準協會(The European Cooperation for Space Standardization, ECSS)所制定之規範，文件編號為 ECSS-E-ST-20-08C<sup>[6]</sup>。ECSS 規範主要偏向制定驗證之程序，而相關的計算方式與衡量標準則較少定義；相較之下 AIAA 的規範有比較明確的測試數值與方式之規定。然而要依照 AIAA 做完整的輻射測試需要許多不同的質子能量以及累積通量，因此除了要有合適的輻射粒子源外，

樣品的數量也需足夠。電子源的部分目前國內較欠缺，而在質子源方面國內大部分的質子源能量都太高，例如林口長庚醫院的質子源為 230 MeV，而本所目前的質子源則為 15-30 MeV，都遠高過 AIAA 所建議之 3 MeV 以下的條件。未來本所將計畫建置 5 MeV 以下之質子源，但尚未開始。目前國內擁有 6 MeV 以下質子照射之機構為清華大學，但其部分設備故障，因此僅能做 1 MeV 之照射。圖 2.5 為清大串集式(Tandem)加速器之外觀與基本資料。



圖 2.5 清大加速器實驗室

本實驗中我們以 3 片大小 1 cm x 1 cm 三接面電池樣品，結構為磷化銦鎵/砷化鎵/鍺基板(GaInP/GaAs/Ge)，於清大加速器實驗室以質子能量 1 MeV、累積通量  $1 \times 10^{12} \text{ cm}^{-2}$ ，在未接電路、未施加偏壓狀態下做照射測試，結果如表 2.4 所示。由實驗結果可發現，在質子照射後，在太陽電池之剩餘轉換可高於 60%。

表 2.4 質子照射實驗之結果

| Sample # | Eff.(Before) | Eff.(After) | Remaining Eff. |
|----------|--------------|-------------|----------------|
| 1        | 26.9%        | 17.8%       | 66.2%          |
| 2        | 26.5%        | 18.2%       | 68.7%          |
| 3        | 27.7%        | 17.8%       | 64.3%          |

為了解本實驗結果之優劣，我們和其他團隊之結果作比較。圖 2-6 為文獻中單接面(GaAs/Ge)與三接面(GaInP/GaAs/Ge)電池測試的結果<sup>[7]</sup>。圖中所用的質子最低能量為 3 MeV，並沒有做到 3 MeV 以下。該三接面電池在 3 MeV、 $1 \times 10^{12} \text{ cm}^{-2}$  時電池的剩餘最大功率約為 77%。由於質子能量在 3 MeV 以下電池的剩餘最大功率會快速降低，因此若該實驗有做到 1 MeV 則剩餘最大功率亦估計會降至 70%附近。故經分析比較後發現本所製作之電池之抗輻射能力與其他國家研究團隊之成果相當，對於未來之持續改善可有一良好之參考基礎。

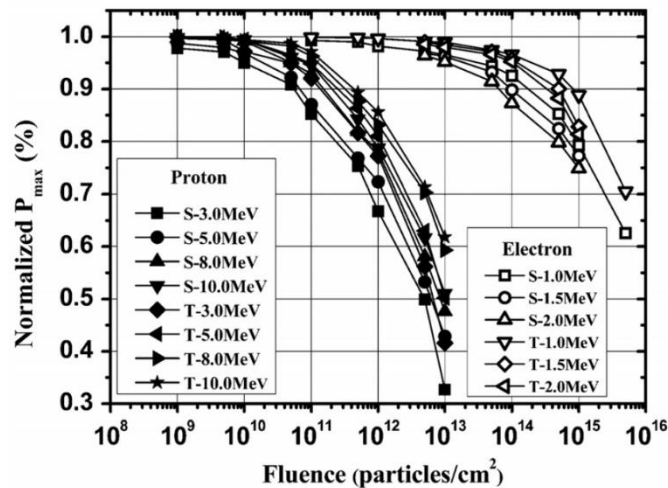


圖 2.6 單接面(GaAs/Ge)與三接面(GaInP/GaAs/Ge)電池測試的結果<sup>[7]</sup>

### 3. 抗輻射電子元件開發與輻射效應評估

#### 3.1 抗輻射之新興記憶體元件開發

圖 3.1 為本研究所製作之 FeFET 鐵電記憶體元件的元件結構示意圖。首先以氨氣( $\text{NH}_3$ )電漿直接於氮化矽晶基板形成  $\text{SiN}_x$  以提高記憶視窗。以  $\text{NH}_3$  電漿進行介面改善，透過電漿處理可抑制介面氧空缺並提升介電常數，可減少施加電壓過程對介面層的破壞。因此，以  $\text{NH}_3$  電漿處理後的鐵電記憶體(Ferroelectric Field Effect Transistor, FeFET)其記憶視窗大幅提升；與對照組相比，耐久度不僅提升一個數量級更維持可用之記憶視窗。此外，減少的氧空缺也有利提升 FeFET 鐵電記憶體切換速度，此研究成果將有助於改善現有 FeFET 鐵電記憶體可靠度不佳相關問題。圖 3.2 (a) 比較了  $+6/-5\text{ V}$  脈衝在  $5\text{ }\mu\text{s}$  脈衝寬度下的耐久度測試。具有  $\text{NH}_3$  電漿處理的 FeFET 鐵電記憶體其記憶視窗在  $10^6$  次操作後仍能保持  $1.7\text{ V}$ ，顯示對於可靠度的提升有明顯的效益。圖 3.2 (b)所示， $\text{NH}_3$  電漿處理亦可提升電偶極的切換速度。



圖 3.1 FeFET 元件結構示意圖

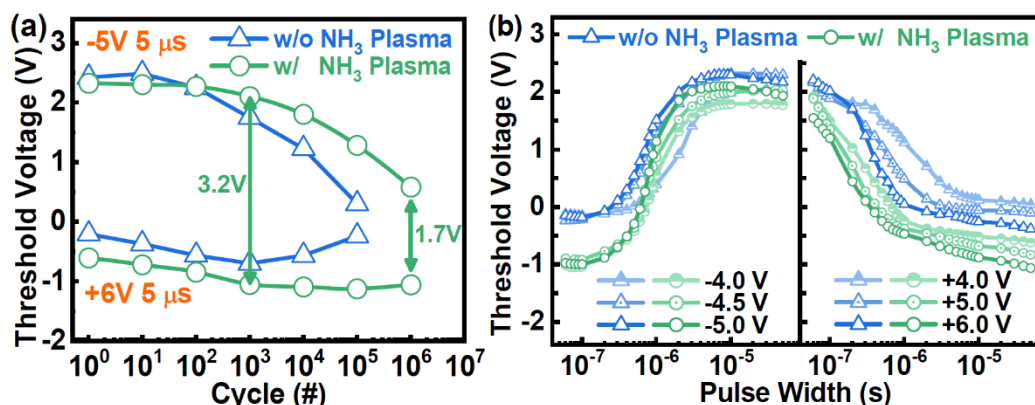


圖 3.2 有無進行  $\text{NH}_3$  電漿處理對於 FeFET 記憶體之(a) endurance 表現影響、(b) 操作速度影響

接著探討質子束輻射對於鈮鋯氧化物( $\text{HfZrOx}$ , HZO)之 FeFET 鐵電記憶體特性影響，透過直流偏壓掃描，發現質子輻射對於 FeFET 鐵電記憶體的記憶視窗影響不大，受質子輻射照射的元件甚至在小電壓掃描下具有更高的記憶視窗，此項發現可能和照射質子輻射後改變的氧空缺分布情形有關。

在建構質子束照射平台後，於質子能量 10 MeV 下，以  $5 \times 10^{13}$  ions/cm<sup>2</sup> 與  $2.5 \times 10^{14}$  ions/cm<sup>2</sup> 之質子流量(fluence)對於 SiOx 介面層之 FeFET 鐵電記憶體進行抗輻射測試。進行質子照射時，FeFET 元件的偏壓條件為 Floating 狀態。目前初步分析質子流量對記憶體效能之影響是以雙向電壓、直流掃描量測記憶視窗的方式量化影響程度。圖 3.3 為不同電壓掃描範圍下，質子流量對於記憶視窗的影響。從測試結果發現當掃描範圍變大，記憶視窗也隨之變大，這意味在此電壓範圍下電偶極轉換的效應仍高於電荷捕獲效應。不過值得注意的是，即使增加質子流量，對於記憶視窗的影響不大，這代表在此質子流量範圍內，FeFET 鐵電記憶體具有極佳的抗輻射能力。

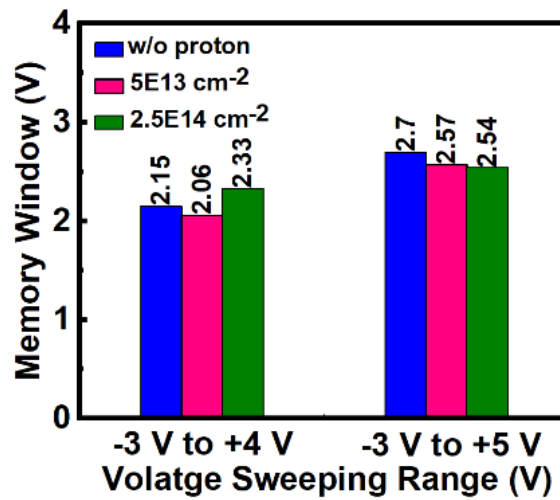


圖 3.3 不同質子流量/電壓掃描範圍對於記憶視窗之影響

接著，透過電壓脈衝對 FeFET 鐵電記憶體進行測試，照射不同流量的質子輻射後，在寫入速度以及 endurance 等特性皆無出現明顯改變，而進一步量測 FeFET 鐵電記憶體電荷保持力特性，照射質子輻射之 FeFET 衰退趨勢僅微幅增加，與未照輻射元件相比，在 10 年預測下仍保有 90% 以上的記憶視窗。綜合上述研究結果可驗證 FeFET 鐵電記憶體具有極佳的抗質子輻射能力。圖 3.4 顯示 FeFET 鐵電記憶體於不同質子輻射照射劑量下的電荷保持力特性表現，圖 3.4(a)為高、低臨界電壓隨時間變化，圖 3.4(b)則是固定閘極電壓於 0.1 V 下所讀取到的汲極電流，在脈衝量測下，由於量測電流所使用的積分時間較短，因此量到的最低電流皆在  $10^{-8}$  A，實際電流介於  $10^{-9}$  至  $10^{-10}$  A。

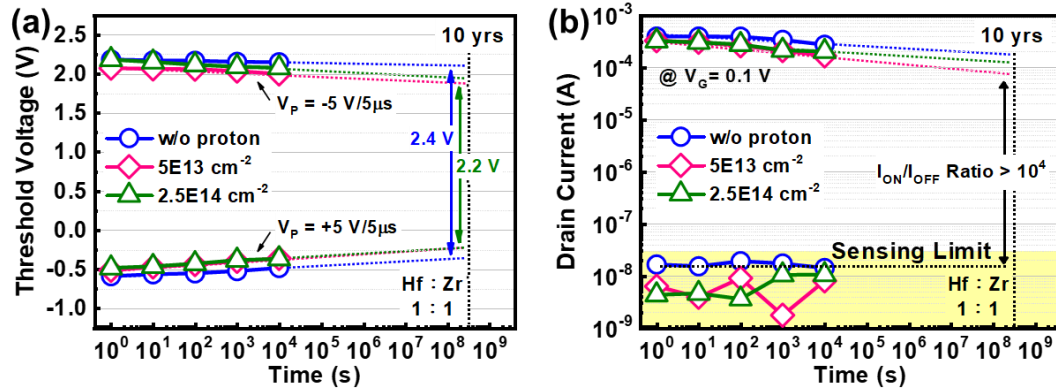


圖 3.4 FeFET 鐵電記憶體質子照射之電荷保持力特性表現

### 3.2 抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究

在抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究上，探討金屬氧化物半導體場效電晶體(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)、鰭式場效電晶體(Fin Field-Effect Transistor, FinFET)元件受鈷 60 (Co-60)輻射傷害後，對於可靠度的影響。圖 3.5 為元件結構與製作流程示意圖，圖 3.6 為奈米線式元件結構示意圖。經輻射總劑量 10 kRad 照射後，MOSFET 的飽和電流呈現崩潰現象，轉換特性的  $I_{off}$  增加；而 FinFET 飽和電流有些微的劣化，轉換特性幾乎不變，呈現較佳的抗輻射能力。經輻射總劑量 100 kRad 照射後，MOSFET 的串阻變大使得汲極電流的斜率變小，已無電晶體基本轉換特性；FinFET 飽和電流僅有些微的劣化，轉換特性幾乎沒有變化。圖 3.7 為 100 krad 輻射傷害後 Planar MOSFET 與 FinFET 在不同汲極電壓轉換特性之對數圖，圖 3.8 為 100 krad 輻照後 Planar MOSFET 與 FinFET 之汲極電流對汲極電壓圖。可以發現 FinFET 在輻射照射後，電特性幾乎沒有變化，汲極引發位能障下降值(Drain Induced Barrier Lowering, DIBL)也小，因此 FinFET 很抗輻射，

除了在先進 CMOS 技術是主流元件，應用到衛星電子系統也很有潛力。由於 FinFET 的閘極對通道有比較好的控制性，因此可以抑 short-channel 效應，並減少 Drain 與 Source 之間的次臨界漏電流。另外，也因為 FinFET 的閘極對通道有良好的控制性，因此在閘極與通道之間的絕緣層(gate oxide)可以做得厚一點，較厚的 gate oxide 可以有效地抑制閘極的漏電流。一般而言，FinFET 之間的通道，通常不做 doping 或只做輕微的 doping，使得 FinFET 電晶體的載子移動率(carrier mobility)會較高，並且 doping fluctuations 所造成的元件變異(device variation)也較小。上述這些特性使得 FinFET 相較於 Planar MOSFET 具有較佳的抗輻射性，而持續改善閘介電層的界面特性也可望對於促進其抗輻射性有所助益。

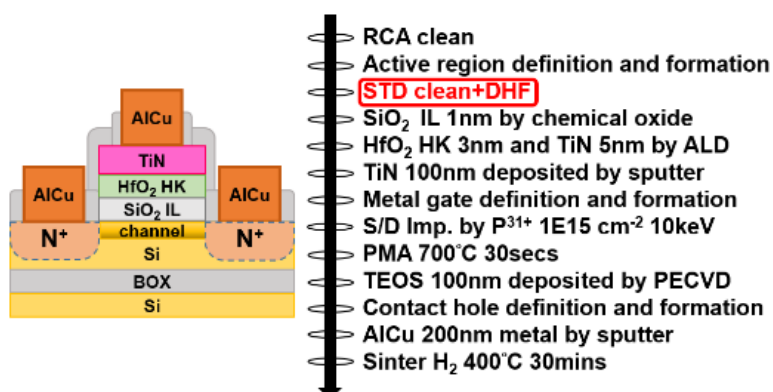


圖 3.5 元件結構與製作流程

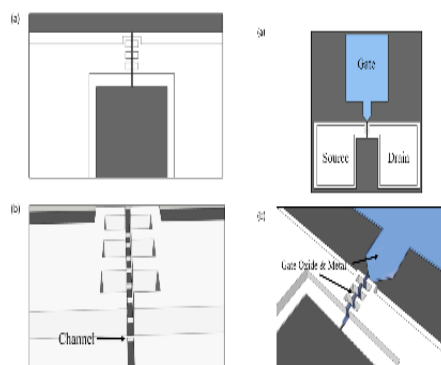


圖 3.6 奈米線式元件結構

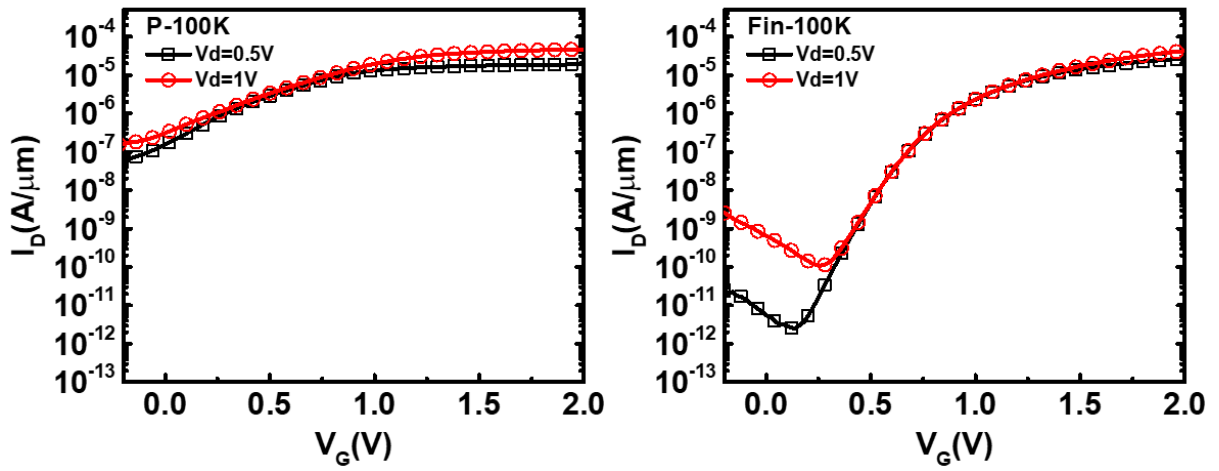


圖 3.7 100 krad 輻照後 Planar MOSFET 與 FinFET 在不同汲極電壓轉換特性之對數圖

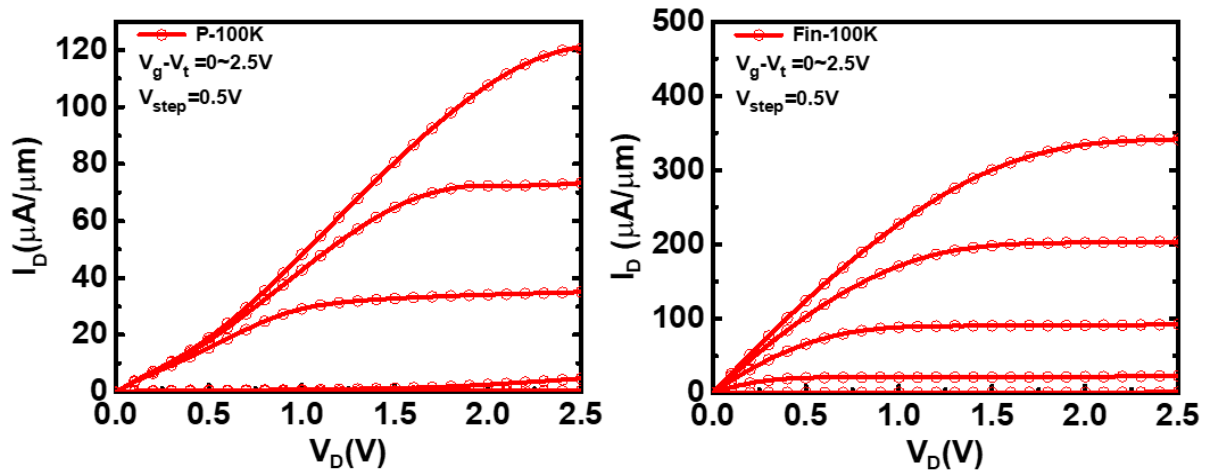


圖 3.8 100 krad 輻照後 Planar MOSFET 與 FinFET 之汲極電流對汲極電壓圖

另探討氮化矽/氮氧化鋯( $\text{Si}_3\text{N}_4/\text{ZrON}$ )堆疊式電荷儲存層之元件其受 Co-60 輻射傷害後，對於多晶矽無接面式快閃記憶體的寫抹速度及可靠度的研究。結果顯示，ZrON 樣品無論是無照射輻射，或是隨著輻射照射劑量從 10k 增加至 1M，皆具有相近的導通電流及開關電流比；且 ZrON 樣品的寫入及抹除的速度也不因輻射效應而改變，同時具有相當的記憶窗。在耐久力特性上，無論有無輻射傷害，在經過經過  $10^5$  次反覆的寫/抹操作後，記憶窗的變化具有相似的表現。對於電荷保持力方面，雖然輻射後

會隨著輻射劑量增大而劣化，但即使經過 1M 輻射劑量照射後，元件仍保有 73 % 的電荷保持力。因此，電荷儲存式快閃記憶體元件具有很好的抗輻射能力，可應用到衛星電子系統的非揮發性記憶體裝置。

圖 3.9~3.11 為 ZrON 樣品分別承受 10 krad、100 krad、1000 krad 三種鈷 Co-60 輻射劑量照射後，於室溫下量測的汲極電流對閘極電壓 ( $I_d$ - $V_g$ ) 特性圖、 $\pm 16$  V 的寫入速度與抹除速度圖、電荷保持力特性圖。透過寫入抹除的操作，對元件寫入 3 V 作為量測電荷保持力前之元件原始狀態，當記憶窗 (Memory Window) 固定為 3V 後，開始依照表定時間量測元件的狀態，且外插至十年後，探討元件隨著時間流逝其維持 3 V 記憶窗的能力。可以觀察到無輻射之 ZrON 樣品即使外插至十年後仍能維持 92 % 的良好電荷保持力，但是隨著輻射劑量從 10 krad 增加至 1000 krad，分別顯示出 86 %、79 %、73 % 依次劣化的趨勢。針對電荷保持力出現劣化的現象，猜測可能的原因為快閃記憶體元件的穿隧介電層經高劑量的照射之後，可能導致介電層或界面品質劣化而造成電荷漏失的機率增加所致。

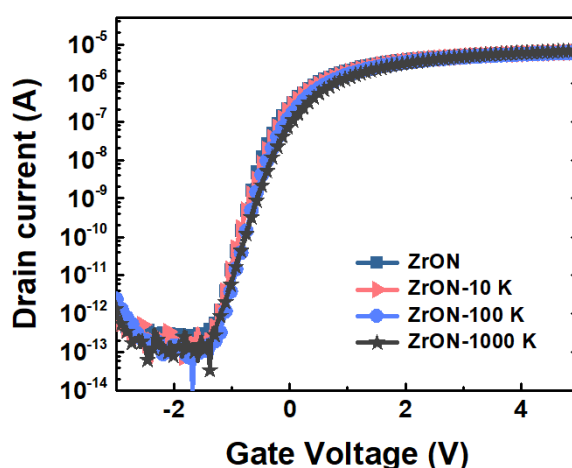


圖 3.9 ZrON 樣品受不同輻射劑量傷害之汲極電流對閘極電壓 ( $I_d$ - $V_g$ ) 特性

圖

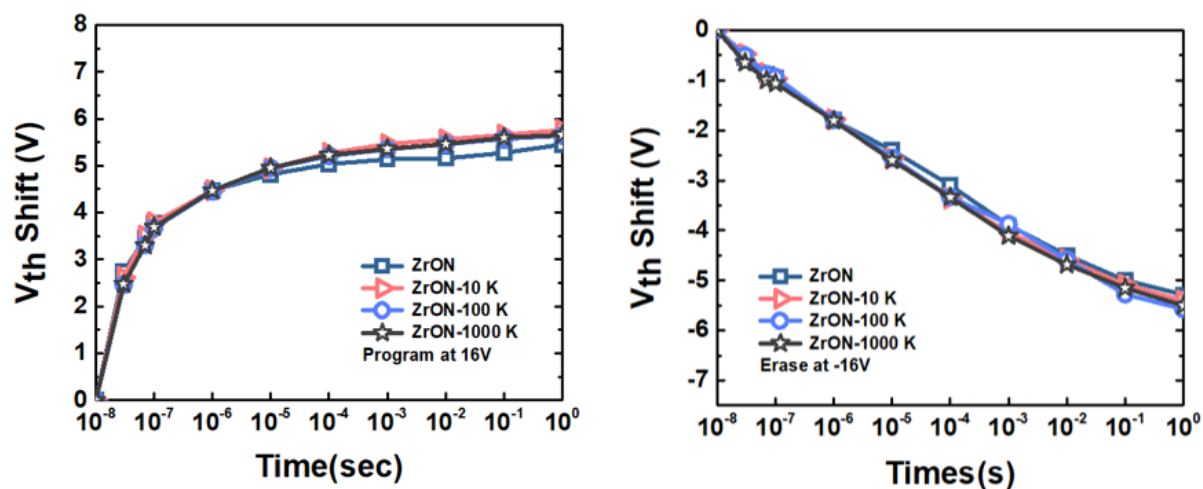


圖 3.10 ZrON 樣品受不同輻射劑量傷害後在室溫給予 $\pm 16$  V 電壓之寫入與抹除速度圖

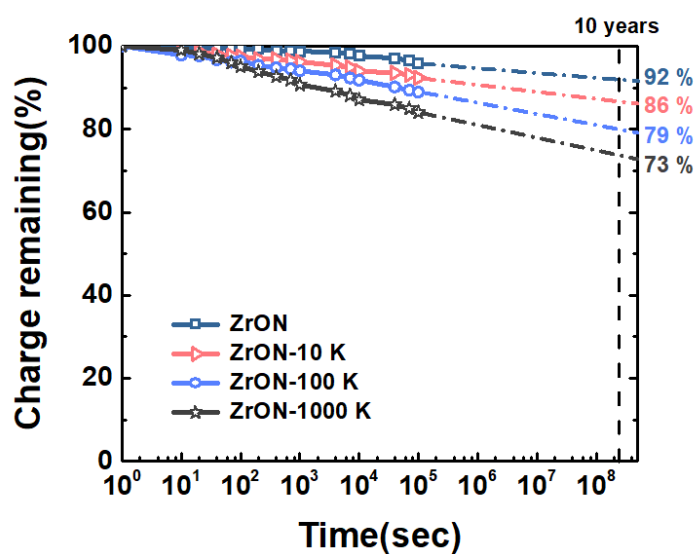


圖 3.11 ZrON 樣品受不同輻射劑量傷害後在室溫下量測之電荷保持力測試

### 3.3 下世代半導體材料與元件之輻射效應評估

本研究主要針對目前在國際上較受矚目的碳化矽(SiC)與氮化鎵(GaN)寬能隙材料與元件之輻射效應進行研析，除了先行深入瞭解輻射損傷基

本機制之外，也針對國際上目前 SiC 與 GaN 元件相關的研究成果進行統整比較，另也完成 SiC MOS 電容的製作及其 TID 輻射效應的初步分析。

TID 效應的測試通常會以戈雷(Gy)或雷德(rad)來做為吸收劑量的單位，而元件經過輻射照射之後，最顯著的特性變化為 MOSFET 元件的閾值電壓飄移，表示游離作用導致氧化層與介面陷阱電荷增加，圖 3.12 所示即為典型 SiC MOSFET 之  $I_d$ - $V_g$  曲線及其特性電壓隨照射劑量的變化情形 [8]。

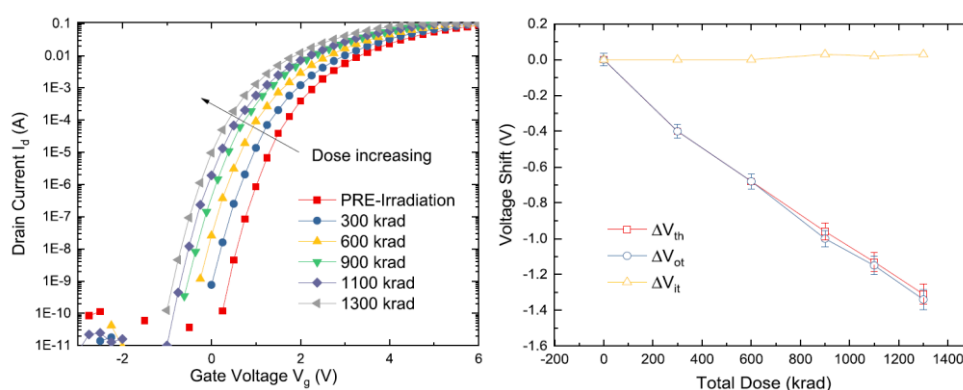


圖 3.12 SiC MOSFET 元件經加馬射線(gamma rays)照射之 TID 效應 [8]

此外，為了正確評估輻射效應的影響，也針對美國軍用標準(military standard, MIL-STD)與歐洲太空元件規範(European Space Components Coordination, ESCC)等國際機構所建立的電子元件測試標準進行研析。針對國際上 SiC 與 GaN 元件之輻射效應研究，已依 TID/DDD/SEE 輻射效應類型進行分類表列與成果整理，歸納重要結論如下：

- TID 效應測試主要採用 Co-60 射源，少數研究則採用 X-ray，所施加之劑量範圍介於 0~1000 Mrad 之間。
- 相較於接面型元件，MOSFET 元件對於 TID 輻射效應較為敏感。而適當的製程條件控制可提升 SiC MOSFET 的輻射耐受性，如：較薄的

閘極氧化層、氮濃度較低的氧化層氮化製程、較高的 p-well 表面濃度等。

- 為使輻射照射更貼近元件實際的操作環境，TID 輻射效應的照射條件必須適當地考量溫度、濕度、偏壓、劑量率等參數的影響。
- TID 效應照射前後的偏壓/溫度壓力測試的複合效應及可靠度特性評估為近來較多團隊投入研究的主題，亦為未來評估高游離劑量之太空應用的重要議題。
- 藉由適當的製程條件控制可提升 SiC MOSFET 的輻射耐受性，如：較薄的閘極氧化層、氮濃度較低的氧化層氮化製程、較高的 p-well 表面濃度等。
- 在 SiC 元件的位移損傷 (displacement damage, DD) 效應研究中，大部分的研究採用中子進行照射，另有部分研究則是使用質子、電子或其它高能離子。
- DD 效應造成元件劣化的主要因為位移損傷造成元件通道區及飄移區的載子移除現象，同時也降低載子遷移率及載子生命週期。採用較高摻雜濃度的元件可有效抑制 DD 效應的發生。
- SiC 功率元件的單事件效應(Single Event Effect, SEE)效應主要的失效模式為單一事件燒毀 (Single Event Burnout, SEB)，輻照效應實驗的高能粒子涵蓋中子、質子以及其它重粒子，甚至地面中子也可作為觸發源，且須建置測試電路或電荷收集量測系統來進行偵測。SiC 功率元件的 SEB 失效機率或發生截面隨外加偏壓而增加，且與元件製造商和元件結構有關。
- 基於 AlGaIn/GaN 結構所獨具之二維電子氣(two-dimensional electron gas, 2DEG)的特性，已發展出具有優異操作性能的高電子遷移率電晶

體(High Electron Mobility Transistor, HEMT)，大部分的輻射效應相關研究都聚焦於 GaN HEMT 元件的輻射抗性。

- 由於 GaN HEMT 元件結構並未涵蓋對於游離輻射具高敏感性的閘氧化層，對 gamma rays 或 X rays 應具有較優異的輻射耐受性。
- 中子照射會造成 GaN 磊晶層的載子移除，載子移除率隨施體摻雜濃度而變，且與磊晶成長方法有關 (MOCVD > ELOG > HVPE)。AlGaIn/GaN HEMT 之 2DEG 載子遷移率在中子通量達到  $1 \times 10^{14} \text{ cm}^{-2}$  以上時開始降低。
- 針對電子元件或電路之 TID 或 SEE 效應的測試與驗證，目前國際上已有部分機構針對特定的效應制訂共同認可的測試標準可供遵循。為建構可靠的測試平台以正確評估電子系統的輻射效應，應考慮參採各測試標準中所規範的測試方法與流程，依此產出具代表性的結果。
- 針對 DD 及 SEE 效應所需的高能粒子加速器設施，目前國內相關的資源較為欠缺，建議未來應構思籌建適用的加速器設施，或整合目前可用資源發展開放式使用平台，以因應未來可能的需求。

本研究也使用鈷-60 gamma rays 探討 4H-SiC MOS 電容元件的 TID 輻射效應，圖 3.13 所示為 4H-SiC MOS 電容元件經不同 gamma rays 累積劑量照射之後的高頻 C-V 特性曲線量測結果，由結果可知 gamma rays 照射會產生游離電荷並造成 C-V 特性曲線往左飄移，此係介電層捕獲電洞而形成帶正電的氧化層陷阱電荷所致。

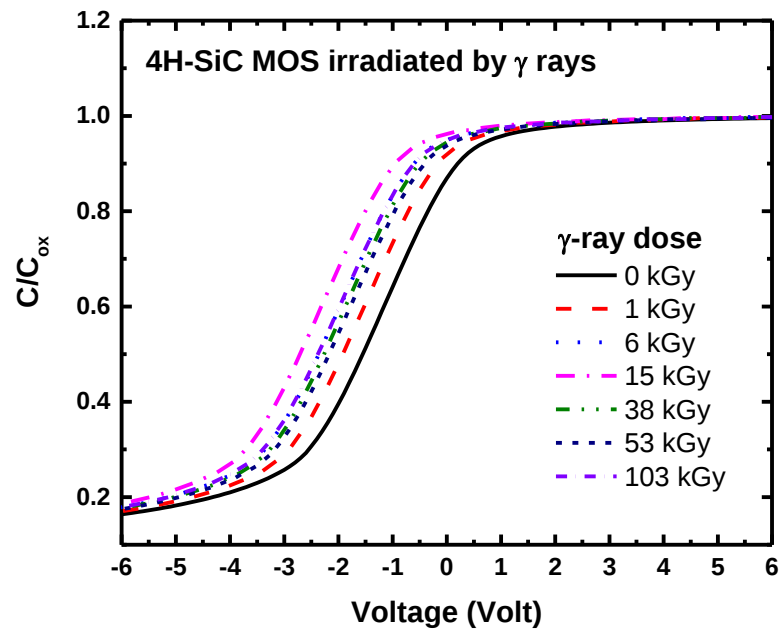


圖 3.13 SiC MOS 電容之高頻 C-V 特性曲線隨 gamma rays 照射劑量之變化

## 4. 抗輻射晶片技術開發與輻射驗證平台

### 4.1 太空商業應用之抗輻射晶片設計開發

太空商業應用之抗輻射晶片設計開發研究已完成抗輻射比較器及抗輻射類比數位轉換器之設計，分別用於探討不同電路設計對於抗 SEE 能力的比較，以及台積電 180nm 及 90nm 不同製程對於抗 SEE 能力的差別探討。180 nm 比較器與三模組冗餘(Triple-modular redundancy, TMR)比較器電路主要探討常見於一般二階動態比較器(Two stage dynamic comparator)與 TMR 比較器電路抗輻射能力的差別。圖 4.1 為 TMR 架構的比較器。TMR 架構使用三顆一樣的比較器同時進行訊號比對，並將三個比較器輸出同時輸入後級投票機，投票機會選擇相同訊號數多的電位進行最後輸出。此電路好處是可以將訊號翻轉的機率降到單一比較器的平方，大幅減少輸出訊號出錯的機率。

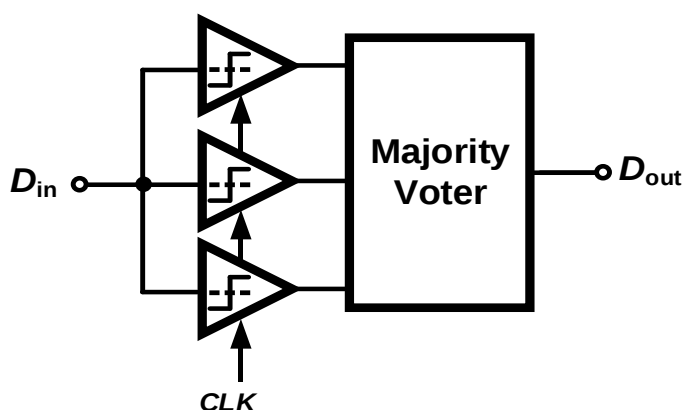


圖 4.1 TMR 多數投票比較器(Majority Voter Comparator)

180 nm 抗輻射類比數位轉換器為 Redundancy 電路概念的延伸，將一顆單通道的 12-bit 1 MS/s 規格之類比數位轉換器複製成兩顆一樣的類比數位轉換器(Analog-to-Digital Converter, ADC)。在 ADC 的輸出端設有三

種錯誤偵測的數位電路用來偵測訊號在轉換過程中是否有產生翻轉的現象。兩顆 ADC 會輸入一樣的類比訊號並將其轉為數位訊號輸出，若在其中一顆 ADC 中發生 SEE 並使得輸出訊號反轉時，後端的錯誤偵測系統會選擇正確訊號作為最後輸出。此電路預期將錯誤率降至原單一通道 ADC 的平方，如圖 4.2 所示。此 ADC 為連續漸進式 ADC (SAR ADC)，規格為十二位元、每秒一百萬次取樣。此架構特別之處在於數位電路的使用率較高，較容易進行錯誤偵測且可降低類比電路所產生的不理想效應，而十二位元每秒一百萬次取樣的規格則是市售 ADC 晶片中常見的規格，較容易與其進行比較。

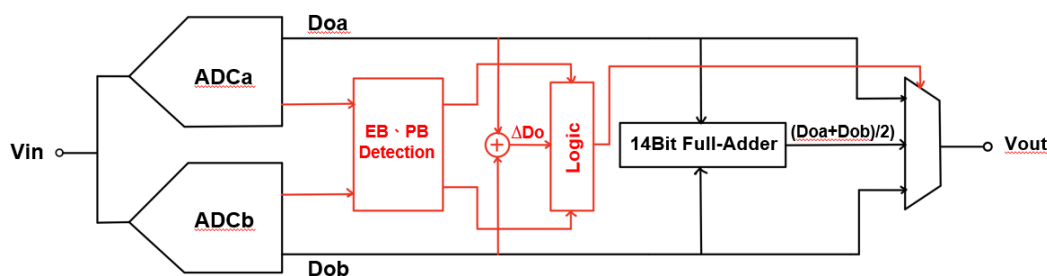


圖 4.2 具有錯誤偵測之 Split ADC

90 nm 比較器電路做 90 nm 製程與 180 nm 製程比較器的比較，並加入連續時間比較器的討論。根據參考資料，製程的微縮會使的 SEE 現象更容易出現在電路中。將原本 180 nm 製程的 dynamic comparator 改成 90 nm 製程後進行輻射照射實驗可知兩者差別，預計進行錯誤率及 SEE 大小等資料比對。除此之外，此晶片包含連續時間比較器，與動態比較器不同在於其不需要時脈的觸發，圖 4.3 為連續時間比較器。

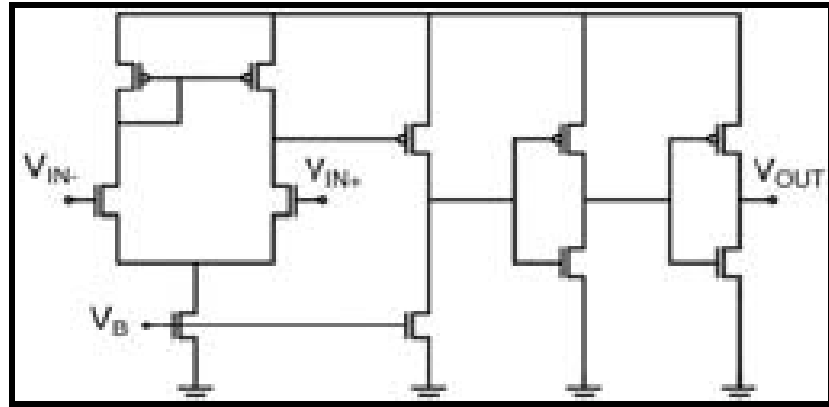


圖 4.3 連續時間比較器

## 4.2 短脈衝雷射輻射驗證平台

在短脈衝雷射輻射驗證平台的建立上，短脈衝雷射光點大小控制的部份已完成文獻資料的蒐集，且分析文獻上的實驗方式，並針對現有的架設找出可以對於控制雷射光點大小的部份進行雷射架設的優化及改良設計。由文獻結果可以得知，欲控制雷射光光點大小，首先必須先考量所使用的雷射波長之後再選擇所需的顯微鏡元件，並且經由調整  $z$  軸方向對焦即可達到調整聚焦的效果，這些資訊皆作為後續的研究改善之參考方向。

經過調整過後的之光路圖如圖 4.4 所示，圖中以紅字顯示的物品為待改善的設備及零件，從圖中可以看到，當雷射光經過強度衰減並藉由反射鏡進入物鏡之後，會被聚焦並且擊中在待測物晶片上，此架設所使用的反射鏡會反射波段為 800 奈米左右的光，並且可見光波段會穿透，因此可以將單眼相機放置於反射鏡上方來接收經由待測物反射出之可見光並用以成像，不過因為物鏡的工作距離極短的關係，其會與待測物極為接近，如此一來則會導致用以提供相機成像用的光強度不足，則需要將光源放置到非常的靠近待測物來照明。

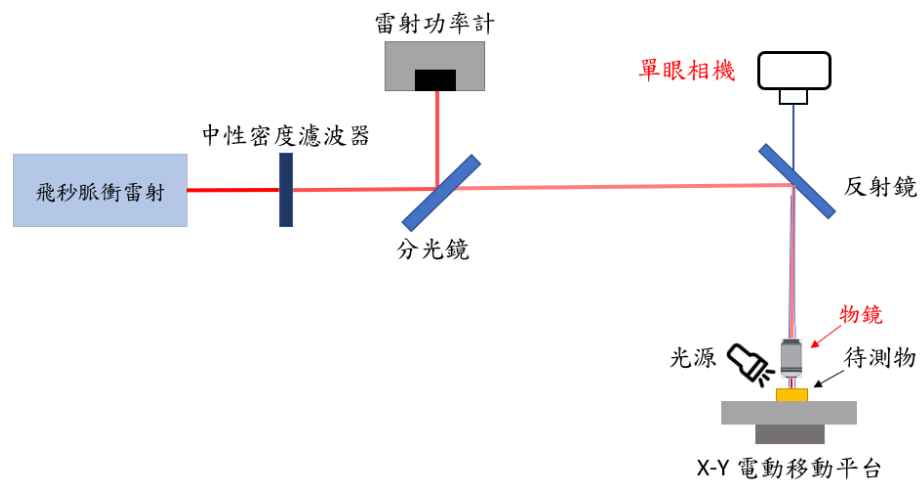


圖 4.4 實驗架設改善後之光路圖

本研究使用的雷射照射實驗的實驗設備如圖 4.5 所示。在實驗設備的部分，待測元件 DUT (device under test)將會由電源供應器供電，並且由多功能電表(Multimeter)監測其電壓及電流，訊號產生器會提供穩定的訊號給DUT，其頻率可調整。脈衝雷射將會經過聚焦鏡聚焦並且照射在 DUT 上，整體結果將會在示波器上呈現。

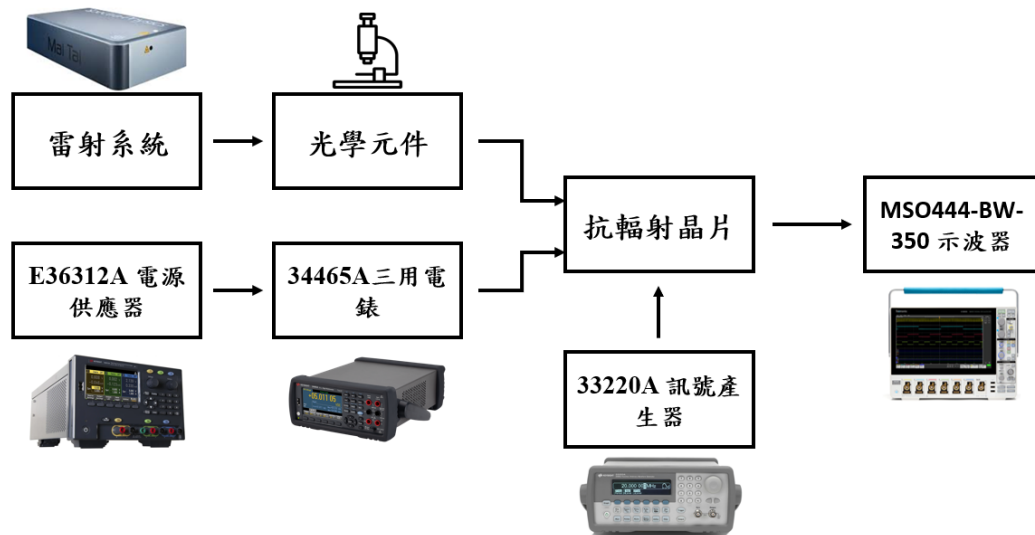


圖 4.5 研究使用之 SEE 實驗設備

晶片雷射照射結果如圖 4.6 所示，可將 C1 與 C2 分為一組，C3 與 C4 分為另一組，分別對應到沒有使用抗輻射設計之比較器電路之輸出(C1、C2)以及有使用 TMR 架構之抗輻射設計之比較器電路之輸出(C3、C4)，其照射結果可以看到在紅框處的部分，沒有加上抗輻射設計之比較器電路(C1、C2)有發生 SEU 的現象，而有使用 TMR 架構之抗輻射設計之比較器電路(C3、C4)則是維持正確的波形輸出，這也表示了在輻照射範圍擴及整個電路時，TMR 架構之抗輻射比較器電路有效抵抗了 SEU 對電路所帶來的影響，也驗證了雷射輻射照射平台在對於抗輻射電路設計的幫助上有不錯的效果。

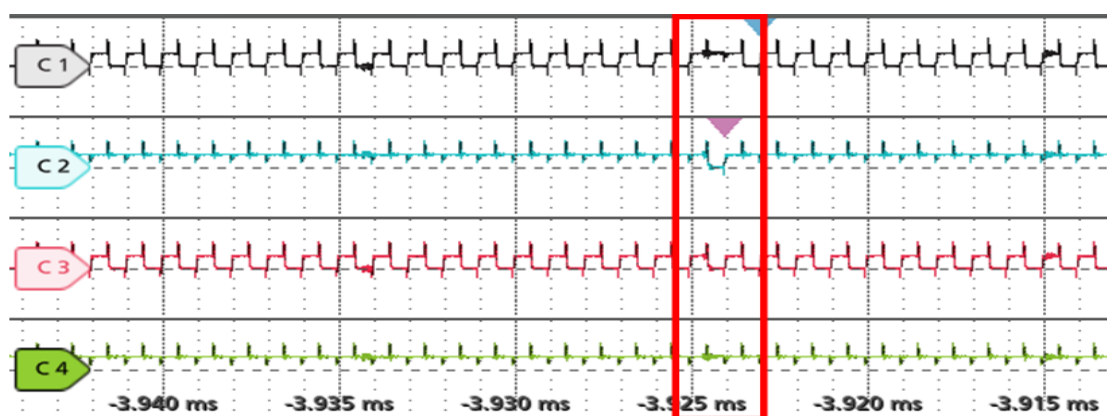


圖 4.6 晶片抗輻射雷射照射實驗結果

此雷射平台目前可調控的雷射參數僅有 pulse energy，當能量調整過後所測得的波型結果也會有所不同，比如將能量調高，那麼 C1 及 C2 就會觀測到被翻轉的波型有增加的趨勢。未來能夠嘗試架設降頻系統的光路來實現調整 repetition rate 的功能，以及採購不同波長的雷射來完成用不同 light wavelength 做輻射照射測試的能力。

### 4.3 抗輻射晶圓等級小晶片異質整合技術

近幾年來，異質整合及先進封裝已經是半導體業界熱門的技術議題。透過異質整合及先進封裝的技術，可將不同製程的小晶片模組整合在一起，確保設計擁有最大的彈性。嵌入式多晶片互連橋接(Embedded Multi-Die Interconnect Bridge, EMIB) 是 Intel 提出的 2D 先進封裝技術，透過兩個晶片下方的一小塊矽載板，可將不同製程的晶片連結在一起。因為沒有矽穿孔(Through Silicon Via, TSV)，故可降低設計的複雜度，避免效能及良率受到影響。通常 EMIB 用於連接兩個相鄰的晶片，相對較短的 I/O 通道不需要複雜的收發電路來滿足信號完整性的要求。EMIB 內部可能可以是主動或是被動的晶片<sup>[9,10]</sup>。EMIB 封裝流程圖如圖 4.7 所示。

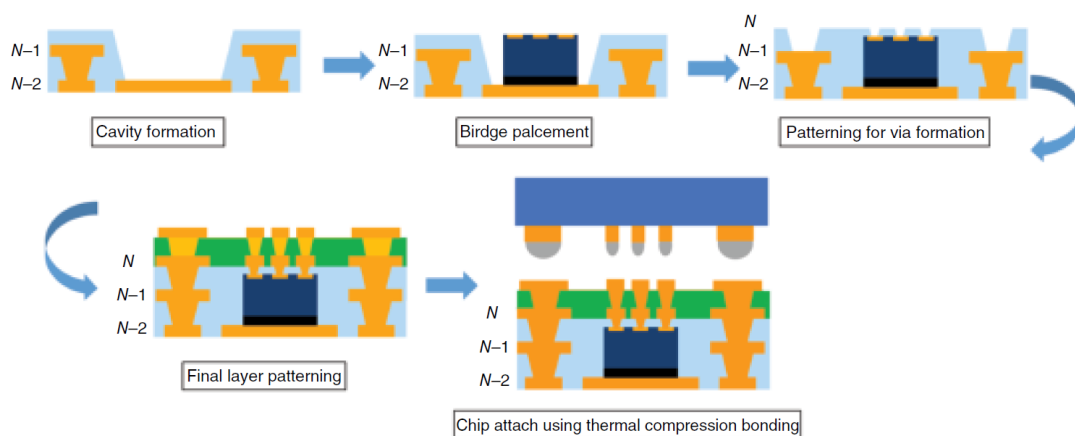


圖 4.7 EMIB 封裝流程步驟<sup>[10]</sup>

Foveros 是 Intel 所提出的一個 3D IC 封裝技術，在基板的上方，有一塊含有主動元件的基礎邏輯晶片，達到主動中介層(Active Interposer)的作用<sup>[11,12]</sup>。Foveros 封裝結構如圖 4.8 所示。

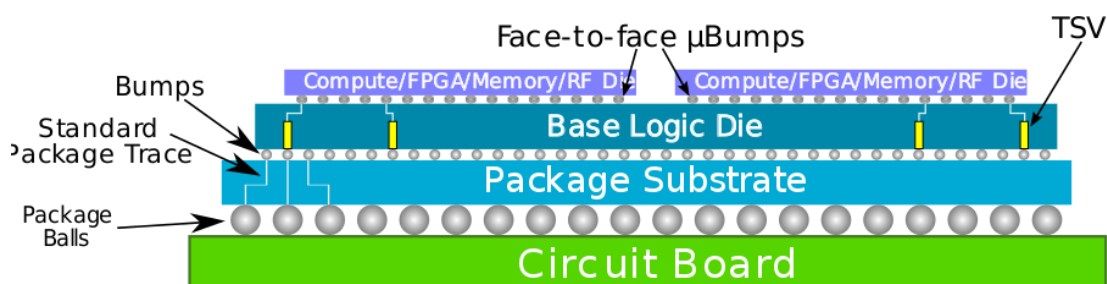


圖 4.8 Foveros 封裝結構<sup>[11]</sup>

CoWoS-L 是台積電提出的封裝技術 CoWoS 的一種新變體，透過局部矽互連技術(Local Si Interconnect, LSI)晶片連接不同的 Die。可在下方整合額外的元件，例如獨立的積體被動元件(Integrated Passive Device, IPD)，在訊號傳輸中提供更好的訊號完整性(SI)和電源完整性(PI)。CoWoS-L 可在高速傳輸中，提供低損耗的高頻訊號。LSI 可能可以是主動或是被動的晶片，主要取決於設計人員的需求及預算的考量<sup>[13,14]</sup>。CoWoS-L 封裝結構如圖 4.9 所示。一般關於抗輻射電子元件的文獻，主要探討主動元件及介電層受到輻射照射後，所產生的 SEE 與 TID 效應對於元件、電路特性的改變。EMIB 封裝中，輻射產生的 TID 效應，可能會在介電層中產生的陷阱電荷，改變電路的特性。Foveros 封裝中的基礎邏輯晶片與 CoWoS 封裝中的 LSI 可能含有主動元件，與其上方的主動晶片同樣會受到輻射的影響，造成晶片上的元件不正常動作。

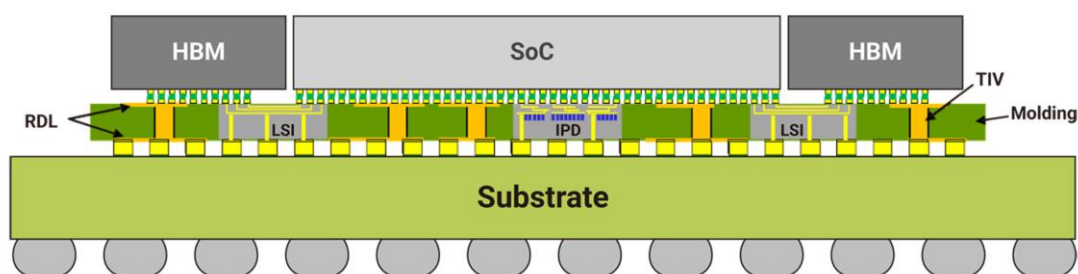


圖 4.9 CoWoS-L 封裝結構<sup>[13]</sup>

由於載板上的電路元件，會受 TID 效應的影響，因此針對電路佈局調整需要的設計自動化技術進行研發。藉由封閉式布局電晶體(Enclosed Layout Transistors, ELT)的電路佈局設計<sup>[15]</sup>，可降低 TID 效應所造成的漏電流。

本年度計畫主要為了解異質整合技術下可探討的輻射效應，進行抗輻射技術開發研究可行性之評估決定持續研究方向。目前已與國研院台灣半導體研究中心(TSRI)異質整合晶片組已有初步討論異質整合晶片合作的可能性，TSRI 針對 2.5D/3D 的異質整合技術已經有初步成果，後續規劃先從雙方有共識的方向進行，與 TSRI 學習晶片級的封裝整合技術。之後，將能著重於小晶片異質整合製程後端連線的部分。實作上利用 TSRI 其已經建構的設備與製程進行，採用成熟製程製作出 Bridge 的多層連線，預計使用核研所提供的質子束射線進行照射實驗，觀察照射後線的老化程度及 RC 值的變化，分析導線的抗輻射能力。

## 5. 結論

本計畫完成衛星元件太空輻射效應評估及先期技術之建立。工作項目 1「抗輻射太空太陽電池技術開發」之執行的研究項目包括「抗輻射太陽能電池磊晶研究」;「抗輻射太陽能電池元件製程」;「抗輻射太陽能電池元件特性量測」三個子主題，完成太空太陽電池效率提升與初步的質子輻射測試。在效率提升方面，主要調整磊晶參數，於上部子電池的 PN 接面之磷化銦鎵 InGaP 磊晶層裡加入銻-Sb 元素當作表面活化劑使用，可有效提高 InGaP 磊晶層能隙，由 1.82 eV 增加到 1.88~1.89 eV。提高之材料能隙相當於提高電池之輸出電壓值，最終將可提升電池之輸出功率。在元件製程上則分析不同金屬厚度與熱退火條件，以達到最佳之歐姆接觸效果。在太空太陽電池輻射測試上以 1 MeV 之質子照射，並與其他團隊之結果做比較。此成果可作為後續實驗設計與太空太陽電池可靠度計算的參考，並在抗輻射太空太陽電池技術之開發上有一初步的成果展示。

工作項目 2「抗輻射電子元件開發與輻射效應評估」中，考量電子元件曝露於各種高能粒子與光子的太空輻射之中，可能造成長期的特性劣化或暫態失效等影響，故瞭解輻射對於電子元件與電路的影響對發展太空科技應用尤為重要。開發可用以承受太空極端輻射環境的先進抗輻射電子元件亦是太空探索任務成功與否的關鍵要務與挑戰。本研究完成可抗輻射之新材料、製程技術與新型元件結構進行先期研究，釐清各類材料與元件的輻射耐受性及各種輻射效應的作用機制與驗證測試方法，並以此做為拓展未來研究的重要基礎。執行的研究項目包括「抗輻射之新興記憶體元件開發」;「抗輻射之金氧半場效電晶體與快閃記憶體元件之製程

研究」；「下世代半導體材料與元件之輻射效應評估」三個子主題。藉由以  $\text{NH}_3$  電漿處理使 FeFET 鐵電記憶體之記憶視窗提升，並探討質子輻射對基於 HZO 之 FeFET 鐵電記憶體特性影響，結果驗證 FeFET 鐵電記憶體具有極佳的抗質子輻射能力。而 ZrON 樣品經過 1M 輻射劑量照射後，元件仍保有 73 % 的電荷保持力，因此電荷儲存式快閃記憶體元件亦具有很好的抗輻射能力。本研究也針對 MIL-STD 與 ESCC 等國際機構所建立的電子元件測試標準進行研析。

工作項目 3「抗輻射晶片技術開發與輻射驗證平台」之研究項目分為「太空商業應用之抗輻射晶片設計開發」、「短脈衝雷射輻射驗證平台」及「抗輻射晶圓等級小晶片異質整合技術」三個子主題，完成抗輻射比較器及抗輻射類比數位轉換器之設計，分別用於探討不同電路設計對於抗單事件效應能力的比較。另外以脈衝雷射光代替質子或高能粒子進行晶片之輻射驗證，大幅縮短驗證時間，有助於快速開發耐輻射的晶片。本計畫以晶片設計流程搭配輻射粒子照射實驗開發具有耐輻射功能的類比數位混和訊號、低功耗及硬體資訊安全晶片，建構短脈衝雷射之輻射驗證平台，並用於太空商業應用晶片之 SEE 之測試。使用短脈衝雷射光進行單事件效應測試相較於的重離子或質子束等傳統的測試方式具有許多優點，脈衝雷射光不會產生輻射，也很容易取得，且調整雷射光光點的大小，可以精準打在晶片中特定的區域，以找出電路中較敏感的區域進行分析，再使用電路設計的方法進行加強，達成可用於太空商業應用之耐輻射晶片。本研究同時也針對小晶片異質整合技術，評估相關抗輻射特性進行研究。

藉由本計畫之執行並整合國內跨領域研究機構資源及技術，完成評估半導體元件輻射效應及發展抗輻射技術。研究成果將可做為國內未來在

推展航太科學、軍事、太空電子等研究領域的重要基礎，對半導體工業、核能電廠、太空飛行器等都有重要貢獻，可提昇我國科技競爭力。

## 參考文獻

1. NASA, (2023) Artemis I, Retrieved from <https://www.nasa.gov/artemis-1> (Jan. 3, 2023).
2. Starlink, (2023) Starlink, Retrieved from <https://www.starlink.com/> (Jan. 3, 2023).
3. 全國法規資料庫, (2021) 太空發展法, Retrieved from <https://law.moj.gov.tw/LawClass/LawAll.aspx?pcode=H0160078> (Jan. 3, 2023).
4. De Vos, A., "Detailed balance limit of the efficiency of tandem solar cells," p. 839–846, Journal of Physics D: Applied Physics. Vol. 13 Num. 5 (1980).
5. AIAA, Qualification and Quality Requirements for Space Solar Cells, AIAA Standard, AIAA S-111A-201X (2014).
6. ECSS, Photovoltaic assemblies and components, ECSS Secretariat, ECSS-E-ST-20-08C-Rev.1 (2012).
7. X. Gao, Z. Z. Feng, X. Y. Cui, S. S. Yang, L. Zhang, Performance Evaluation and Prediction of Single-Junction and Triple-Junction GaAs Solar Cells Induced by Electron and Proton Irradiations, IEEE Trans. Nucl. Sci, 61, 4, 1838 (2014).

8. D. Hu et al., "Impact of Different Gate Biases on Irradiation and Annealing Responses of SiC MOSFETs", IEEE Trans. Electronic Devices 65, 3720 (2018).
9. R. Mahajan et al., "Embedded Multi-die Interconnect Bridge (EMIB) - A High Density, High Bandwidth Packaging Interconnect," 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), pp. 557-565 (2016).
10. Beth Keser; Steffen Kroehnert, "Embedded Multi-die Interconnect Bridge (EMIB)," in Advances in Embedded and Fan-Out Wafer Level Packaging Technologies , IEEE, pp.487-499 (2019).
11. WikiChip, (2019) Foveros-Intel, Retrieved from <https://en.wikichip.org/wiki/intel/foveros> (Jan. 10, 2023).
12. Matthew Lambert, (2018) Intel reveals Foveros 3D packaging technology, bit-tech, Retrieved from <https://bit-tech.net/news/tech/intel-reveals-foveros-3d-packaging-technology/1/> (Jan. 10, 2023).
13. TSMC, (2021) CoWoS, Retrieved from <https://3dfabric.tsmc.com/chinese/dedicatedFoundry/technology/cowos.htm> (Jan. 10, 2023).
14. Matt Mills, (2020) TSMC LSI, the Technology that Will Replace the Interposer, ITIGIC, Retrieved from <https://itigic.com/tsmc-lsi-technology-will-replace-interposer/> (Jan. 10, 2023).

15. G. S. Cardoso and T. R. Balen, "Study of layout extraction accuracy on W/L estimation of ELT in analog design flow," 2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS), pp. 279-282 (2016).