# 國家原子能科技研究院

# 委託研究計畫研究報告

### 晶片系統抗輻射技術發展

# Radiation-hardened technology development of integrated circuits and systems

- 計畫編號:112B007
- 受委託機關(構):國立臺灣大學
- 計畫主持人:李佳翰
- 共同主持人:陳信樹、蔡坤諭
- 研究期程:中華民國 112 年 5 月 14 日 至 112 年 12 月 15 日
- 研究經費:新臺幣 290 萬元
- 國原院聯絡人員:黃厚穎
- 報告日期:112 年12 月 7日

中文摘要	1
英文摘要	2
壹、計畫緣起與目的	4
一、計畫緣起	4
二、計畫目的	6
貳、研究方法與過程	
一、 太空商業應用之抗輻射	晶片設計開發8
(一) 抗輻射 SWR 與傳統 SW	<b>R PCB8</b>
(二) LDO 輻射影響分析與抗	輻射布局前分析 9
二、短脈衝雷射輻射驗證技術	杅11
(一) 移動平台系統整合	
(二) 自動化控制能量衰减及用	照射時間14
三、抗輻射晶圓等級小晶片	異質整合技術16
(一) 異質整合晶片之多層連編	泉建模探討16
(二) 異質整合製程之小晶片常	電路設計17
參、主要發現與結論	
肆、參考文獻	

#### 中文摘要

本研究計畫「晶片系統抗輻射技術發展」之研究項目將分為「太空 商業應用之抗輻射晶片設計開發」、「短脈衝雷射輻射驗證技術」及 「抗輻射晶圓等級小晶片異質整合技術」三個子主題,其中以脈衝 雷射光協助進行晶片之抗輻射照射測試,如此一來將可以大幅縮短 晶片抗輻射驗證的成本及時間,如此便有助於快速開發耐輻射的晶 片。本計畫預計在本年度整合不同設計層面之抗輻射電路,包含電 路、佈局、系統三個層面,完成開發具有耐輻射功能的電源轉換器 (DC-DC Converter),本計畫也將會把已建立之短脈衝雷射之輻射驗 證平台加以改善,使平台具備可程式控制化的能力,以利於整合各 項儀器,本計畫也將研發小晶片之異質整合的技術、評估其抗輻射 之特性、探討異質整合載板之矽橋(Silicon Bridge)的多層連線 (Interconnect), 並進一步討論比一般晶片面積大的晶圓等級整合, 使之能减少使用到傳統印刷電路板,以利太空電子系統的體積與重 量之有效降低。

#### Abstract

This research proposal "Radiation-hardened technology development of integrated circuits and systems" has three topics, including "Design and Development of Radiation Hardened Chips for Space Commercial Applications", "Verification techniques for Short-pulse Laser induced Radiation" and "Heterogeneous Integration of Radiation Anti-radiation Wafer-level Small Chips Technology". Using pulsed laser light to assist in the radiation resistance test of the chip, which will greatly reduce the cost and time of the radiation hardening verification of the chip and will help to quickly develop the radiation-hardening technologies. This proposal is expected to integrate radiation-resistant circuits at different design levels this year, including three levels of circuit, layout, and system, and complete the development of a power converter (DC-DC Converter) with radiation-resistant functions. This proposal will also integrate the built short-pulse laser radiation verification platform to be programmable and controllable to facilitate the integration of various instruments. Meanwhile, the heterogeneous integration technology of small chips will be studied and the relevant radiation resistance characteristics will be evaluated, investigate the multilayer interconnect of the silicon bridge of the heterogenous integration substrate, and integrate the wafer level which has the larger area than the general chip size, which can be used to reduce the traditional printed circuit boards, and effectively reduce the whole volume and size for the space electronic systems.

#### 壹、計畫緣起與目的

#### 一、 計畫緣起

近年來,太空科技與產業是全球新興的競爭市場,即將有越來 越多的低軌道通訊衛星進入太空,這意味著太空科技的發展已經由 科研逐步擴展到民生及商業應用。我國也在太空科技上投入了許多 努力,提升我國太空相關產業的競爭力,然而不論是發展太空科技 的基礎設施還是前瞻性技術,像是衛星上的類比/數位混合晶片等需 要應用在太空中的衛星電子元件,需要抵抗來自太空中的大量輻 射,台灣作為全球半導體的重鎮,研發設計抗輻射晶片及驗證太空 元件之安全性的技術,是未來必要開發的方向,也是本計畫的重要 目標。

半導體積體電路技術已隨著摩爾定律持續發展半世紀以上,二 維微縮逐漸受到物理極限影響,技術研發日益複雜,尤其是光罩的 設計與製作非常昂貴,導致只有極少數系統晶片(SoC, system on a chip)設計其市場性足以負擔使用最先進的製程。近年來利用各種先 進封裝技術進行三維微縮成為日益重要的技術發展趨勢,不僅同樣 有助於晶片微縮技術持續發展,也可藉由客製化整合不同功能區塊 甚至不同製程的晶片,製作異質整合積體電路[1]-[3],減少整體電 子系統的體積。太空軌道上使用的電子系統因發射成本昂貴,對於 體積與重量特別敏感。且因其生產數量遠低於一般資訊產品,也不

4

易負擔先進製程的光罩開發成本。而具抗輻射特性的特殊製程與設 計需求,也讓問題更加嚴重,導致太空電子系統多半只能運用陳熟 的舊製程,晶片功能與性能大幅受限。目前美國 NASA 與空軍進行 中 HPSC (High-Performance Space Computing)專案,即利用小晶片異 質整合嘗試解決上述問題。本計畫除了研發小晶片異質整合技術、 評估相關抗輻射特性、探討異質整合載板之矽橋(Silicon Bridge)的多 層連線(Interconnect),並會針對比一般晶片面積更大的晶圓等級整 合做相關研究討論,藉此減少使用到傳統印刷電路板,如此,針對 太空電子系統能有效減少其體積與重量。

#### 二、 計畫目的

為執行原能會計畫的「晶片系統抗輻射技術發展」研究項目, 本項目分為「太空商業應用之抗輻射晶片設計開發」、「短脈衝雷射 輻射驗證平台」及「抗輻射晶圓等級小晶片異質整合技術」三個工 作項目。

工作項目一:

本工作項目之目的是研究和設計出具備抗輻射能力之晶片和電路,以及開發具有耐輻射功能之 DC-DC 電壓轉換器、LDO 穩壓器等電源管理晶片,並通過短脈衝雷射等輻射驗證技術,完成晶片對抗輻射特性之安全評估。

工作項目二:

本工作項目之目的是開發出短脈衝雷射照射平台系統,並通過 蒐集和比對短脈衝雷射測試及傳統輻射測試之資料和實驗數據,來 確認短脈衝雷射輻射驗證技術之可行性及實用性,除此之外,完成 短脈衝雷射照射平台系統可程式控制之自動化技術,並協助工作項 目一對抗輻射晶片驗證之實驗。

工作項目三:

本工作項目將探討異質整合載板之矽橋(Silicon Bridge)的多層 連線(Interconnect)部分。由於不同粗細與間距的線會對訊號傳輸帶 來不同的影響,可能導致小晶片間的資料傳輸出現問題,因此設計

6

過程中,會透過軟體分析線與線之間的電阻電容(RC)效應。此部分 研究還不會設計、製作電晶體元件,只探討小晶片異質整合製程後 端連線的部分。多層連線設計完成後,同樣可透過模擬分析抗輻射 特性。實作上規劃與國研院台灣半導體研究中心(TSRI)合作,利用 其已經建構的設備與製程進行,採用成熟製程(如 180nm 或 90nm 製 程)來製作多層連線的 Bridge。

#### 貳、研究方法與過程

一、 太空商業應用之抗輻射晶片設計開發

此項目預計完成抗輻射 SWR(Switching Regulator)晶片之量測, 配合輻射射線觀察晶片輸出訊號的 SEE 現象,但由於晶片製造時程 問題稍作修改執行內容,目前已完成抗輻射 SWR 與傳統 SWR PCB 下線並進行 LDO 輻射影響分析與抗輻射方法分析。

(一) 抗輻射 SWR 與傳統 SWR PCB

晶片量測時可使用麵包版與離散被動元件進行量測,此量測方法 由於不需進行焊接並且可自由更動佈線,相較於設計 PCB 搭配 SMD 容易進行量測所需之電路環境,然而使用麵包版與離散被動元件實 現之電路環境具有以下缺點,佈線線阻較大、雜訊較多、離散被動 元件數值較不精確等,因此多使用 PCB 搭配 SMD 進行量測電路環 境設置,確保量測數值精確並符合所需之電路環境,目前已經由 TSRI 進行抗輻射 SWR 與傳統 SWR PCB 下線。



圖 1 傳統 SWR PCB 圖。



圖 2 抗輻射 SWR PCB 圖。

(二) LDO 輻射影響分析與抗輻射布局前分析

當傳統 LDO 受到輻射干擾時,由於 SEE 現象導致內部節點電壓 跳動,導致輸出電壓擾動,由於當參考電壓擾動時可能導致使用此 參考電壓之電路產生非預期之行為表現,抑制此現象對於提供電路 穩定參考電壓之應用尤為重要。

類比電路抑制 SEE 現象主要使用兩種方式進行:類比冗餘與時間 偏移冗餘

類比冗餘(Analogue Redundancy)

類比冗餘利用將電路複製多份,並利用電阻將輸出進行平均,來 達到減緩輸出擾動的效果,可用於運算放大器輸出節點減緩因輻射 引起之擾動,進而減緩 LDO 輸出之擾動。



圖 3 類比冗餘原理圖。

時間偏移冗餘(Time-Skewed Redundancy)

時間偏移冗餘利用將控制電壓延遲,並利用並聯不同延遲控制 電壓控制之元件進行平均,來達到減緩輸出擾動的效果,此方法可 應用於 LDO 功率元件部分,以此舒緩 SEE 現象導致之 LDO 輸出擾 動。



圖 4 Time-Skewed Space-Split LDO 架構。

使用時間偏移冗餘設計方法之 LDO 雖具有較佳之輸出擾動 抑制效果,但其穩定性較差,相較之下類比冗餘方法雖具有較差 之輸出擾動抑制效果,但其穩定性與傳統 LDO 相似



圖 5 不同抗輻射技巧輸出擾動比較。(紅線:無抗輻射 藍線: 類比冗餘 綠線:時間偏移冗餘)

	傳統 LDO	TSSS	Redundancy	
Regulated Output	1.8	1.8	1.8	
(V)	(±1.27mV)	(±1.27mV)	(±1.27mV)	
PSRR @ 1kHz (dB)	-61.98	-61.98	-61.98	
PM (deg)	56.81	35.31	56.81	
ΔVout (mV)	42.89 (1.179%)	9.87 (0.173%)	21.89 (0.414%)	
Duration (us)	26.16	7.43	14.31	

表1不同抗輻射方法比較表

二、 短脈衝雷射輻射驗證技術

(一) 移動平台系統整合

本團隊目前短脈衝雷射輻射驗證平台系統如圖 6 所示。



圖 6 短脈衝雷射輻射驗證平台架構配置。

從整體架構配置中可再細分為光學系統、成像系統及移動平 台系統。其中移動平台系統承載 DUT,先透過垂直平台使光源及 影像能對焦至 DUT,再透過整合的兩個一維移動平台達到在二維 移動的效果。平面掃描過程中設定每步移動單位長度、移動速度 及定義座標零點,而達到讓光源掃描 DUT 的目的。

其中光點聚焦的光路是將光源透過物鏡聚焦至 DUT 上,而我 們所選用之顯微鏡物鏡參數如表 2,依此物鏡的 NA 值計算可估計 光斑最小直徑可小於 5um,如此便能針對電路中的敏感區域照 射。在過去我們對焦光點所使用的垂直平台為分厘卡式移動平 台,最小移動單位為 500um,相對物鏡的對焦來說精度不足,因 此後續團隊將其更換為可電控之垂直平台,而目前可程式控制垂 直平台最小移動單位為 0.1um 且最大行程為 30mm,如此能使光 點更有效地對焦以加快實驗的設置。

表2本團隊選用之物鏡參數。

Item number	Magnification	Numerical	Focal	Working
		Aperture	length	Distance
PAL-50-NIR-L	50x	0.45	4.0 mm	15.1 mm

設定完成對焦位置後,即開始移動 X-Y 平台以達成掃描 DUT 的 效果。由於團隊目前照射的晶片皆為自制的抗輻射電路,敏感區域 皆在可預測的位置,因此照射實驗只需針對敏感區域即可。但若要 成功達到驗證不同晶片的抗輻射特性,則需要將雷射掃描的路徑擴 展至晶片全範圍。而實驗流程規劃如圖 7 所示,會先整體掃描並記 錄晶片中的敏感區域,再針對局部區域進行照射並分析。



圖 7 照射實驗掃描流程規劃。

若能藉由程式控制掃描範圍則能加快掃描晶片的效率,目前已經能透過程式控制二維平台,達到區域掃描的效果。在得到敏感區域後 會再進行更局部的照射分析雷射對晶片造成的影響,以提供晶片各 區域對能量的抗性給電路設計者參考。

而圖 8 為整合完成的二維移動平台及垂直平台,且順利於實驗中操 作。



圖 8 移動平台系統。

(二) 自動化控制能量衰减及照射時間

在 DUT 發生 SEE 現象後,會針對敏感區域照射並逐步調降能量,且同時監測 DUT 的反應是否發生 SEE 現象,以找到對於雷射的臨界能量。實驗流程如圖 9 所示,而雷射能量的調控是透過光路

中的中性密度濾波片來控制,先前中性密度濾波片需手動旋轉使雷 射通過濾波片中不同穿透率的部分,進而達到調控能量的效果。但 中性濾波片不同位置對於能量衰減的變化為非線性的關係,且手動 調整較難以固定比例調整能量變化。因此現今系統加入如圖 10 以馬 達控制的濾光片輪,如此便能更準確地調整能量,且濾光片輪在連 接電腦後能自動化控制,在精度上升的同時也增加了調整的效率。



圖 9 照射能量量測流程。



圖 10 馬達驅動濾光片輪。

三、 抗輻射晶圓等級小晶片異質整合技術

(一) 異質整合晶片之多層連線建模探討

異質整合製程上方的小晶片,透過主動中介層(Active Interposer) 的多層連線進行訊號的連結,PAD、微凸塊(microbump)與導線彼此 之間的寄生電阻電容(RC)效應,會影響晶片間訊號傳輸的延遲時 間、穩定性及完整性。由於不同長度、粗細與間距的導線,對於電 路特性所造成的影響程度不同,因此在異質整合晶片電路設計的過 程中,於電路模擬時必須將PAD、微凸塊與導線間的寄生效應納入 考量,以確認晶片的功能與規格是否仍符合原先的設計,在主動中 介層上的主動電路通常會加入緩衝器(Buffer)來增強訊號。

異質整合晶片通道連結的等效電路模型如圖 11 所示,包含

16

PAD、微凸塊和導線的寄生效應。晶片與晶片之間每 100 μm 的連線 使用三段的π模型來表示 00。因此對於更長的導線,需要使用更多 段的等效電路。後續將先進行異質整合電路小晶片與主動中介層晶 片的電路設計,再透過等效電路的估測公式進行 RC 數值的計算, 並結合至 HSPICE 軟體進行電路模擬分析,了解寄生 RC 效應對於 電路特性的影響。後續也將透過 TCAD 模擬軟體進行主動中介層上 多層連線之抗輻射特性分析。



圖 11 異質整合通道等效電路模型[20]。

(二) 異質整合製程之小晶片電路設計

為了進行抗輻射小晶片異質整合技術開發與探討,設計了一個 含有2對4解碼器與32 bit ROM 矩陣的電路佈局。ROM 電路佈局 設計的過程中,同時諮詢 TSRI 工程師的建議,將異質整合實作可 能面臨的問題納入考量,並進行電路佈局修正。參考 TSRI 異質整 合製程組的建議,將 alignment marker 設計成 L 型,避免黏晶(Die Bonding)時所產生 rotate 與 shift 的問題。同時參考 TSRI 異質整合製 程組與晶片組的建議,將 PAD space 加大至 23 µm 以上,避免因為 bonder 的攝影機能力限制,導致 XY 軸稍微偏移時影響到晶片接合, 也避免接合時的錯位造成的短路問題。Marker 與 PAD 設計概念圖如 圖 12 所示。



圖 12 Marker 與 PAD 設計概念圖。

設計用於晶片下線的 ROM 電路佈局如圖 13 所示,已完成台積 電 0.18µm (T18) 製 程 之 佈 局 前 電 路 模 擬 分 析 (Pre-layout Simulation)、設計規則檢查(Design Rule Checking, DRC)、電路佈局 驗證(Layout versus Schematic, LVS)、寄生 RC 參數抽取(Parasitic Extraction, PEX)、佈局後電路模擬分析(Post-layout Simulation)。ROM 晶片已於 112 年 8 月申請 T18 製程晶片下線製作,預計將於 112 年 11 月底前收到製作完成的晶片。112 年底前參與人員預計將至 TSRI 學習晶片級封裝整合技術。



圖 13 32 bit ROM 電路佈局。

本工作項目參考 TSRI 提供的 design rule 與工作項目一 SRAM 晶片所使用的 PAD 大小與間距,進行主動中介層晶片的電路設計。 圖 14 為初步規劃的電路佈局圖,上方的兩個 Top chip 分別為工作 項目一設計之 SRAM 晶片與工作項目三本次設計之 ROM 晶片,中 間將透過主動中介層之主動電路進行連接。主動中介層內的主動電 路預計使用緩衝器電路增強訊號,確保晶片間訊號傳輸的完整性, 將參考相關文獻進行電路設計。後續將使用前面所探討的 RC 等效 模型,評估主動中介層之多層連線的寄生效應對電路特性的影響, 並透過 TCAD 模擬軟體分析其抗輻射特性。

19



圖 14 異質整合主動中介層晶片設計規劃。

#### **參、主要發現與結論**

一、 太空商業應用之抗輻射晶片設計開發

抗輻射晶片量測部份目前已經完成了傳統 SWR 與抗輻射 SWR PCB 之設計,並且已完成傳統與抗輻射 SWR PCB 下線,另外進行 LDO 輻 射影響分析與抗輻射方法分析,比較不同抗輻射方法之簡之優劣, 未來將據此進行抗輻射 LDO 之改善設計。

二、 短脈衝雷射輻射驗證技術

針對短脈衝雷射輻射驗證平台中的部分系統優化。移動平台系 統改善為可程式控制,其中垂直平台更新設備後在減少人為操控誤 差的同時也提升到更高的精度,使物鏡的對焦更有效率。而二維移 動平台目前能以程式控制,設定移動的速度、距離及設置原點,進 而達到掃描晶片的功能。而垂直平台及二維平台已整合完成,目前 於實驗中使用順利,且確實可加速實驗設置及進行,更有效率地得 到照射 DUT 的實驗數據。

光學系統中針對調控能量的部分進行了改善,目前能自動化地 調整中性密度濾波片,相較於以往能更準確地調整照射能量的比 例,也能更有效率地找到敏感區域的臨界能量。

三、 抗輻射晶圓等級小晶片異質整合技術

透過文獻目前已對異質整合之多層連線的 RC 等效電路建模有 初步了解,同時也已完成用於異質整合製程之 ROM 晶片電路佈局 設計,並於 112 年 8 月完成 T18 製程之晶片下線製作申請,預計 112 年 11 月底前收到製作完成之晶片,後續將進行 ROM 晶片的量測與 功能測試,並與 TSRI 工程師學習晶片級封裝整合技術。本次設計 之 ROM 晶片為尚未考慮抗輻射設計的標準電路,後續將另外設計 一版具有抗輻射設計的 ROM 晶片。目前先進行標準電路設計的原 因,主要是希望先確認小晶片異質整合技術實作的可行性,且後續 抗輻射 ROM 晶片實作後,也需要一組標準電路的 ROM 晶片,做抗 輻射的性能比較,因此先設計標準電路的 ROM 晶片。

目前同時也參考TSRI提供的design rule 進行主動中介層晶片設計,主動中介層之電路設計完成後,將使用 HSPICE 軟體結合 RC 等效電路模型與 TCAD 軟體進行多層連線的電性與抗輻射特性分

21

析。後續規劃使用相同的 T18 製程進行主動中介層晶片實作,並透 過與 TSRI 合作進行的異質整合技術,將工作項目一設計的 SRAM 晶片和工作項目三設計的 ROM 晶片與主動中介層晶片進行封裝整 合。預計 113 年使用核研所提供的質子束射線對異質整合封裝後的 晶片進行照射實驗。

四、 投稿之 SCI 期刊文章

在本計畫之支持下,投稿被接受刊登如下之 SIC 期刊文章 Chi-Wei Chen,Weining Zeng Pranoto,Hsin-Shu Chen,and Wen-Jong Wu, "A 0.25-μm HV-CMOS Synchronous Inversion and Charge Extraction Interface Circuit With a Single Inductor for Piezoelectric Energy Harvesting," IEEE Transactions on Power Electronics, Vol. 38, No. 12, pp. 15707-15718, Dec. 2023.

## 肆、参考文獻

- [1] G. Mounce, J. Lyke, S. Horan, W. Powell, R. Doyle, R. Some, "Chiplet based approach for heterogeneous processing and packaging architectures," IEEE Aerospace Conference, Mar. 2016.
- [2] R. J. Doyle, "Reinventing the Role of Computing in Space," Nebulae Workshop, Aug. 2019.
- [3] P. Gupta, S. S. Iyer, "2019 Goodbye motherboard. Hello silicon-interconnect fabric," IEEE Spectrum, pp. 28-33, Oct. 2019.
- [4] J. Wang, P. Li, X. Wei, R. Zheng and Y. Hu, "A single event transient.

immune oscillator for DC-DC converter controllers", 2017 IEEE International Conference on Signal Processing Communications and Computing (ICSPCC), pp. 1-5, 2017.

[5] https://www.ti.com/seclit/eb/sgzy002a/sgzy002a.pdf

- [6] https://law.moj.gov.tw/LawClass/LawAll.aspx?pcode=H0160078
- [7] McMorrow, D., Melinger, J. S., Buchner, S., Scott, T., Brown, R. D., & Haddad, N. F. (1999, September). Application of a pulsed laser for evaluation and optimization of SEU-hard designs. In 1999 Fifth European Conference on Radiation and Its Effects on Components and Systems. RADECS 99 (Cat. No. 99TH8471) (pp. 198-204). IEEE.
- [8] Lei, Z., Luo, H., Chen, H., Shi, Q., & He, Y. (2011, June). Single Event Effects test for CMOS devices using 1064nm pulsed laser. In 2011 International Conference on Quality, Reliability, Risk, Maintenance, and Safety Engineering (pp. 325-328). IEEE.
- [9] https://jp.optosigma.com/en\_jp/pal-50-nir-hr-lc00.html
- [10]R. Mahajan et al., "Embedded Multi-die Interconnect Bridge (EMIB)
  -- A High Density, High Bandwidth Packaging Interconnect," 2016
  IEEE 66th Electronic Components and Technology Conference
  (ECTC), 2016, pp. 557-565, doi: 10.1109/ECTC.2016.201.
- [11]Beth Keser; Steffen Kroehnert, "Embedded Multi-die Interconnect

Bridge (EMIB)," in Advances in Embedded and Fan-Out Wafer Level Packaging Technologies , IEEE, 2019, pp.487-499, doi: 10.1002/9781119313991.ch23.

[12] WikiChip, "Foveros-Intel"

https://en.wikichip.org/wiki/intel/foveros.

- [13]Matthew Lambert, "Intel reveals Foveros 3D packaging technology," bit-tech, 12 Dec. 2018, https://bit-tech.net/news/tech/intel-reveals-foveros-3d-packaging-tec hnology/1/.
- [14]TSMC, "CoWoS-L", https://3dfabric.tsmc.com/chinese/dedicatedFou ndry/technology/cowos.htm.
- [15]Matt Mills, "TSMC LSI, the Technology that Will Replace the Interposer," ITIGIC, 23 Nov. 2020, https://itigic.com/tsmc-lsi-technology-will-replace-interposer/.
- [16]Wang, L., Han, X., Zhao, Y., Bian, Q., Yue, S., Lu, S., Shu, L., Liu, J., & Li, T. (2017). Single-Event Transient Analysis and Hardening in a 180 nm CMOS Embedded Low-Dropout Regulator. 2017 17th European Conference on Radiation and Its Effects on Components and Systems, RADECS 2017.
- [17] McMorrow, D., Melinger, J. S., Buchner, S., Scott, T., Brown, R. D.,

& Haddad, N. F. (1999, September). Application of a pulsed laser for evaluation and optimization of SEU-hard designs. In 1999 Fifth European Conference on Radiation and Its Effects on Components and Systems. RADECS 99 (Cat. No. 99TH8471) (pp. 198-204). IEEE.

[18] Lei, Z., Luo, H., Chen, H., Shi, Q., & He, Y. (2011, June). Single Event Effects test for CMOS devices using 1064nm pulsed laser. In 2011 International Conference on Quality, Reliability, Risk, Maintenance, and Safety Engineering (pp. 325-328). IEEE.

[19] https://jp.optosigma.com/en\_jp/pal-50-nir-hr-lc00.html

- [20] Y. Zhang, X. Zhang and M. S. Bakir, "Benchmarking Digital Die-to-Die Channels in 2.5-D and 3-D Heterogeneous Integration Platforms," in IEEE Transactions on Electron Devices, vol. 65, no. 12, pp. 5460-5467, Dec. 2018, doi: 10.1109/TED.2018.2876688.
- [21] M. A. Karim, P. D. Franzon and A. Kumar, "Power comparison of 2D, 3D and 2.5D interconnect solutions and power optimization of interposer interconnects," 2013 IEEE 63rd Electronic Components and Technology Conference, Las Vegas, NV, USA, 2013, pp. 860-866, doi: 10.1109/ECTC.2013.6575674.
- [22] S. Jangam, S. Pal, A. Bajwa, S. Pamarti, P. Gupta and S. S. Iyer,

"Latency, Bandwidth and Power Benefits of the SuperCHIPS Integration Scheme," 2017 IEEE 67th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2017, pp. 86-94, doi: 10.1109/ECTC.2017.246.

[23]Neil H. E. Weste and David Money Harris, "CMOS VLSI Design: A Circuits And Systems Perspective," 4/E. Pearson, 2009.