

行政院原子能委員會核能研究所

委託研究計畫期末報告

抗輻射電子元件開發與輻射效應評估

**Development of Radiation-Resistant Electronic Devices and
Evaluation of its Radiation Effects**

計畫編號：111B002

受委託機關(構)：國立清華大學

計畫主持人：巫勇賢、張廖貴術、趙得勝

聯絡電話：03-5742866

E-mail address：dschao@mx.nthu.edu.tw

核研所聯絡人員：黃憶雅

報告日期：中華民國 111 年 12 月 12 日

目 錄

圖目錄.....	II
表目錄.....	VII
中文摘要.....	VIII
英文摘要.....	IX
壹、計畫緣起與目的.....	1
貳、研究方法與過程.....	19
參、主要發現.....	44
肆、結論.....	118
伍、參考資料.....	121

圖目錄

圖 1.1、FeFET 鐵電記憶體之元件結構與運作機制(藍色薄膜即為鐵電層)	10
圖 1.2、基於 HfO_2 之鐵電層之操作原理及結構示意圖	10
圖 1.3、FeFET 鐵電記憶體之 ^{60}Co γ -ray TID 效應(endurance 表現)	10
圖 1.4、FeFET 鐵電記憶體之 ^{60}Co γ -ray TID 效應(retention 表現).10	
圖 1.5、n 型/p 型 FeFET 鐵電記憶體在不同輻射劑量下之記憶視窗變動情形.....	10
圖 1.6、n 型/p 型 FeFET 鐵電記憶體之 current ratio 隨操作次數變化情形.....	10
圖 2.1、CMOS 場效電晶體通道結構趨勢	12
圖 2.2、High-k 介電層的介電常數及其隨晶向之模擬結果	13
圖 3.1、各類材料所製成的功率元件之特性比較.....	18
圖 3.2、原子位移能量隨晶格常數之變化.....	18
圖 1.7、具備不同介面層之 FeFET 鐵電記憶體在 DC sweeping 或 pulse 操作下之電壓-電流特性比較	22
圖 1.8、具備不同介面層之 FeFET 鐵電記憶體之 retention 表現比較	22
圖 1.9、具備不同介面層之 FeFET 鐵電記憶體之 endurance 表現比較	22
圖 1.10、不同電極材料對於鐵電電容元件耐久性的影響	27

圖 1.11/圖 1.12、當鐵電電容元件 P_r 值/內建電場(E_{int})隨操作次數衰減 時透過較大電場操作而產生回春現象	28
圖 1.13、質子束照射平台	30
圖 1.14、接受質子束照射之 FeFET 鐵電記憶體元件結構圖	30
圖 2-3、元件製程結構與流程圖	31
圖 2-4、奈米線式元件製程圖 (a) 經黃光微影製程與蝕刻定義源極與 汲極位置 (b)圖形局部放大示意圖	34
圖 2-5、奈米線式元件製程圖 (a)形成通道後元件上視圖 (b)通道形 成後局部放大示意圖	34
圖 2-6、奈米線式元件製程圖 (a)定義閘極後元件上視圖 (b)沉積且 定義閘極後之局部放大示意圖	35
圖 2-7、奈米線式元件製程圖-元件後段金屬化定義示意圖	35
圖 3.3、SiC 基板材料參數及 SiC MOS 電容元件結構	42
圖 3.4、本校原科中心 Co-60 gamma rays 照射場及其劑量率	42
圖 3.5、SiC 電容元件 TID 效應電性分析之設備與量測儀器	42
圖 3.6、THOR 中子源的爐心佈局	43
圖 1.15、有無進行 NH_3 電漿處理對於 (a) HZO 之 X 繞射圖樣影響、 (b) HZO 之 XPS O 1s 光譜影響	45
圖 1.16、有無進行 NH_3 電漿處理對於 FeFET 記憶體之(a) endurance 表現影響、(b) 操作速度影響	46
圖 1.17、不同質子流量對於 FeFET 鐵電記憶體之電壓-電流特性影響 (a) 掃描範圍-3 V 至+ 4 V; (b) 掃描範圍-3 V 至+5 V	47
圖 1.18、不同質子流量/電壓掃描範圍對於記憶視窗之影響	47

圖 1.19、不同質子流量對於鐵電電容元件(a) P_r 效能之影響; (b) endurance 表現之影響	47
圖 1.20、-5 V 與+5 V 脈衝對 FeFET 鐵電記憶體之寫入速度測試 ..	49
圖 1.21、FeFET 鐵電記憶體隨著 ± 5 V/5 μ s 脈衝反覆操作測試	50
圖 1.22、FeFET 鐵電記憶體之 retention 特性表現	50
圖 2-9、Planar (MOSFET) 汲極電流對汲極電壓圖	52
圖 2-10、FinFET 汲極電流對汲極電壓圖	52
圖 2-11、Planar (MOSFET)在不同汲極電壓轉換特性之對數圖	53
圖 2-12、FinFET 在不同汲極電壓轉換特性之對數圖	53
圖 2-13、10 krad 輻射後 Planar(MOSFET) 汲極電流對汲極電壓圖	54
圖 2-14、10 krad 輻射後 FinFET 汲極電流對汲極電壓圖	54
圖 2-15、10 krad 輻射後 Planar (MOSFET)在不同汲極電壓轉換特性之對數圖	55
圖 2-16、10 krad 輻射後 FinFET 在不同汲極電壓轉換特性之對數圖	55
圖 2-17、100 krad 輻射後 Planar 汲極電流對汲極電壓圖	56
圖 2-18、100 krad 輻射後 FinFET 汲極電流對汲極電壓圖	57
圖 2-19、100 krad 輻射後 Planar 在不同汲極電壓轉換特性之對數圖	57
圖 2-20、100 krad 輻射後 FinFET 在不同汲極電壓轉換特性之對數圖	58
圖 2-21、ZrON 樣品受不同輻射劑量傷害之汲極電流對閘極電壓 (I_d - V_g) 特性圖	61

圖 2-22、ZrON 樣品受不同輻射劑量傷害後在室溫給予 16 V 電壓之 寫入速度圖.....	61
圖 2-23、受不同輻射劑量傷害之 ZrON 樣品，分別各取 5 組在寫入 3 V 記憶窗其所需寫入時間之數據作盒狀圖	62
圖 2-24、ZrON 樣品受不同輻射劑量傷害後在室溫給予-16 V 電壓之 抹除速度圖.....	62
圖 2-25、受不同輻射劑量傷害之 ZrON 樣品，分別各取 5 組在抹除 3 V 記憶窗其所需抹除時間之數據作盒狀圖	63
圖 2-26、ZrON 樣品受不同輻射劑量傷害後在室溫下量測之耐久力測 試.....	63
圖 2-27、ZrON 樣品受不同輻射劑量傷害後在室溫下量測之電荷保持 力測試.....	64
圖 3.7、各類輻射粒子及其與物質作用可能引發的作用	69
圖 3.8、光子與物質作用機制及其隨能量與原子序之重要性	69
圖 3.9、利用 SRIM 程式計算求得 He 離子照射於 Si 材料之游離能失 與非游離能失隨能量之變化	70
圖 3.10、游離輻射於 MOS 電容元件中誘發游離電荷示意圖	70
圖 3.11、中子照射引發原子核碰撞所致之位移損傷示意圖	71
圖 3.12、SiC MOSFET 元件經 gamma rays 照射之 TID 效應.....	75
圖 3.13、SiC P-i-N 元件經中子照射之 DDD 效應.....	75
圖 3.14、SiC 功率元件 SEB 事件之測試電路與失效分析	76
圖 3.15、SiC MOS 電容之高頻 C-V 特性曲線隨 gamma rays 照射劑量 之變化.....	88

圖 3.16、SiC MOS 電容之 (a) $1/C^2$ 與電壓的特性曲線與 (b) 有效載 子濃度隨 gamma rays 照射劑量之變化	88
圖 3.17、SiC MOS 電容之 ΔV_{ot} 與 ΔV_{it} 隨 gamma rays 照射劑量之變化	89
圖 3.18、總游離劑量測試流程 (MIL-STD-750E 及 MIL-STD-883)	102
圖 3.19、總游離劑量測試流程 (ESCC22900).....	103
圖 3.20、雙極性電晶體及 BiCMOS 元件的 ELDRS 效應測試流程	103
圖 3.21、SEB 及 SEGR 事件的測試電路板架構示意圖	116
圖 3.22、SEB 及 SEGR 事件的測試流程圖	117
圖 3.23、SEB 及 SEGR 事件的驗證測試流程圖	118

表目錄

表 3.1、各類寬能隙半導體與 Si 材料之本質特性比較	18
表 3.2、高能粒子輻照資源評估.....	43
表 3.3、SiC 元件之 TID 效應相關的研究成果.....	77
表 3.4、SiC 元件之 DDD 效應相關的研究成果.....	79
表 3.5、GaN 元件之 TID/DDD 效應相關的研究成果	81
表 3.6、SiC 元件之 SEE 效應相關的研究成果	83
表 3.7、中子輻照測試標準比較.....	92
表 3.8、游離輻射測試劑量率比較.....	94
表 3.9、ESCC22900 輻照劑量表.....	94
表 3.10、總游離劑量之測試溫度規定.....	95
表 3.11、輻照實驗後量測時間規定.....	97
表 3.12、二次接續輻照實驗間隔時間.....	98
表 3.13、MIL 與 ESCC 單一事件效應測試標準比較	107

中文摘要

電子元件曝露於各種高能粒子與光子的太空輻射之中，可能造成長期的特性劣化或暫態失效等影響，瞭解輻射對於電子元件與電路的影響對發展太空科技應用尤為重要，開發可用以承受太空極端輻射環境的先進抗輻射電子元件亦是太空探索任務成功與否的關鍵要務與挑戰。本研究將針對可抗輻射之新材料、製程技術與新型元件結構進行先期研究，藉此釐清各類材料與元件的輻射耐受性及各種輻射效應的作用機制與驗證測試方法，並以此做為拓展未來研究的重要基礎。本年度執行的研究項目包括：(1)抗輻射之新興記憶體元件開發；(2)抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究；(3)下世代半導體材料與元件之輻射效應評估。在此報告之中，我們提供上述各研究項目的緣起與目的、實驗方法與過程，並完整地說明所獲致的成果與發現，相關成果預期可做為國內未來在推展航太科學、軍事、太空電子等研究領域的重要基礎。

英文摘要

When electronic components are exposed to various high-energy particles and photons in space radiation, they may suffer the issues such as long-term property degradation or transient failures. Understanding the effects of radiation on electronic devices and circuits is particularly important for space applications. The development of advanced radiation-hardened electronic devices to withstand extreme radiation environment in space is also a key factor and challenge to the success of space exploration missions. In this project, we will conduct preliminary study on new techniques, fabrication process, and materials and devices that can mitigate the degradation subject to radiation. We can expect to clarify the radiation tolerance of various materials and devices as well as acquire the mechanisms and the verification test methods of various radiation effects, which would be the important basis to expand future research. The topics to be implemented this year include: (1) the development of radiation-resistant emerging memory devices; (2) the study of fabrication process for radiation-resistant metal-oxide-semiconductor field effect transistors and flash memory devices; (3) the assessment of radiation effects on next-generation semiconductor materials and devices. In this report, we provide the motivation and purpose and the experimental methods and procedures of the above topics in this project. We also thoroughly explain the results and findings obtained in this year, which are expected to be useful to serve as an important basis for the promotion of aerospace science, military, space electronics and other research fields in our country in the future.

壹、計畫緣起與目的

一、抗輻射之新興記憶體元件開發

低軌衛星展望及其承受之輻射損傷

高速穩定的網路系統是建構當今數位生活的基礎設施之一，網路的連接均是依靠海底電纜/地底訊號線等有線設施，或是基地台等無線設備。然而在地廣人稀的荒漠、人跡罕至的地區或汪洋中的群島因為使用者較少，投資效益小，鮮少有業者願意投資，導致目前全球有超 70% 地理空間涉及 30 億人未接連結網路。有鑑於此，低軌衛星 (low earth orbit, LEO，距地球約 160-2,000 公里) 的出現，克服了前述架設有線/無線網路設施的困難，提供了另一種網路連接的選擇。近年來由於作為低軌衛星發射載具的火箭在可回收技術上有了長足的進步，且低軌衛星因為採用接近 5G 毫米波之高頻訊號進行通訊可大幅將低天線體積與重量，因此發射成本上越來越具有優勢，也吸引了各國政府與各大企業競相投入資源於相關領域，2021 年立法院也三讀通過了「太空發展法」，蔡總統更宣示太空產業是台灣「六大核心戰略產業」之一。

低軌衛星在太空要正常運作需仰賴於各項電子元件能夠抵抗輻射環境下游離輻射的衝擊，其中太空中游離輻射的來源主要包括(1)局限在 Van Allen 輻射帶的質子/電子(protons/electrons)，該輻射帶分為內層(inner belt)與外層(outer belt)，(2)太陽耀斑(solar flare)造成的高能量次原子粒子，包括質子及重離子(heavy ions)與(3)太陽系外超新星爆炸所形成的宇宙射線(cosmic rays)，主要也是由質子與重離子所組成。低軌衛星所承受的輻射主要源自每天通過數次的內層 Van Allen 輻射帶，其位置大約在地表上空約 1,000 公里到 12,000 公里，

而在南大西洋異常區域(South Atlantic Anomaly, SAA)內，其邊界可能會降至距地球表面約 200 公里處。內層 Van Allen 輻射帶包括能量範圍在數百 keV 範圍內之高濃度電子，以及能量超過 100 MeV 的質子。低軌衛星在運行時，其內部的電子元件所承受的輻射主要還是以質子為主，其輻射流量(radiant flux)約為每天 $10^4/\text{cm}^2$ 至 $10^9/\text{cm}^2$ 之間(因能量不同而有差異) [1]。

對於以半導體為主的電子元件而言，太空輻射造成的損傷主要區分為 3 大類，包括(1)長期照射下的累計接受劑量或總游離劑量(Total Ionizing Dose, TID)、(2)短期照射下的單一事件效應(Single Event Effect, SEE)與(3)入射粒子累積碰撞半導體所造成的晶格位移損傷(Displacement Damage, DD)。以下為各類輻射損傷的發生的機制與性質 [2]:

(1) TID 是指累計輻射劑量超過某個臨界值即會發生元件操作失效，這是因為輻射照射時會使氧化層結構產生游離化(ionization)反應(對 SiO_2 氧化層而言，需要 17 eV 產生游離反應)，因而產生電子/電洞對(electron/hole pairs)，而這些產生出來的電子/電洞很容易受到元件中缺陷結構所捕獲(trap)，這些缺陷結構包括半導體與介電層之介面處、介電層本身或多晶結構之晶界(grain boundary)。一旦累計輻射劑量越高，缺陷捕獲的載子越多，將會對元件特性造成逐漸改變，甚至造成元件永久的傷害。值得一提的是雖然質子是低軌衛星主要的輻射源，不過由於回火效應(annealing effect)、低劑量率效應(low dose rate effect)與加速器成本考量，通常 TID 的測試並非以質子，而是以 γ ray 作為輻射源 [3]。在相同劑量下， γ ray 造成的電子元件輻射損傷與質

子相當，因此可以相當程度反應元件在低軌衛星所承受到的輻射損傷。

(2) SEE 是指當單一高能量的粒子(通常是重離子或質子)擊中電子元件之氧化層或半導體時，使局部區域的原子發生游離化現象，產生大量電荷、在元件中傳遞並在缺陷處被捕獲。這樣的現象可能造成 Single Event Upset (SEU)等軟錯誤(soft error/bit flip 可藉由重新寫入正確資料即可更正)或 Single Event Latch-Up (SEL)/Single Event Gate Rupture (SEGR)等硬錯誤(hard error，元件發生不可回復，永久性的傷害)。通常 SEE 的測試是以重離子或質子作為輻射源，前者會藉由直接產生游離化現象造成 SEE，而後者則是藉由與原子核/電子撞擊的過程中損失能量，而損失的能量則轉至產生游離化現象，沿著撞擊的路徑釋放電子/電洞對，繼而發生暫態的遷移/擴散電流(drift/diffusion current)，也就是這些暫態電流影響了元件暫時性或永久性的失效。由於重離子或質子產生 SEE 的機制不同，量測 SEE 的參數也有所差異，前者以量測線性能量轉移(linear energy transfer、LET)為主，後者則著重於(cross-section)截面積的分析。當電子元件尺寸不斷微縮，由於元件的氧化層厚度持續變薄，TID 的效應會越加和緩[4]。然而，SEE 的效應則隨著元件尺寸微縮而更加嚴重，原因是元件電容值與操作電壓縮小，重離子或質子引發的暫態電流會大於元件本身的操作電流。此外，一次性的重離子或質子撞擊也會因為元件微縮而產生更多數量的元件受影響，因此相較於 TID，SEE 效應更是探究輻射效應需要重視的[2]。為了能夠同時進行 SEE 與 TID，以質子作為輻射源就是合適的選擇。

(3) DD 是指高能量粒子撞擊半導體晶格造成的原子位移的物理現象，是一種非游離化反應。原子位移將可能造成載子複合速率與生命週期的改變，進而影響元件的操作，尤其是光電元件影響甚鉅。所幸以 MOSFET 為主流的電子元件屬於表面元件(surface device)，受 DD 影響較小[5]。

酬載電腦內關鍵零組件及新興鐵電記憶體

低軌衛星中通訊酬載電腦(Payload Computer)是通訊酬載的控制指揮中心，而半導體記憶體則是酬載電腦中數據儲存系統的關鍵電子元件。2021 年 6 月哈伯望遠鏡即是酬載電腦中的記憶體模組(64k CMOS memory)發生問題造成故障而無法進行觀測任務[6]，因此如何在高輻射的環境下長時間維持記憶體正常運作是相當重要的。現今主流的記憶體，無論是揮發性的 DRAM/SRAM 或非揮發性 Flash 均是以電荷的儲存與否作為判斷邏輯 0 與 1 的依據，然而這樣的儲存機制易受到輻射之影響導致電荷流失與資料反轉。有別於以電荷形式儲存資料，以電偶極(dipole)極化方向儲存資料的鐵電記憶體(Ferroelectric RAM, FeRAM)即使在遭受輻射引發的 SEE 效應並產生突發性脈衝電流時，也因為電偶極的矯頑電場(coercive electric field, E_c)特性而不易改變原有之極化方向，因此抗輻射的能力較為優異[7]。

2010 年 NASA 的 Fast and Affordable Science and Technology Satellite (FASTSAT)計畫中以 Ramtron 公司 512k FeRAM 進行測試也證實了極佳的抗輻射能力[8]。此外，與 NAND Flash 記憶體相較之下，FeRAM 不論在寫入速度(50 ns vs 100 μ s)、反覆操作可靠度(endurance, $\sim 10^{14}$ vs $\sim 10^6$)與操作電壓(1.5 V vs >10 V)均極具有優勢，

且低操作電壓可免除高電壓操作所需的 charge pump 電路，亦可進一步避免輻射效應。值得一提的是 FeRAM 受到輻射所造成的影響大多是來自於控制電路或周邊電路，因此如何減緩記憶胞以外的電路所受的衝擊也是極為重要的課題。

儘管 FeRAM 具有高度應用於衛星任務的潛力，然而在實際的應用上仍有一些限制有待克服：

- (1) FeRAM 記憶胞是由一個電晶體搭配一個鐵電電容的 1T1C 結構所組成，其記憶體陣列的密度小於 NAND Flash，成本較高。
- (2) FeRAM 在資料讀取時是以讀取電流的方式進行所謂的破壞性讀取(destructive reading)，因此必須在讀取資料後再寫入正確的資料，造成額外的功率消耗。
- (3) FeRAM 主要是由 $\text{Pb}[\text{Zr}_x\text{Ti}_{1-x}]\text{O}_3$ (PZT) 等鈣鈦礦(perovskite)結構之鐵電層所製作，不相容於目前的積體電路製程，量產化的障礙比現行記憶體高很多 [9]。

除了 FeRAM，另一種以單一鐵電電晶體(Ferroelectric FET, FeFET)形成的鐵電記憶體可以克服前述數第(1)、(2)項的限制，其元件結構與運作原理如圖 1.1 所示。然而第(3)項鐵電材料上的限制仍侷限了 FeFET 的發展。不過鐵電材料上的限制因為 2011 年重大的材料科學進展而徹底獲得改善，此重大的進展即是當年科學家發現以 Si 摻雜的 HfO_2 具有鐵電特性(ferroelectricity) [10]，後續發現 Zr、Al、La 等摻雜均有類似的功能 [11]。這項發展最重要的意義在於 HfO_2 與相關的摻雜元素均完全相容於現有的積體電路製程，因此基於 HfO_2 的 FeFET 鐵電記憶體近年來已是學界與業界競相研究的主題，對於未來的記憶體產業可能帶來巨大的影響。值得注意的是，基於 HfO_2 的

鐵電層其 E_c 遠大於傳統 PZT 等鐵電材質，意味著 HfO_2 鐵電層可在較薄的厚度下達到相同的記憶體效能，而較薄的鐵電層厚度亦代表了其對於輻射的吸收更少，能造成的輻射損傷更低，因此在抗輻射的應用上也深具意義。更重要的是 2020 年與 2022 年 Nature 期刊均報導基於 HfO_2 的鐵電層可以在 1-2 nm 的超薄厚度下仍具有極佳的鐵電性[12, 13]，如圖 1.2 所示，這與當今最先進製程之電晶體閘極介電層厚度相當。甚至 2022 年的 Science 期刊也報導 ZrO_2 於 0.5 nm 的厚度亦能展現鐵電性 [14]，而非一般所認知的反鐵電性(anti-ferroelectricity)。這些在頂尖期刊發表的成果不僅意味著持續微縮的前瞻性，也更能提高對於輻射傷害的抵抗能力。

儘管基於 HfO_2 的鐵電層極具應用於 FeFET 鐵電記憶體之潛力，但新一代的鐵電記憶體也有其發展上的挑戰，最主要的挑戰來自於半導體與 HfO_2 鐵電層間的介面品質不佳，導致反覆操作下的可靠度，尤其是耐久性(endurance)表現有待改善[15, 16]。本團隊在 2014 年即深耕此領域並在 FeFET 鐵電記憶體的開發上獲得相當豐碩的成果，尤其是可靠度的部分也透過導入新材料與新製程而有了顯著的提升 [17-21]。

鐵電記憶體之抗輻射研究

文獻上鐵電記憶體相關的抗輻射研究絕大部分仍聚焦在基於 PZT 之 FeRAM，雖然在 TID 與 SEE 的研究均相當完善，同時也展現了極為優異的抗輻射能力[22]，但該材質畢竟不相容於現有製程，有其發展限制。目前基於 HfO_2 之鐵電記憶體元件其抗輻射能力研究仍屬於初期階段，較早進行研究的對象是 2017 年基於 HfO_2 之 FeRAM 電容元件在 ^{60}Co γ -ray 照射下(300 k-12.96 Mrad)之 TID 效應

研究，研究結果顯示其鐵電性與 endurance 皆能維持良好表現[23]，展現優異的抗輻射能力。2018 年則有質子照射(3 MeV，流量 5×10^{13} - 10^{15} ions/cm²)之相關研究。隨著質子輻射流量的提高，基於 HfO₂ 之 FeRAM 電容元件其剩餘極化量(remnant polarization, P_r)呈現先增加後衰減的趨勢，即使如此，經質子照射之元件其 P_r 仍優於未照射質子的元件[24]。在可靠度表現上，其 endurance 在照射質子照射之後，甚至發生改善的現象，其機制還不甚明朗，非常值得後續的探討與研究。前述的 FeRAM 電容元件抗輻射研究無論是以 γ -ray 或質子作為輻射源，都為後續的輻射研究奠定良好的基礎。不過 FeRAM 終究是破壞性讀取的記憶體，對於低功耗操作與元件結構的優勢仍不如 FeFET 記憶體，因此有必要投入資源探討基於 HfO₂ 之 FeFET 鐵電記憶體其抗輻射能力，以進一步評估其應用於低軌衛星的可行性。

本團隊算是在此領域最早投入的團隊之一，如圖 1.3 與圖 1.4 所示，2019 年本團隊發表文獻上第一篇 ⁶⁰Co γ -ray 輻射 TID 效應(300 krad-10 Mrad)對於 HfO₂ 為基礎的 FeFET 鐵電記憶體之可靠度論文[25]，幾乎進行鐵電記憶體輻射效應分析的研究都有引用本論文。研究發現，若 HfO₂ 鐵電層與半導體間之介面層沒有適當的處理，雖然資料保存能力(retention)仍有不錯的表現，但 endurance 在 10⁴ 次後即有明顯的惡化。這並非表示 HfO₂ 鐵電層抗輻射能力劣化，而是輻射造成介面處大量的電子-電洞對並伴隨著化學鍵斷裂形成的氧空缺(oxygen vacancy)，造成鐵電疇(domain)被釘扎(pinning)而使鐵電層中的電偶極無法切換方向。2020 年以 HfAlO 鐵電層於矽基板上製作電容元件之 TID 研究也顯示與本團隊類似的結果[26]。2020 年三星電子於頂尖會議報導照射 ⁶⁰Co γ -ray 的 FeFET 鐵電記憶體會在鐵電層

與通道之間的介面處產生多餘的 trap density，造成次臨界擺幅(subthreshold swing)以及記憶視窗(memory window)的惡化[27]。利用多種不同量測方式，包含 low-frequency noise (LFN)、conductance-voltage (G-V)、current voltage (I-V)等量測方式，用以分辨及量化 traps 的種類及數量。研究結果指出照射 ^{60}Co γ -ray 之後所額外產生的 trap density 主要發生於鐵電層與通道之間的介面處，其數目遠大於以鐵電層本身在照射 ^{60}Co γ -ray 後所產生的 trap density。此結果顯示 HfO_2 鐵電材料本身並不容易因為照射輻射而產生劣化，而是與其他材料介面處，如鐵電層與矽基板之間的介面處，容易發生輻射損傷，故改善介面品質為 FeFET 鐵電記憶應用於輻射環境方面最重要的研究方向之一。另外，2021 年亦有文獻發表指出沉積基於 HfO_2 之鐵電層之前，先於矽基板上沉積成核層(seed layer)[28]，可以強化鐵電晶相結構，提升鐵電特性。以此結構製作 FeFET 鐵電記憶體並進行 ^{60}Co γ -ray 照射後，量測結果發現具有成核層的 FeFET 鐵電記憶體因鐵電晶相的比例提升，其本身具備較大的記憶視窗，故在輻射環境下，記憶視窗及可靠度劣化比例，相較沒有成核層的 FeFET 鐵電記憶體皆有相當程度的改善，提升了 FeFET 鐵電記憶體應用於輻射環境的可行性[29]。2021 年本團隊導入高介電材料 AlON 作為介面層分別製作基於 HfZrO_x 鐵電層之 n-FeFET 及 p-FeFET 鐵電記憶體[30]，並於 2022 年探討 TID 對鐵電記憶體基本、讀取延遲(read latency)[31]與可靠度的影響，這是文獻上首次以 p-FeFET 之鐵電元件進行相關的輻射測試[32]。如圖 1.5 與圖 1.6 所示，雖然照射 ^{60}Co γ -ray 輻射會使鐵電層產生 oxygen vacancy 並使得 P_r 減少，然而不論是 n-FeFET 或 p-FeFET 鐵電記憶體，在照射游離輻射之後其記憶體視窗幾乎沒有改

變，且資料保存能力在十年預估線仍能維持 3 個數量級的電流開關比。相較 n-FeFET 鐵電記憶體，雖然 p-FeFET 鐵電記憶體具有較小的記憶體視窗，然而因其具有更好的耐久度及可靠度，且在高輻射環境下依舊可以保持更為優異的讀取延遲，故 p-FeFET 鐵電記憶體比起 n-FeFET 鐵電記憶體更適合在高輻射環境下進行高速應用，有望在太空環境實現高速度操作下之低延遲通信。

整體而言，基於 HfO_2 之 FeFET 鐵電記憶體其鐵電層厚度具有高度的微縮潛力，有助於提升抗輻射能力。目前 FeFET 鐵電記憶體之抗輻射研究仍在初步階段，介面層工程是影響的關鍵。除此之外，所有的研究仍以 ^{60}Co γ -ray 為輻射源進行 TID 效應的分析。不過低軌衛星所承受的輻射主要還是以質子為主，且根據太空中心的報導，國內福衛系列衛星最常遭遇的情況是記憶體因為 SEE 效應而改變狀態，因此本計畫將在過去輻射研究的基礎上，以基於 HfO_2 之 FeFET 鐵電記憶體為對象，導入新的介面層與元件結構，進一步探討質子造成的 TID 與 SEE 效應，期盼以更接近於太空輻射的環境進行測試，對於未來提出改善抗輻射的方案將更有具體的參考方向。

圖 1.1 FeFET

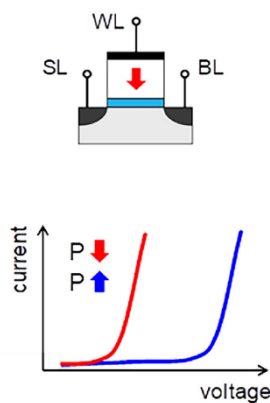


圖 1.2

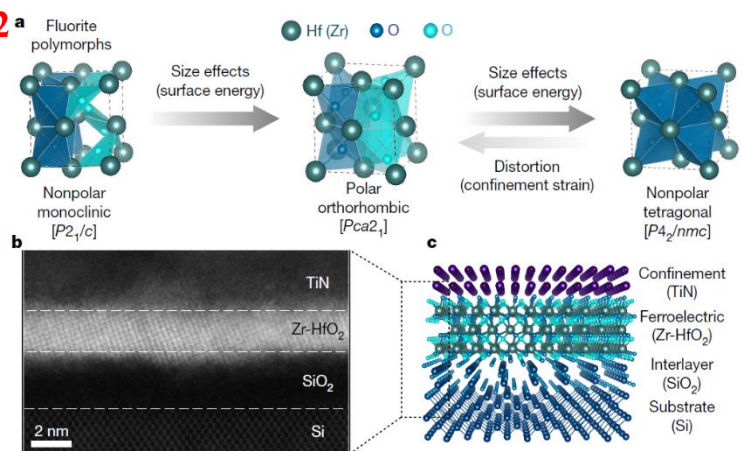


圖 1.1、FeFET 鐵電記憶體之元件結構與運作機制(藍色薄膜即為鐵電層)

圖 1.2、基於 HfO_2 之鐵電層之操作原理及結構示意圖

圖 1.3

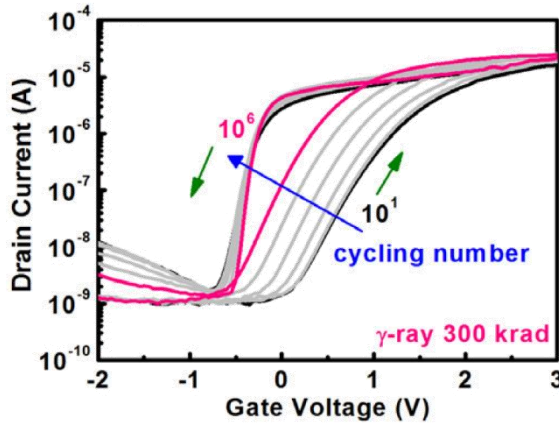


圖 1.4

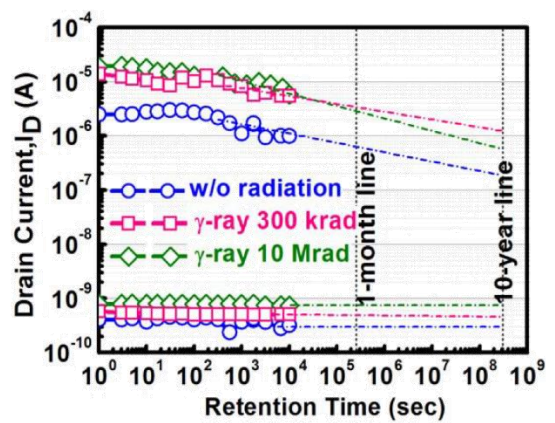


圖 1.3、FeFET 鐵電記憶體之 ^{60}Co γ -ray TID 效應(endurance 表現)

圖 1.4、FeFET 鐵電記憶體之 ^{60}Co γ -ray TID 效應(retention 表現)

圖 1.5

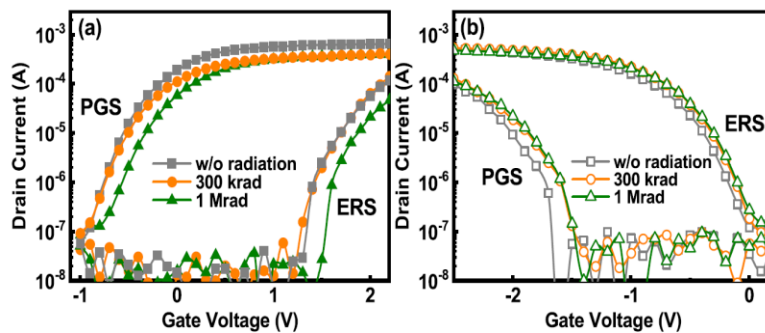


圖 1.6

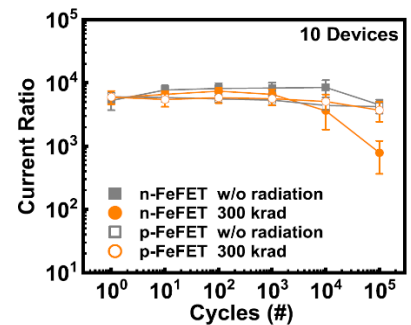


圖 1.5、n 型/p 型 FeFET 鐵電記憶體在不同輻射劑量下之記憶視窗變動情形

圖 1.6、n 型/p 型 FeFET 鐵電記憶體之 current ratio 隨操作次數變化情形

二、抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究

由於積體電路CMOS製程技術的持續進步，使得電晶體的feature size持續縮小。然而當電晶體的feature size縮小到低於45 nm 以下時，傳統的Bulk CMOS電晶體會遇到三個嚴重的挑戰：(1)Drain 與source之間的次臨界漏電流(subthreshold current)越來越嚴重(2)閘極漏電流也是越來越嚴重(3)由於製程變異(process variation)的影響，導致晶片中的每顆電晶體的doping 濃度會有所差異(稱為doping fluctuations)。電晶體的臨限電壓是跟電晶體的doping濃度有關係，但由於電晶體的feature size 的縮小，稍微的doping濃度差異即會引起極大的臨限電壓差異。因此，Bulk CMOS電晶體的臨限電壓極易受到製程變異的影響。由於鰭式場效電晶體(FinFET)沒有傳統Bulk CMOS電晶體的上述問題，並且FinFET的製程跟傳統Bulk CMOS的製程差異不大，因此在20 nm以下的製程，FinFET電晶體被認為是實現先進積體電路的最佳選擇[1]。FinFET電晶體的結構，連接Drain與Source之間的通道的形狀像魚鰭(Fin)一樣，也就說此通道的外型高而薄。而控制Drain與Source 之間的通道是否能導通的閘極(Gate)，其形狀就像門字型，緊緊圍住通道的三面，因此閘極上的電壓對通道有比較好的控制性，可以輕易地控制通道是導通或是關閉。

而在傳統的平面Bulk CMOS電晶體中，閘極只能控制通道的上方，通道的下方是接到基座(substrate)或well，因此Bulk CMOS閘極上的電壓對通道控制性比較弱，並且基座常常是雜散的漏電流傳導路徑。如前所述，FinFET 的閘極對通道有比較好的控制性，因此可以抑short-channel效應，並減少Drain與Source之間的次臨界漏電流。另外，也因為FinFET的閘極對通道有良好的控制性，因此在閘極與通

道之間的絕緣層(gate oxide)可以做得厚一點，較厚的gate oxide可以有效地抑制閘極的漏電流。一般而言，FinFET之間的通道，通常不做doping或只做輕微的doping，使得FinFET電晶體的載子移動率(carrier mobility)會較高，並且doping fluctuations所造成的元件變異(device variation)也較小。

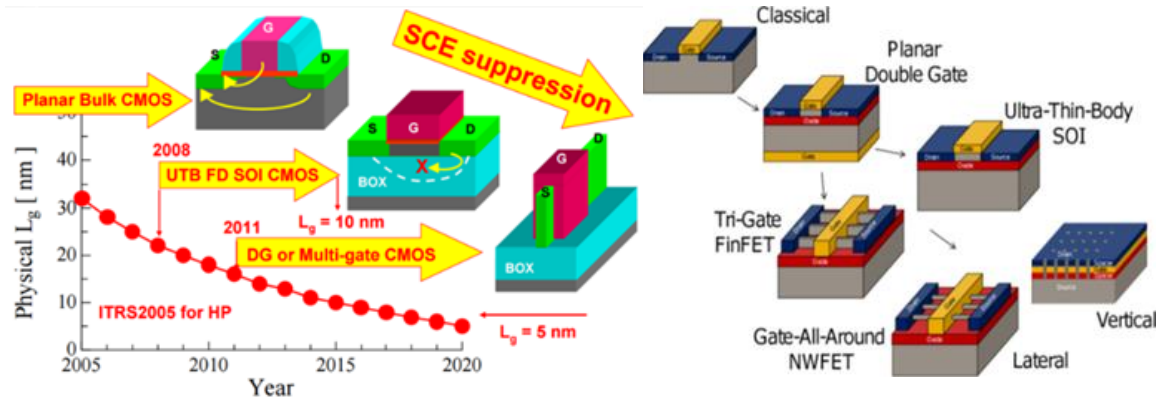


圖 2.1、CMOS 場效電晶體通道結構趨勢

隨著極大型積體電路(ULSI)技術之發展，MOS元件的閘極氧化層厚度要求漸薄，為了改善其電特性及可靠性，近年來有含氮氧化層(oxy-nitride)之研發，不但效果不錯同時也減少p+-poly gate硼穿透問題。然而 $0.1\ \mu\text{m}$ 以下元件，閘氧化層厚度之要求必須在 $1.5\ \text{nm}$ 以下，在此情形下，傳統氧化層或其類似之改良材料已不能使用。因為介電層太薄，大量的漏電流將產生，製作的積體電路(IC)含有嚴重的靜態功率消耗及熱消散問題。因此增加介電層厚度是必然的路，為了同時保持相當的單位面積閘極電容，介電材料勢必要使用係數較高的材料。近年來 Si_3N_4 已被幾位國際知名的學者製成特性很好的閘介電層，如使用JVD，RTCVD等。又 Si_3N_4 介電係數雖較 SiO_2 高，厚度也可厚些，但是厚度在 $1.5\ \text{nm}$ 以下也有明顯的漏電流，如同 SiO_2 一樣。為了發展閘介電層之等效氧化層厚度(EOT)小於 $1\ \text{nm}$ 以下，更高介電係數

(high-k)的材料已有不少學者在嘗試，如 Ta_2O_5 ， Al_2O_3 ， ZrO_2 ， HfO_2 等[2]。雖然有不錯的效果，但是由於材料含氧及金屬，經後續製程之熱循環(Thermal cycle)，製成MOSFET後仍保有優越電特性就很不容易。因此，本研究係以原子層沉積(ALD)製程中即場(in-situ)前處理含氮氣體進行矽表面之氮化，然後再成長high-k氧化層使其EOT在1 nm以下。應用極薄且高品質的 $\text{Si}_x\text{N}_y\text{O}$ ，再由適當之high-K成份元素比例如 HfO_2 、 ZrO_2 、 Al_2O_3 等，及成長後之退火處理如電漿、超臨界流體等，可以得到電特性與可靠性相當不錯的介電層。

High-k 氧化層的結晶程度同時影響其介電常數(k value)及漏電流，其中四角形晶相(tetragonal)的氧化層可有較高的 k value，且一般而言只在高溫下才可穩定存在。由模擬結果指出藉由摻雜不同元素的方式，可使四角形晶相較容易在一般常溫狀態下穩定存在，如圖2.2[3]。所以利用改變 high-k 物理晶相，來達到微縮 EOT，而且不犧牲漏電流。若能在介面層產生缺氧的環境，也有研究指出可以在後續的 ALD 堆疊金屬氧化物時，引起四角形的晶相，藉由改變氧含量，達到改變晶相以微縮 EOT，且亦可使元件有更好的可靠度[4]。

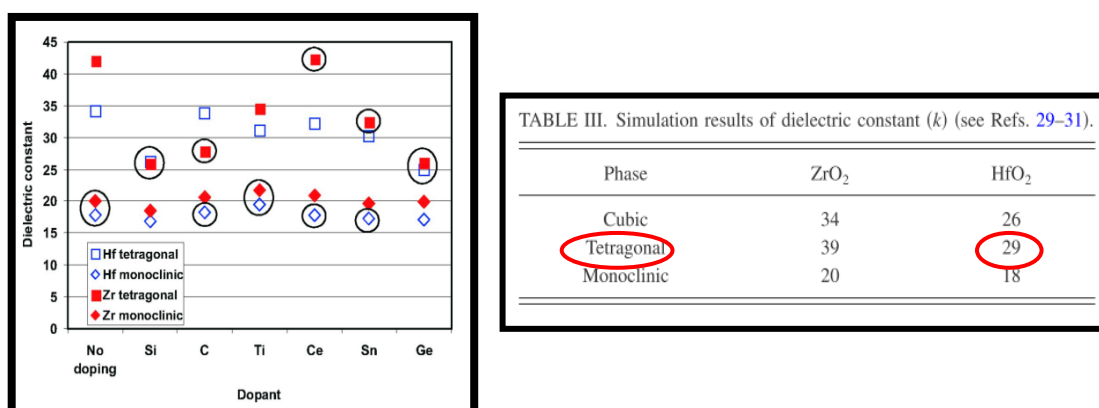


圖 2.2、High-k 介電層的介電常數及其隨晶向之模擬結果

快閃記憶體(Flash memory)同時具備了許多優點如，非揮發性、高積集度、快速寫入/讀取、可直接於系統中重複寫入資料、高擦寫次數、低消耗功率、低成本、單一電源供應等，因此快閃記憶體近年來快速崛起，其中固態電子元件式硬碟機(Solid State Disk)的應用已大量取代現有硬式磁碟。目前仍有許多研發的空間以期增進其工作效能、減少工作電壓及功率、增加記憶容量等。快閃記憶體又稱非揮發性記憶體(non-volatile memory)，主要分為浮動閘極(Floating Gate)及電荷陷阱式(Charge trapping -Substrate)兩種結構。為了增進 flash device 工作效能，高介電係數(high-k)材料、能帶工程的效應大都建立於平面本體元件上，但是這些效應在複晶矽快閃記憶體元件上的影響卻少有相關文獻。本研究團隊曾使用二氧化鈣(HfO_2)/氮化矽(SiN)堆疊而成的能帶工程儲存層(BETL)來大幅改進複晶矽奈米線(nanowire, NW)記憶體的操作效能[5]。另外，在複晶矽上須以低溫製程成長穿隧氧化層，本團隊已經成功利用低溫電漿化學氣相沉積(ICPCVD)在複晶矽通道上成長高品質、可靠性優良的介電層[6]。由於 Flash device 的製程與 CMOS logic device 相容性很高，元件的高度與形貌很類似，所以非常適合與數位電路製造整合，以提供內嵌式(embedded)的非揮發性記憶體。所以，Flash device 是適用於 3D-IC 及 Logic IC 中高密度非揮發性記憶體很重要的研究課題。當前也有一些前瞻的內嵌式非揮發性記憶體如鐵電 MRAM、電阻式 RRAM 等研發，但若要達到高密度仍有一些問題須克服，它們目前仍僅應用在部分產品上。

三、下世代半導體材料與元件之輻射效應評估

隨著工業與科技的發展，電力需求已成為工業與民生應用的重要議題。過去，電力傳輸主要藉由電力電子設備來完成，而電力控制系統的損耗則代表著能源的大量浪費，據估計在電力傳輸的過程中約有三分之二左右的電力會損耗於切換及傳輸的過程中。目前主流的電力電子產品大多係由矽基半導體元件所組成，然而隨著全球對節能環保意識的抬頭，工業界對於產品效能、可靠度、功耗、以及減少材料使用等規格的要求日益增高，加上電動車、再生能源、以及各種能源傳輸與轉換系統不斷要求高效率與低耗能設計，傳統矽基元件的發展因受限於矽材料的本質特性，對於部分特定產品的應用，矽基元件的效能已日漸無法滿足未來需求。為了解決矽材料可能面臨的挑戰，陸續有不同的半導體材料被提出，又以寬能隙半導體最受矚目，包含能隙介於 2~3.5 eV 的寬能隙(wide bandgap, WBG)半導體，以及能隙大於 3.5 eV 的超寬能隙(ultra-wide bandgap, UWBG)半導體。其中，以碳化矽(SiC)及氮化鎵(GaN)兩種寬能隙半導體材料的發展最受矚目，而其它超寬能隙半導體則仍然各自處於不同的發展階段，如：鑽石、氧化鎵(Ga_2O_3)、氮化鋁(AlN)、氮化硼(BN)等[1]。

寬能隙半導體 SiC 和 GaN 材料目前已逐步進入商業化階段，SiC 材料的商業應用以製作功率半導體元件為主，如：SiC SBD、JFET、MESFET、MOSFET 等，並且已被大量應用於新能源車及大型節能電力驅動機構等功率控制單元。GaN 材料則因同樣具有寬能隙、高電子飽和速率等特點，使得 GaN 元件可具有高崩潰電壓、優異的切換特性、低漏電流、以及穩定的溫度特性等，在發光二極體、射頻元件、光偵檢器、功率半導體元件等領域的應用也開始逐漸萌芽。相較於 Si 材料，SiC 和 GaN 寬能隙半導體具有優異的本質特性，表 3.1

為各類寬能隙半導體與 Si 材料的本質特性比較，由表顯示 SiC、GaN 及鑽石等材料可具有寬能隙、高崩潰電場、高熱傳導係數、以及高飽和電子飄移速度等特性，使用這些材料所製成的功率元件不但具有較高的崩潰電壓，也可具有較低的特定導通電阻 (specific on-resistance)，如圖 3.1 所示，預期將成為製作下一代高效能功率半導體的重要材料[1, 2]。除了上述電力電子功率元件市場的應用之外，SiC 和 GaN 元件也被認為具有潛力可應用於太空及航空等應用中，此主要係由於寬能隙半導體在本質上具有較強的鍵結能(binding energy)，相對可具備較高的原子位移能量(displacement energy, E_d)，因而 SiC 和 GaN 等寬能隙半導體元件也被預測可較 Si 材料具備更為優異的輻射耐受性(radiation hardness)[3, 4]。原子位移能量 E_d 可用以描述輻射或高能粒子造成材料原子位移的閾值能量，目前已有相關的研究提出一經驗公式用以描述材料的原子位移能量與晶格常數(A_0) 倒數之間具有正相關性，如圖 3.2 所示[4]。由於 SiC 和 GaN 寬能隙半導體材料具有較大的能隙值，相對應可具有較強的鍵結能與較小的晶格常數，因而可具備較高的原子位移能量 ($E_{d, Si} = 35 \text{ eV}$ 、 $E_{d, C} = 22 \text{ eV}$ ； $E_{d, Ga} = 73.2 \text{ eV}$ 、 $E_{d, N} = 32.4 \text{ eV}$) [3, 5]。

隨著太空科技的需求增長，半導體材料與元件的輻射效應影響也成為未來一項重要的研究課題。過去，已有一些研究團隊開始利用超高能離子束[6-8]和散裂中子源[9-11]針對 SiC 功率元件的輻射效應所引發的失效模式進行預測，部份結果也證實 SiC 功率元件相較於 Si 基元件確實具有更強的抵抗力。其他研究團隊也針對 gamma rays 的累積劑量對於 SiC 功率元件的影響進行研究，結果顯示 gamma rays 的照射同樣會造成 SiC 元件操作特性的變化，此係由於閘極氧化層

在照射過程中因捕捉游離作用所產生的游離電荷所致，且此現象也會隨著累積劑量的增加而變得更加明顯[12, 13]。另一方面，因 GaN 材料具有較高的位移能量，使其對於游離輻射的起始劣化劑量甚至可高出競爭材料 GaAs 兩個數量級以上[14]；再者，過往的研究也指出，GaN 材料的輻射損傷效應與輻射類型、劑量和能量、以及 GaN 材料中的載子密度、雜質含量和缺陷密度有關[15, 16]，使得以 GaN 材料所製成的電子元件之輻射響應又變得更為複雜，除了與材料特性有關之外，也與元件結構及輻射種類都有密切的關係。雖然 SiC 與 GaN 電子元件在理論與本質上已被推定可具有較優異的輻射耐受性，但相較於 Si 基元件，使用 SiC 與 GaN 材料所製成的電子元件之輻射效應的相關研究仍然有限且不夠完整。有鑒於此，本研究將先針對 SiC 與 GaN 等寬能隙材料與元件的輻射效應研究現況進行先期評估，以瞭解其輻射響應及劣化機制，並比較其與 Si 基元件之差異。此外，因應未來建構電子元件測試平台之需求，本研究也將針對國際上廣泛採用的測試標準進行研析，以先行建立重要輻射特性的測試流程並進行設備資源的可行性評估。在此先期評估研究所建構的基礎之下，預期未來將更有機會進一步地強化寬能隙材料與元件的輻射特性驗證與測試相關的研究能量，以實際評估其在航太科技領域及其它高輻射場域的應用潛力。

表 3.1、各類寬能隙半導體與 Si 材料之本質特性比較

Property	Si	GaAs	6H-SiC	4H-SiC	GaN	Diamond
Bandgap, E_g (eV)	1.12	1.43	3.03	3.26	3.45	5.45
Dielectric constant, ϵ_r^a	11.9	13.1	9.66	10.1	9	5.5
Electric breakdown field, E_c (kV/cm)	300	400	2,500	2,200	2,000	10,000
Electron mobility, μ_n (cm ² /V·s)	1,500	8,500	500 80	1,000	1,250	2,200
Hole mobility, μ_p (cm ² /V·s)	600	400	101	115	850	850
Thermal conductivity, λ (W/cm·K)	1.5	0.46	4.9	4.9	1.3	22
Saturated electron drift velocity, v_{sat} ($\times 10^7$ cm/s)	1	1	2	2	2.2	2.7

^a $\epsilon = \epsilon_r \cdot \epsilon_0$ where $\epsilon_0 = 8.85 \times 10^{-14}$ F/cm.

圖 3.1

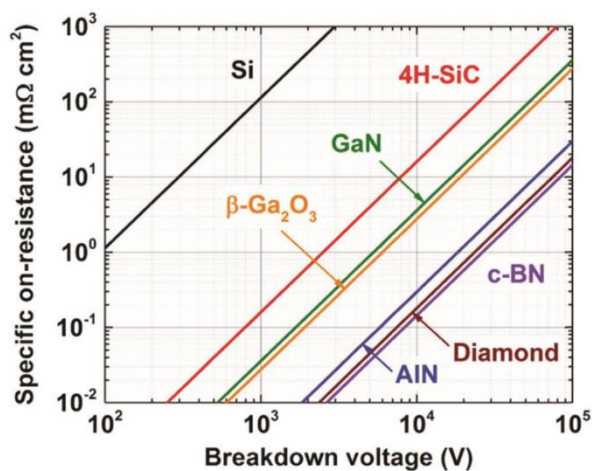


圖 3.1、各類材料所製成的功率元件之特性比較

圖 3.2

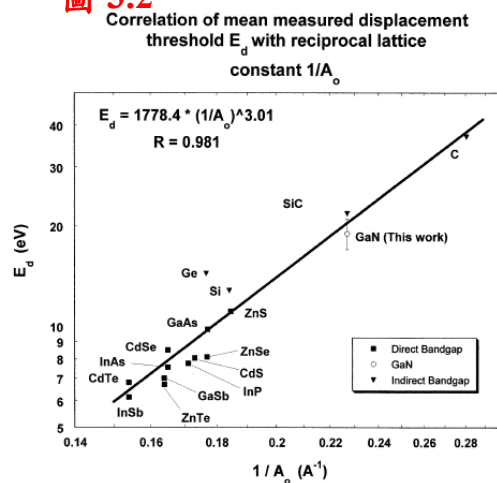


圖 3.2、原子位移能量隨晶格常數之變化

貳、研究方法與過程

一、抗輻射之新興記憶體元件開發

隨著科技日新月異，人工智慧與神經網絡的快速發展，時時刻刻都有巨量的數據被產生並等待著進一步運算，以進行資訊判讀或決策判斷。如此巨量的資料也意味在處理數據上需要耗費大量的運算資源，尤其是目前建構在馮諾伊曼(von Neumann)架構的計算機在進行運算時，數據資料必須在運算單元與記憶單元間進行反覆的傳輸，不僅限制整體效率與計算時間，無法滿足實際即時應用情境，更造成大量的能量消耗，這是因為反覆資料傳輸限制了效能提升，造成所謂的「記憶體牆(memory wall)」瓶頸。有鑑於此，新一代兼具運算與儲存功能的新興記憶體元件(emerging memory)，如電阻式記憶體(Resistive RAM, RRAM)、相變化記憶體(Phase Change Memory, PCM)、磁阻式記憶體(Magnetoresistive RAM, MRAM)與鐵電記憶體(FeFET)均具備實現相關的能力，是突破運算瓶頸的關鍵技術。不過相對於其他種類的新型態記憶體，基於 HfO_2 之 FeFET 鐵電記憶體由於在製程相容性、元件效能與功率消耗方面極具有競爭優勢，近年來引起學界與業界的高度矚目。除了在未來高效能運算上具有發展潛力，與傳統建構在儲存電子之記憶體相較之下，FeFET 鐵電記憶體亦具有極為優異的抗輻射能力，整合其低功耗的特性，非常適合應用於太空任務中的酬載電腦，畢竟在太空嚴苛的環境中，除了高輻射劑量的挑戰外，能源取得也是相當珍貴的，故低功耗的元件是必要的條件之一。

本團隊是文獻上率先報導 FeFET 鐵電記憶體抗輻射(^{60}Co γ -ray)能力的團隊，後續也有相當多的文獻進行相關的研究。整體而言，基於 HfO_2 之鐵電材料本質上並不容易因為照射輻射而產生劣化，而是

與其他材料的介面處，如鐵電材料與半導體基板或與金屬電極間的介面處，容易發生輻射損傷，造成更多的缺陷如懸浮鍵(dangling bonds)或氧空缺，因而造成可靠度，尤其是 endurance 隨輻射劑量增加而明顯劣化，甚至失效。針對 FeFET 鐵電記憶體在面對高輻射環境下的挑戰，本計畫將以 HfZrO_x (HZO)鐵電層為基礎，透過 5 個研究方向提升抗輻射性並掌握太空環境中輻射其他輻射源的損傷機制。

- (1) 導入不同介面層製作鐵電記憶體
- (2) 以 p 型通道完成鐵電記憶體製作
- (3) 開發金屬電極材料製作鐵電記憶體
- (4) 以施加脈衝電壓方式進行輻射損傷後之修復
- (5) 以質子束作為輻射源探討鐵電記憶體之輻射損傷機制

以下為各研究項目的研究方法與分析方式:

(1) 導入不同介面層製作鐵電記憶體

由於 FeFET 鐵電記憶體是製作於半導體基板之上，鐵電層與半導體基板間的介面品質影響元件之可靠度甚鉅，其原因在於基於 HfO_2 之鐵電層與半導體接觸時無可避免的介面反應，使得提升 FeFET 記憶體之 endurance 更具有挑戰性。以矽晶半導體基板為例，基於 HfO_2 之鐵電層在結晶回火的過程中形成鐵電晶相而使介電常數提高至 25，於此同時，鐵電層與矽基板之間也會產生介電常數 3.9 的 SiO_x 介面層。根據電位移場(electric displacement field)須保持連續性的特性，鐵電層電場(E_F)與介面層電場(E_{IL})需滿足下列關係式。此關係式也意味鐵電層的飽和極化值(P_s)越大反而會造成 IL 承受更高的電場，不利於 endurance 表現。以 E_F 約等於 E_c (1 MV/cm)估算，當 P_s 大於 $5 \mu\text{C}/\text{cm}^2$ 時， E_{IL} 將大於 20 MV/cm，極化量越大， E_{IL} 越大，

也會越接近介面層崩潰的電場。因此 FeFET 記憶體的 endurance 通常不是由鐵電層本身決定，而是被介面層特性所限制。

$$D = \varepsilon_0 \varepsilon_F E_F + P_S = \varepsilon_0 \varepsilon_{IL} E_{IL} \quad (1)$$

在不同閘極偏壓的極性下，SiO_x 介面層的高電場會導致電荷易於由閘極金屬或矽通道注入，反覆操作下會發生介面陷阱產生 (interfacial trap generation) 或電荷捕獲 (charge trapping) 效應，前者導致 FeFET 記憶體元件之次臨界擺幅 (sub-V_{TH} swing) 劣化，而後者則會造成 V_{TH} 的偏移，兩者均會使記憶視窗縮小，不利於元件持續操作 [33]。

從本團隊近年來的成果可發現介面品質的強化即是導入鐵電層與半導體基板間之介面層並具備 3 個重要的條件：❶ 熱穩定性高，避免於結晶回火製程中產生反應、❷ 介電常數高，避免施加操作電壓時過高比例的分壓落於介面層上，造成介面層易於崩潰 ❸ 整體厚度薄，提高介面層之串聯電容之電容值，降低介面層之分壓，減少介面層崩潰機率。同時滿足上述條件也意味有更高成分的電壓會落於鐵電層，而非介面層上，對於提升記憶視窗有相當大的助益。此外，記憶視窗的提升以意味著具有承受更大 endurance 衰減的能力。基於上述的條件，本團隊於 2020 年 Symp. VLSI Technology 提出的創新的 AlON 介面層 [19]，不僅在低操作電壓下記憶視窗高達 3.1 V，大幅超越 SiO₂ 與 Al₂O₃ 介面層。另外，高達 13 % 氮元素含量則有助於強化 AlON 與 Si 之鍵結，提升熱穩定性，且因為 valence band offset 較大使電洞捕獲 (hole trapping) 效應顯著下降，因此，如圖 1.7 所示，無論是直流掃描 (DC sweeping) 或使用脈衝 (pulse) 進行極化，其記憶視窗幾乎不受影響。而較佳的介面特性亦使漏電流下降，因此元件具有更佳的 retention 能力，如圖 1.8 所示，在 10⁴ 秒後仍舊相當穩定，預

測 10 年後的記憶視窗僅微幅縮減。此外，由於高介電常數材料有助於減少介面層分壓，因此可降低脈衝操作對介面層的破壞，如圖 1.9 所示，在施加長達 100 μ s 脈衝條件下，經過 10^5 次反覆操作後元件仍能正常運作，與 SiO₂ 介面層元件相比，endurance 表現增加了一個數量級。

圖 1.7

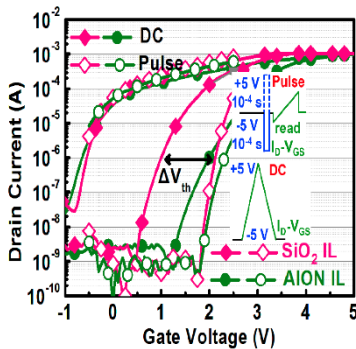


圖 1.8

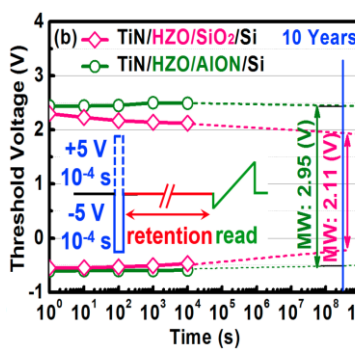


圖 1.9

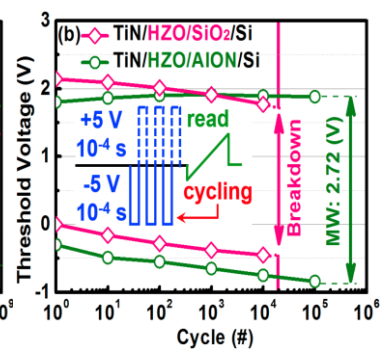


圖 1.7、具備不同介面層之 FeFET 鐵電記憶體在 DC sweeping 或 pulse 操作下之電壓-電流特性比較

圖 1.8、具備不同介面層之 FeFET 鐵電記憶體之 retention 表現比較

圖 1.9、具備不同介面層之 FeFET 鐵電記憶體之 endurance 表現比較

在此基礎之上，本計畫將從 2 個方向持續探索介面層品質的進一步提升，包括(a)增加 AlON 介面層之 N 含量以提高介電常數與(b)以電漿直接氮化矽晶基板形成 SiN_x 以降低介面層厚度。

(a) 增加 AlON 介面層之 N 含量以提高介電常數

本項目將嘗試含 N 量更高的 AlON，期盼藉由提高 N 含量增加介電常數，進一步提升記憶體元件效能。增加 N 含量除了可以提高介電常數，亦有可能提升 HZO 鐵電層的極化量，這是因為鐵電層特性與下方材質的種類有極大的關聯性。本團隊先前的研究亦發現以含 N 量為零的 Al₂O₃ 作為介面層，雖然與 SiO₂ 相較之下其介電常數

明顯提高，但 HZO 鐵電層之極化量卻不如沉積於 SiO_2 介面層之 HZO 鐵電層。造成此現象的機制尚待進一步釐清，但初步推論是 AlON 與 Al_2O_3 之間的表面能量(surface energy)差異導致 HZO 鐵電層整合 AlON 在結晶後其晶粒方向較為一致，使得電偶極更容易藉由外加電壓極性調變方向，亦即摻入 N 之後是有益於使鐵電層晶粒方向更趨於一致化。由上述分析可以確認在介面層的選擇上，不僅要具備高介電常數，此介面層對於 HZO 鐵電層特性的影響也必須考量，而提高 AlON 的 N 含量是一項極具可行性的選項。為了實現含 N 量更高的 AlON，本團隊提出以下兩種製程方式，探討 N 含量對於鐵電記憶體效能與可靠度的影響。

● 以調變 NH_3 電漿製程條件提高 AlON 之 N 含量

本團隊在 2020 年 Symp. VLSI Tech. 所提出的 AlON 是在 ALD 製程環境下，透過 NH_3 電漿、 O_2 與 TMA 反應沉積而成，其 N 含量為 13 % [19]，本項目將以延長 NH_3 電漿製程時間與功率的方式增加 AlON 的 N 含量。

● 以沉積 AlN 並以後續 O_2 電漿氧化實現高 N 含量的 AlON

除了上述方法，本團隊亦將嘗試在 ALD 的製程環境中先以 NH_3 電漿與 TMA 反應沉積 AlN 薄膜，再以後續 O_2 電漿氧化 AlN 形成 AlON。由於 AlN 以具有高 N 含量， O_2 電漿製程可將適量的氧自由基(radicals)導入，形成 Al-O 與 N-Al-O 鍵結，實現高 N 含量的 AlON。

(b) 以電漿直接氮化矽晶基板形成 SiN_x 以降低介面層厚度

文獻曾報導對製作於矽晶圓上之 HfO_2 閘極氧化層而言 [34]，若對矽晶圓表面進行 NH_3 氮化處理，則可以抑制漏電流並增加氧化層崩潰電壓之韌度。主要原因在於施以表面氮化處理可以有效地抑止

氧化層/半導體間的介面反應。根據此結果，本項目將藉由 ALD 機台中的 NH_3 或 N_2 電漿對矽晶圓進行氮化處理，透過調變電漿製程的功率、時間與溫度成長具有高濃度 N 含量之 SiN_x 介面層。由於氮化處理所形成的 SiN_x 介面層其厚度會自我限制至低於 1 nm 的厚度，且在高濃度 N 含量之下具有相當優異之介電常數，因此非常適合應用至 FeFET 記憶體之介面層。預期矽晶圓經氮化處理後的 FeFET 記憶體元件可以減少介面反應、降低懸浮鍵與氧空缺密度，進而提升鐵電層品質與可靠度表現。此外，亦有機會藉由分壓的調變使得記憶視窗提高，實現多位元儲存，增加儲存密度。

目前文獻上較為相近的研究是以 SiON 薄膜為介面層，其製程是以濕式化學方式先成長 SiO_2 薄膜並在 NH_3 氣環境下進行第一階段回火，之後再以 O_2/N_2 的混和氣體進行第二階段回火[35]。雖然其可靠度比起傳統 SiO_2 更為優異，不過由於製程的因素，其厚度達 1.8 nm，且因為是 SiON 介面層，介電常數仍有待提升，因此該製程所對應的記憶視窗僅 0.9 V。與文獻的製程相比，本計畫提出的 NH_3 或 N_2 電漿氮化製程，不僅 N 含量高可以提升介電常數，且厚度可以控制在 1 nm 之下，更重要的是可以與 HZO 製程整合在同一 ALD 製程機台完成，無須進行破真空的流程，因此更具有發展潛力，是相當值得的嘗試。

(2) 以 p 型通道完成鐵電記憶體製作

從本團隊過去的研究成果顯示 p 型通道 FeFET 鐵電記憶體已被證實比 n 型通道元件具備更優異的可靠度與抗輻射表現。為了進一步提升鐵電記憶體的效能，本項目將研究以 Ge 磊晶層實現 p 型通道鐵電記憶體。以 Ge 作為 p 型 FeFET 鐵電記憶體的通道材料主要有

2 項優勢，包括(1) Ge 能帶較小，具有大量自由載子的特性，能夠有效屏蔽極化電荷，有助於穩定鐵電疇。(2) Ge 之熱膨脹係數較低，與 HZO 接觸時可在回火時提供拉伸應變，使 HZO 鐵電層更傾向結晶成具鐵電特性的 orthorhombic 晶相(o-phase)。因為這些特性，Ge 已應用至具有超陡峭次臨界斜率(steepest slope)之鐵電(負電容)電晶體、鐵電穿隧接面記憶體(FTJ)與神經型態運算中的突觸元件(synaptic device)。儘管如此，以 Ge 為通道之 FeFET 鐵電記憶體仍在初步發展的階段，鮮少有相關研究。目前文獻上僅有的 Ge FeFET 鐵電記憶體其記憶視窗只有 0.78 V [36]，與使用 AlON 做為介面層 [19] 之 Si FeFET 鐵電記憶體的 3.1 V、使用疊層結構(laminate) [37] 的 2.6 V 與使用較厚鐵電層 [38] 之 Si FeFET 鐵電記憶體 2.9 V 相比，仍有很大的改進空間。提高 Ge FeFET 鐵電記憶體記憶視窗最大的挑戰在於 Ge/HZO 之介面品質及後續的電荷捕獲效應，而電荷捕獲效應則會抵消鐵電效應造成記憶體效能劣化。因此若有機會克服這項限制，則 Ge FeFET 鐵電記憶體將兼具高驅動電流與高記憶視窗，極具有抗輻射的潛力。

值得一提的是，儘管文獻上報導 Ge 半導體與 HZO 鐵電層間幾乎不存在介面反應，因此預期可以有效抑制氧空缺或介面缺陷的產生，這對於改善 endurance 表現將有正向影響。然而實際的狀況卻是從 TEM 雖然觀察不到任何介面層，但這並不保證優異的電特性，尤其是這種看似 Ge 與 HZO 沒有反應的乾淨的介面，實則存在著高介面態(interface states)，導致費米能級被釘住(Fermi level pinning)，從而導致元件失效。有鑑於此，導入一層介面層對 Ge 半導體表面進行鈍化(passivation)減少懸浮鍵(dangling bonds)對電特性的衝擊是一般 Ge

MOSFET 普遍採用的製程方式，而 GeO_2 則是常見用來進行表面鈍化的介面層。將 GeO_2 介面層導入 Ge FeFET 記憶體需要特別注意的是熱預算需要高到足以使 HZO 結晶成鐵電相，但也不能太高，以免 GeO_2 分解成具揮發性的 GeO ，破壞介面品質。

基於上述的背景介紹，本項目將導入創新的熱製程技術與介面層，突破 Ge FeFET 記憶體的限制，預期可以獲得具有強健可靠度、高記憶視窗與優異抗輻射性的 p 型 FeFET 記憶體。

(3) 開發金屬電極材料製作鐵電記憶體

關於鐵電記憶體之開發，探討鐵電層中摻雜雜質種類/濃度對記憶體效能的影響已有相當廣泛的報導，但不同的上電極材料對於鐵電記憶體特性會有何種影響卻鮮少有相關報導。由於上電極材料與鐵電層結晶所需的應力有高度關聯，預期對於記憶體效能也會有關鍵的影響，因此是相當值得探討的主題。文獻曾報導使用 TaN 做為鐵電電容的上電極，可獲得高達 $35 \mu\text{C}/\text{cm}^2$ 的 P_r 表現，與傳統的 TiN 上電極相較之下，有相當大幅度的改善，此結果主要是因為 TaN 更有利基於 HfO_2 之鐵電層結晶成 o-phase [39]。較高的 P_r 預期可以有效控制更多通道中的載子濃度，將有益於提升記憶視窗。此外，若採用 TaN 作為上電極也可以獲得較高的 E_c 值，依照理論公式的推估，記憶視窗正比於 E_c ，亦可預期記憶視窗可透過電極材料而獲得提升。不論是因為 P_r 或 E_c 導致記憶視窗提高，都有助於改善抗輻射能力，畢竟較高的記憶視窗可容許較嚴重輻射損傷引發的衰減。儘管如此，以 TaN 做為 FeFET 鐵電記憶體上電極仍有其他面向的議題需要特別考量，尤其是太空環境下最重視的可靠度。與 TiN 電極相較之下，TaN 更容易在金屬與鐵電層的接觸面生成氮氧化物，這將使得鐵電

層內的氧空缺數量提高，進而造成鐵電元件的耐久度劣化。以文獻上鐵電電容而言，如圖 1.10 所示，在反覆操作下，採用 TaN 電極比 TiN 電極更容易發生喚醒效應(wake-up effect)，這也是由於前述 TaN 金屬與鐵電層接觸產生介面反應，生成氧空缺，進而使得鐵電疇發生釘扎的機會大幅的增加，故對於 FeFET 鐵電記憶體的電極選用方面，還需要更全面且深入的研究。除了 TaN 上電極外，也有研究團隊以 W 做為金屬上電極進行研究，其中發現 W 材料的熱膨脹係數較 TiN 與 TaN 材料來的更小，因此能使得鐵電層的應力由壓縮應力轉變為拉伸應力，進而能獲得更佳的 o-phase 的結晶性[40]，所以採用 W 做為上電極亦有機會藉由 P_r 提升增加記憶視窗，不過其對於 E_c 以及可靠度特性，尤其是抗輻射能力的評估都有待進一步的分析。

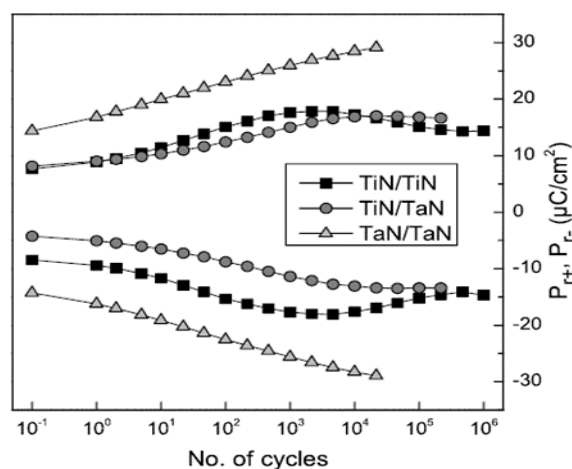


圖 1.10、不同電極材料對於鐵電電容元件耐久性的影響

(4) 以施加脈衝電壓方式進行輻射損傷後之修復

本計畫的輻射損傷測試除了對未經操作之 FeFET 鐵電記憶體元件(pristine device)進行測試外，也將對已經反覆操作 10^4 次後的元件(cycled device)進行測試，分析事先操作與否對於輻射損傷的影響。除此之外，文獻指出若鐵電電容元件於低電場下進行反覆操作，使

dipole 進行頻繁的部分切换(partial switching)，在這種所謂的 sub-cycling 操作下， P_r 雖然仍會隨操作次數而衰減，但非常特別的是這類極化量的衰減現象是可以藉由高電場操作數次(10^3 次)而產生「回春(rejuvenation/recovery)」現象，如圖 1.11 [41]與圖 1.12 [42]所示。這個現象不約而同在 2021 年的 Symp. VLSI Technology 由兩個不同的團隊分別報導，甚至發現可以使 endurance 延伸 10^5 倍，其機制被證實與 electron de-trapping 有關。儘管如此，而這項「回春」的技術目前尚未應用在 FeFET 鐵電記憶體，是相當值得投入的研究領域。基於上述的研究背景，本項目將對輻射照射後的 FeFET 鐵電記憶體進行 sub-cycling 操作，當發生極化量衰減時即採用較大的電場進行「回春」測試，至於採用的電場數值與需要反覆操作幾次方能順利「回春」則是本項目的重點。而本項目研究的主要意義在於若日後將 FeFET 鐵電記憶體應用於高輻射環境的太空任務，一旦極化量隨操作次數而衰減，透過本技術仍有機會進行修復，進而延長記憶體的使用次數。

圖 1.11

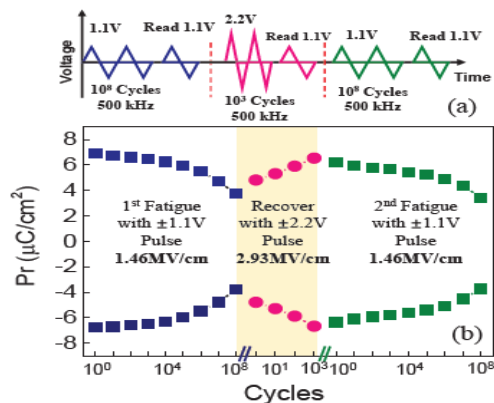


圖 1.12

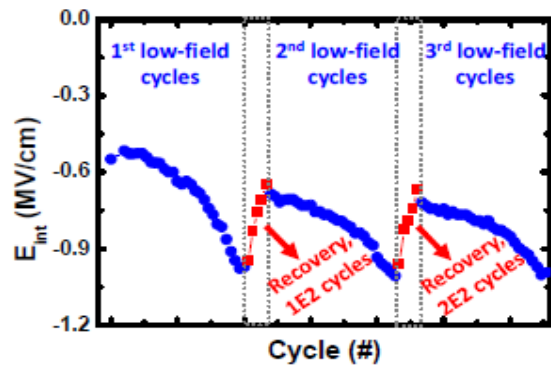


圖 1.11/圖 1.12、當鐵電電容元件 P_r 值/內建電場(E_{int})隨操作次數衰減時透過較大電場操作而產生回春現象

(5) 以質子束作為輻射源探討鐵電記憶體之輻射損傷機制

如前述背景說明，由於低軌衛星在運行時，其內部的電子元件所承受的輻射主要還是以質子為主，因此除了探討 ^{60}Co γ -ray 輻射源造成的輻射損傷，本項目亦將以質子束作為輻射源探討鐵電記憶體之輻射損傷機制。欲進行此研究，首先需要建構適合電子元件進行質子束照射的環境。本項目將以原子能委員會核能研究所提供的迴旋加速器系統(cyclotron system)為主，該系統可使質子加速至穩定能量，其規格最高可提供 30 MeV 的質子能量。本團隊將藉由鋁片作為質子降能器(degrader)使質子能量下降至實驗目標所需之能量，並且利用一系列檢測器材進行實際照射實驗前的射束監控量測，例如閃爍體偵檢器(scintillator detector)、法拉第杯(Faraday cup)、二次電子監控(secondary electron monitors)等，以確保當前所照射之質子能量、流量(fluence)、均勻性皆滿足實驗需求，最後再實際以基於 HZO 之 FeFET 鐵電記憶體元件進行質子束照射實驗。圖 1.13 與圖 1.14 是質子束照射平台與 FeFET 鐵電記憶體元件之結構圖。

至於實驗目標所需能量則是以太空中低軌道衛星所承受之質子輻射 10 MeV 能量為實驗基準(以 Van Allen 輻射帶內層的質子能量約 10 MeV 估算)，固定質子通量(flux)為 8.33×10^{10} ions/cm²/s，使鐵電記憶體元件試片分別照射 10 分鐘與 50 分鐘的質子劑量，總共獲得 5×10^{13} ions/cm²、 2.5×10^{14} ions/cm² 之質子流量(fluence)。隨後再與未經過質子照射之試片進行比較，探討質子輻射對於 FeFET 鐵電記憶體元件特性所造成的 TID 影響，分析元件的效能與可靠度表現並藉由物性/電性的量測提出元件效能受影響的主要機制，尤其是 FeFET 鐵電記憶體反覆操作下的 endurance 表現如何受到質子輻射

的影響是討論的重點，藉此分析進一步評估鐵電記憶體應用於太空衛星的可行性與潛力。

圖 1.13

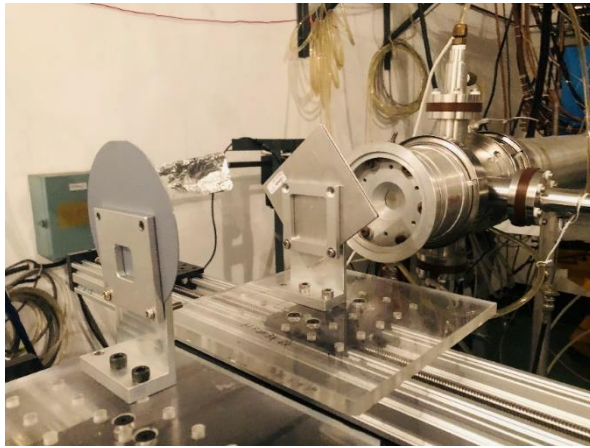


圖 1.14

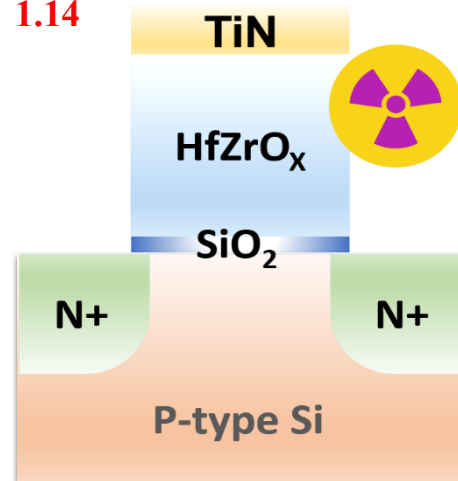


圖 1.13、質子束照射平台

圖 1.14、接受質子束照射之 FeFET 鐵電記憶體元件結構圖

二、抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究

本研究製作 MOSFET、FinFET、Flash 元件，製程說明如下，輻射照射使用清大原科中心鈷六十，探討總劑量效應。

(一) MOSFET、FinFET 製作

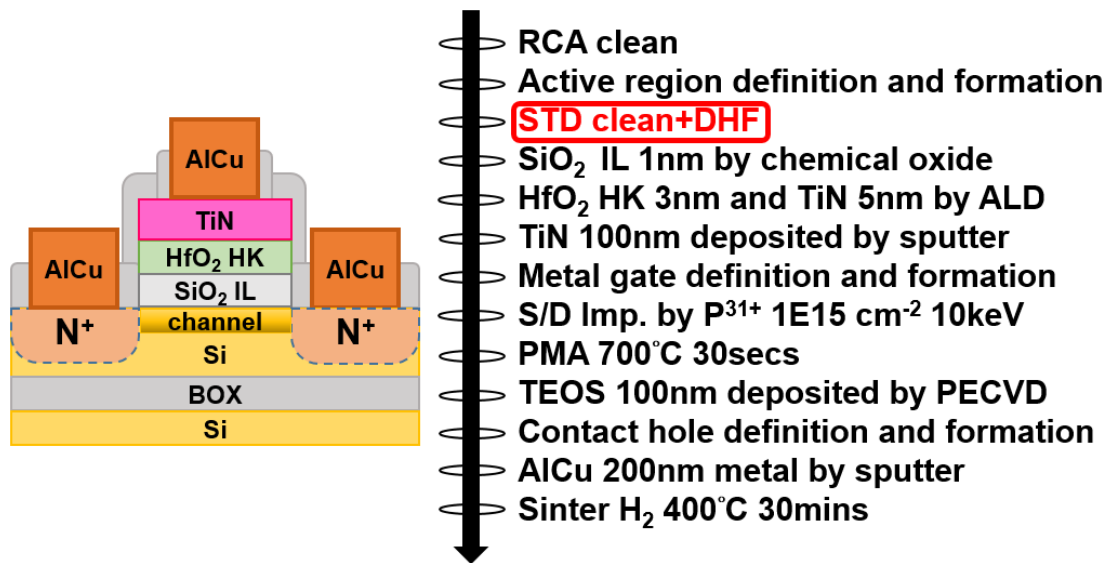


圖 2-3、元件製程結構與流程圖

如圖 2-3，閘極與隔離氧化層是影響場效電晶體元件電特性的主要部分，而其界面製程工程是關鍵技術。本研究使用原子層沉積 (ALD) 製程配合 in-situ NH₃ 之電漿處理成長特性很好的界面層 SiON，再成長 HfO₂，閘電極使用 ALD-formed TiN，以此優化閘堆疊進行鰭式場效電晶體元件製作。在形成主動區之後，所有樣品進行 RCA clean，以 H₂O₂ 溶液進行界面氧化層的成長，溫度為 75°C 時間 600 秒。接下來送入 ALD 疊 HfON，製程中在每個堆疊週期間有使用氮氣電漿做原位處理，堆疊厚度為 3 nm。使用物理氣相沉積 (PVD) 沉積 100 nm 的氮化鈦作為金屬閘極，使用微影製程還有 TCP9600 電漿蝕刻定義出主動區。閘極被定義與蝕刻後，樣品被送去進行離子佈植將磷打入，佈植為能量 30 keV，摻雜劑量為 $5 \times 10^{15} \text{ cm}^{-2}$ ，再用 750 °C 30 秒的金屬快速熱退火 (MRTA) 活化源極和汲極。用電漿增強式化學氣相沉積 (PECVD)，最後經由黃光微影製程與蝕刻，將接觸點位置挖空。用物理氣相沉積的方式沉積鋁矽銅作為接觸點，經微影蝕刻後送進水平爐管做 400 °C、30 分鐘的燒結，完成 FinFET 製作。

(二) 三面閘極 (Tri-Gate) 無接面式 (JL) 通道 Flash 元件

三面閘極無接面(junctionless, JL)通道元件快閃記憶體元件是製備在電阻值 8~12 $\Omega\cdot\text{cm}$ 的六吋矽晶圓上，且本實驗的元件皆採用三面閘極無接面通道元件之製程進行製備。

首先，使用雷射刻號機將所有的矽晶圓進行刻號，用於將來辨識不同製程條件下的晶片，再以 SC1 做雷射刻號清洗，利用氨水 (NH_4OH) 溶液去溶解雷射刻號時所產生的微粒，以及吸附在晶圓表面的有機汙染物。接下來使用水平爐管依序沉積前製片所需之薄膜，首先在 980 $^{\circ}\text{C}$ 的常壓環境下 (Atmospheric Pressure chemical vapor deposition, APCVD) 進行濕式氧化法，藉由氫氧點火所產生的水汽與矽基板反應生成 100 奈米 (nm) 的二氧化矽；接著使用低壓化學氣相沉積法 (Low-pressure chemical vapor deposition, LPCVD)，在 780 $^{\circ}\text{C}$ 的環境下反應生成 50 奈米 (nm) 的氮化矽，這兩層薄膜做為緩衝的絕緣層，前製片自此完成，如圖 2-4(a) Poly-Si 薄膜下方疊層所示。

前製片完成後，於水平爐管 560 $^{\circ}\text{C}$ 的環境下，使用低壓化學氣相沉積法 (LPCVD) 沉積 100 奈米 (nm) 的非晶矽 ($\alpha\text{-Si}$)，再將晶圓送進爐管做固相結晶 (Solid-phase crystallization, SPC)，於 600 $^{\circ}\text{C}$ 的溫度下退火 24 小時形成多晶矽薄膜疊層所示。接著，將實驗樣品進行離子佈植，將磷 (P^{31}) 打入，且佈植為能量 30 keV，濃度 $1\times 10^{15}\text{ cm}^{-2}$ ，再使用快速升溫退火 (Rapid Thermal Anneal, RTA) 的方式，執行 900 $^{\circ}\text{C}$ / 30 秒的退火來活化植入的離子。然後，利用黃光微影製程定義一個平台，並透過反應式離子蝕刻技術 (Reactive Ion Etching, RIE) 大約蝕刻 60-70 奈米 (nm) 左右的深度，形成如圖 2-4 (a)(b) 所示的平台。再使用水平爐管於 700 $^{\circ}\text{C}$ 的環境下以低壓化學氣相沉積法 (LPCVD) 沉積 50 奈米 (nm) 的四氧乙基矽酯氧化物 (TEOS Oxide)，並且直接蝕刻

後，於平台側壁處會有殘留的側壁空間(sidewall spacer)，目的是做為定義通道形狀的蝕刻阻擋層(hard mask)，另外會再以光阻覆蓋在源極與汲極(Source/Drain)上後，蝕刻 Poly-Si 剩餘未覆蓋的部分，並使用 50:1 的稀釋氫氟酸(DHF)以濕式蝕刻將側壁空間(sidewall spacer)的二氧化矽去除，形成元件所需之奈米線結構，完成主動區，如圖 2-5 (a)(b) 所示。

接下來，使用快速熱氧化 (Rapid Thermal Oxidation, RTO) 的方式，在 900 °C 的環境下進行 30 秒的氧化製程，成長約 3 奈米(nm)的二氧化矽作為穿隧氧化層 (Tunneling Oxide Layer)。後續則視實驗樣品設計的需求，分別沉積不同的介電層作為電荷儲存層 (Charge-trapping layer) 及阻擋氧化層 (Blocking Oxide Layer)；並使用物理氣相沉積法 (Physical vapor deposition, PVD) 沉積 100 奈米(nm)的氮化鈦 (TiN) 作為元件之金屬閘極，再利用黃光微影製程定義出閘極，且使用反應式離子進行蝕刻，完成閘極堆疊的部分，如圖 2-6 (a)(b) 所示。最後，使用電漿增強式化學氣相沉積法 (Plasma-Enhanced chemical vapor deposition, PECVD) 於元件上沉積 200 奈米(nm)的阻絕氧化層 (passivation)，再經由黃光微影製程與蝕刻技術，定義出接觸點的位置並掏空 (contact hole)；接著以物理氣相沉積 (PVD) 的方式沉積 300 奈米(nm)的鋁矽銅合金 (Al-Si-Cu) 作為接觸點 (contact)，並經微影蝕刻定義出 (metal pad)，如圖 2-7。之後送進水平爐管執行 400 °C / 30 分鐘的燒結 (sinter)，三面閘極無接面式通道快閃記憶體元件即完成，而實際成品以掃描式電子顯微鏡 (SEM) 得到上視圖，如圖 2-8。

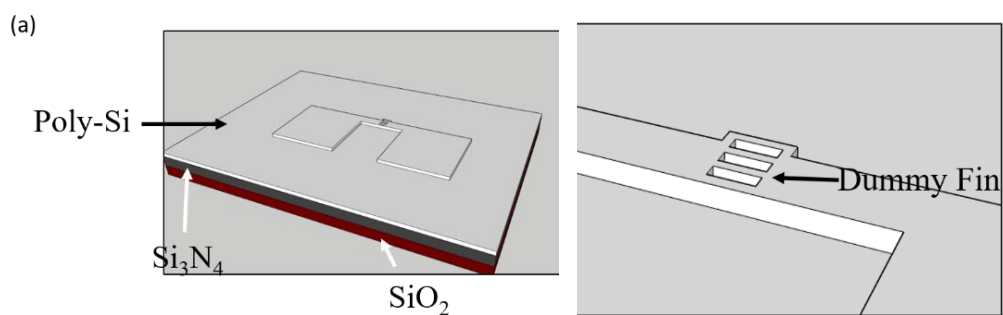


圖 2-4、奈米線式元件製程圖 (a) 經黃光微影製程與蝕刻定義源極與汲極位置 (b)圖形局部放大示意圖

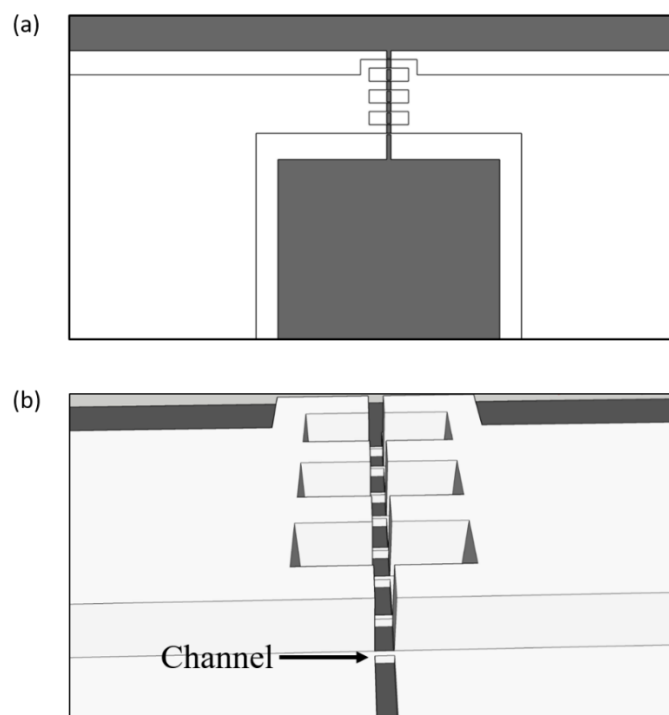


圖 2-5、奈米線式元件製程圖 (a)形成通道後元件上視圖 (b)通道形成後局部放大示意圖

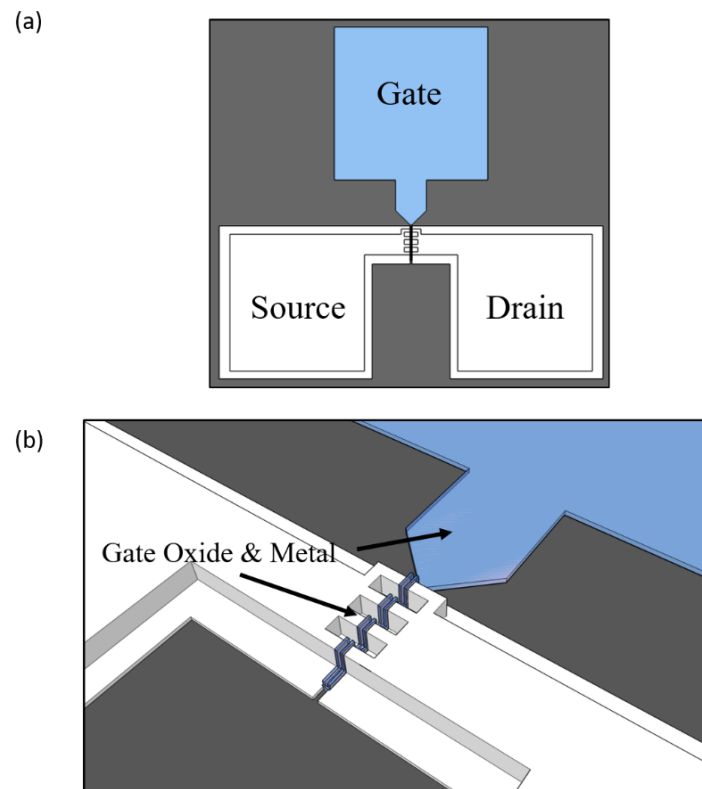


圖 2-6、奈米線式元件製程圖 (a)定義閘極後元件上視圖 (b)沉積且定義閘極後之局部放大示意圖

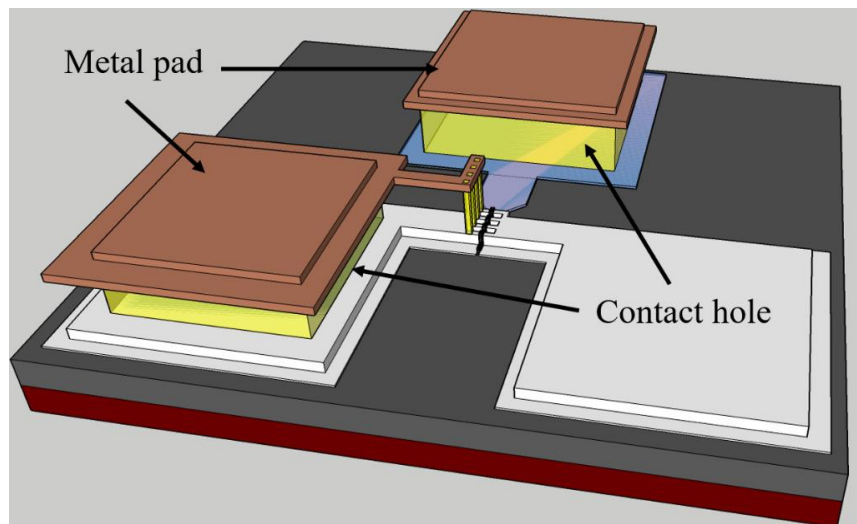


圖 2-7、奈米線式元件製程圖-元件後段金屬化定義示意圖

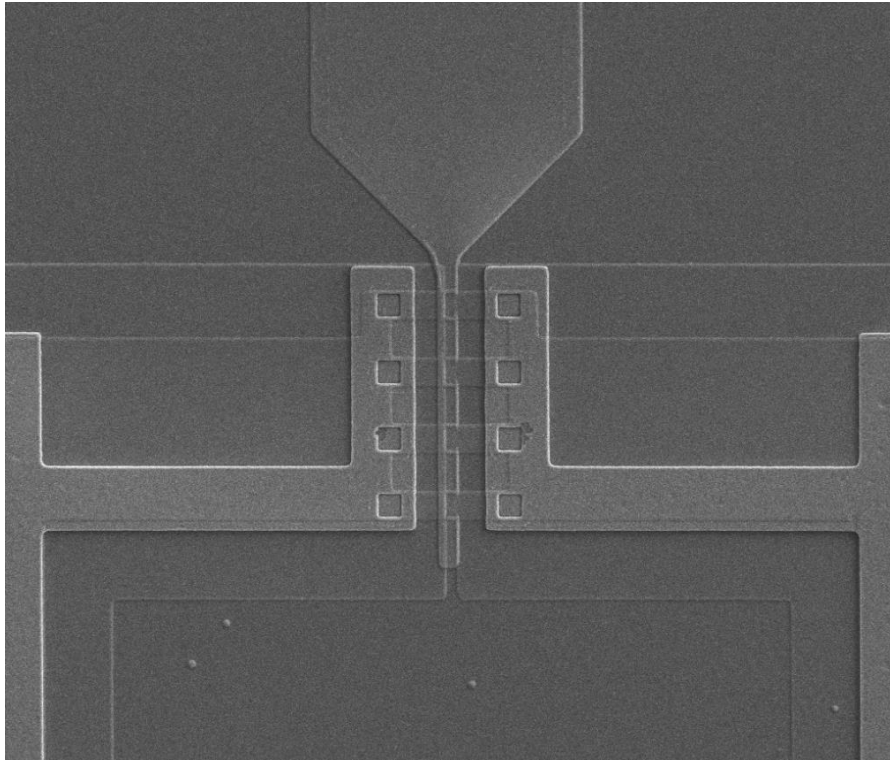


圖 2-8、奈米線式元件實際成品上視圖

三、下世代半導體材料與元件之輻射效應評估

目前寬能隙材料與元件之輻射效應相關研究大致以SiC與GaN兩類材料為主，近年亦有Ga₂O₃與diamond等更前瞻的材料應用被提出。為了探究寬能隙材料與元件的輻射效應，在本年度的研究中，我們僅就目前材料發展較為成熟的SiC與GaN兩類材料，完整地收集與分析其輻射效應相關的研究成果，以確實瞭解其作用機制與影響因子，並挖掘可持續探索的重要議題。另一方面，建構專屬於特定輻射效應的測試驗證平台也是未來計畫推展的重要目標，本研究也將藉由研析國際上所認可的測試標準，從中瞭解各類輻射效應的標準測試流程以及建構專屬測試平台所需的配套方案。以下即逐項說明本研究的研究方法與過程：

(一) 寬能隙材料與元件之輻射效應研析

1. 基本機制探討：由於輻射種類多元且特性迥異，欲分析電子元件受輻射影響的劣化行為，必須先確實瞭解輻射與各類粒子的作用機制。一般而言，高能輻射粒子進入電子元件之後，會經由與材料中的電子作用或原子碰撞來釋放其能量，部分較高能的粒子甚至會與材料中的原子發生核子反應而產生二次輻射。此能量釋放過程會造成電子元件內部的材料損傷，而損傷的影響大抵可依其作用機制分為游離損傷 (ionization damage)、位移損傷 (displacement damage) 及單一事件三類，而這些機制則是電子元件發生TID、DDD、SEE效應的主要原因。本研究首先將深入分析輻射損傷機制，並由此獲知其對於電子元件的主要影響及其可能造成的劣化問題。
2. SiC與GaN元件之輻射效應研析：由於新興的SiC與GaN寬能隙半導體元件在本質上具有較強的輻射抗性，國際上已有許多單位開始進行其輻射效應的相關研究，並可依其屬性大抵分為TID、DDD、以及SEE效應三類。SiC相關研究主要涵蓋SBD、MOSFET、JFET等類型的元件，而GaN則以近年廣受矚目的高電子遷移率電晶體 (HEMT) 元件為主。SiC元件的輻射效應研究涵蓋各類輻射源所誘發的TID與DDD效應，而GaN元件則大部分聚焦於電子、中子或質子等高能粒子所誘發的DDD效應，採用gamma rays的TID效應研究則相對較少。在SEE效應方面，由於市面上已有具備穩定特性的SiC商業量產元件，目前的研究以SiC元件居多，而GaN元件則因仍在新興發展階段，在SEE效應的研究上仍相當少見。本研究已廣泛地收集相關的文獻與研究案例，並依材料、輻射效應、輻射種類、測試方案、結果與重要結論等進行整理。

(二) SiC金氧半電容製作與TID輻射效應分析

1. SiC金氧半MOS元件製作：為預先評估寬能隙材料與元件之TID輻射效應，本研究先選擇發展較為成熟的SiC材料做為研究標的，並著手製備SiC MOSFET功率元件的基本組成單元SiC MOS電容元件。由於SiC MOSFET為目前商用市場相當普遍的商用元件，本研究在考量基板條件時，特別選用接近目前業界用於製備1200 V SiC MOSFET元件的基板與磊晶層規格，亦即在 n^+ SiC基板上成長輕摻雜 n^- SiC磊晶層，此磊晶層將作為載子的漂移區，其厚度與濃度攸關元件最終可達成之崩潰電壓，厚度愈厚或濃度愈低則其耐壓愈高但同時也會使得其導通電阻增加，考量基材參數時必須互相取捨，**圖3.3**所示即為本研究所使用的SiC基板的材料參數及MOS電容結構。電容結構的製作流程包含試片清洗、開氧化層成長、多晶矽沉積、電容正電極定義與蝕刻、以及背板電極蒸鍍等。此外，在完成開氧化層層生長之後，也特別進行氧化後退火，使用的退火氣體與退火溫度為 N_2O 、 $1250^\circ C$ ，此法過去已被證實可有效降低開氧化層與SiC磊晶層介面的介面陷阱。
2. Co-60 gamma rays照射：在完成SiC MOS電容元件製作之後，本研究將使用位於本校原科中心同位素業務單位的Co-60照射場進行SiC MOS電容元件的gamma rays照射，該照射場目前目前配有29,000 Ci與1,000 Ci之鈷-60氣動式射源各一組，可提供大範圍的輻射劑量率，**圖3.4**所示即為Co-60照射場的現場照片及針對各射源隨照射物與射源距離而變的劑量率，此劑量率為目前最新校正的數值，本照射場視需求約每1~2年會採用化學膠片進行劑量率校正。在照射實驗方面，本研究預計採用29,000 Ci Co-60射源，

並規劃於距離射源8 cm的位置進行電容元件的照射，照射條件將採劑量逐步累增的方式進行，預估的劑量率範圍為0 ~ 100 Mrad之間，而初期照射電容元件將維持在室溫且不施加偏壓的條件下進行。

3. TID效應特性分析：為了瞭解gamma rays輻射效應對於SiC功率元件操作特性的影響，針對伽gamma rays照射前後的SiC MOS電容元件必須進行電性量測分析。由於TID效應主要係為了評估累積劑量的影響，電容元件完成每一個個別劑量的照射之後，將於1~3天之內完成特性分析，以避免因室溫靜置的退火效應導致特性變異，其後則接續安排進行下一個劑量的照射。在TID效應特性分析方面，本研究將利用Keysight HP-4980A精準型LCR量測儀進行高頻電容-電壓 (C-V) 曲線的量測，藉此求得電容元件的平帶電壓 (flatband voltage, V_{FB}) 或氧化層捕獲電荷量隨照射劑量的變化。此外，本研究也將利用Keithley 595量測儀來進行電容元件的準靜態 (quasi-state) C-V曲線量測，由此即可依據高-低頻電容量測方法來推估電容元件的介面陷阱密度。圖3.5所示為本研究進行TID效應電性分析的針座及其周邊的量測儀器照片。

(三) 輻射效應標準驗證流程與測試平台評估

1. 輻射效應標準驗證流程研析：電子元件的輻射效應與輻射種類(如：gamma rays、中子、質子、重粒子等)及照射條件等具有高度的相關性；更重要地，不同材料及元件結構也呈現截然不同的輻射響應。電子元件輻射效應的測試牽涉相當多的變數，包括測試時使用的輻射源、元件種類、操作條件等，藉由建構標準驗證流程與測試平台，才可產出具代表性且可相互比較的結果。目

前，抗輻射能力的測試是許多航太特定商用電子產品在量產銷售前必備的測試項目，國際上也已有許多機構發布共同認可的測試標準，如美國國防部 (MIL-STD)、歐洲太空組件協會 (ESCC) 以及聯合電子元件工程委員會 (JEDEC) 固態技術協會等，相關的電子元件測試標準羅列如下：

- a. MIL-STD-750：Test Methods for Semiconductor Devices；
- b. MIL-STD-883：Environmental Test Methods for Microcircuits；
- c. JEDEC 234：Test Standard for the Measurement of Proton Radiation Single Event Effects in Electronic Devices；
- d. JEDEC 57A：Test Procedures for the Measurement of Single-Event Effects in Semiconductor Devices from Heavy Ion Irradiation；
- e. ESCC Basic Specification No. 22900：Total Dose Steady-State Irradiation Test Method；
- f. ESCC Basic Specification No. 25100：Single Event Effects Test Method and Guidelines。

上述的測試標準涵蓋了TID效應與SEE效應的標準測試流程，依其類別與章節編號羅列如下：(1) TID效應：MIL-STD-750 1017.1 (中子照射)、MIL-STD-750 1019.5 (穩態總劑量照射程序)、MIL-STD-883 1017.3 (中子照射)、MIL-STD-883 1019.9 (游離輻射測試程序)、ESCC 22900 (總劑量穩態照射測試方法)；(2) SEE效應：MIL-STD-750 1080 (單一事件事件燒壞 (Single Event Burnout，SEB) 和單一事件事件閘破裂 (Single Event Gate Rupture，SEGR) 測試)、JEDEC 234 (質子SEE效應測試標準)、JEDEC 57A (重離子SEE效應測試程序)、ESCC 25100 (SEE效應測試方法及指引)。

本研究將針對目前國際上認可的測試標準進行研析，瞭解進行TID效應與SEE效應測試的輻射照射程序、儀器需求、測試條件、量測方法等，藉此評估建構標準驗證流程與測試平台所需的資源。

2. 高能粒子輻照資源評估：電子組件與系統之輻射效應的測試有賴於建構完善的測試平台，包含可用以模擬輻射應用場域的輻射照射設施及可正確評估輻射效應的裝置與特性分析儀器。國內目前目前的輻射效應研究仍受限於輻射照射設施，特別是針對需要使用高能粒子誘發的SEE效應。本研究已依過往經驗評估國內外可使用的高能粒子照射資源，用以作為未來國內評估建構輻射效應測試平台的參考。**表3.2**所示即列出可進行高能粒子輻射效應的機構，並依可提供粒子、加速電壓或能量、可執行之輻射效應研究等進行評估。如表所示，目前國內可進行質子誘發SEE效應的設施為核研所及林口長庚醫院所擁有的迴旋加速器，另有部分國內外機構亦可提供較低能量的質子照射服務，然囿於能量限制，其餘設施僅能提供TID或DDD效應的相關研究。此外，本校另有全國唯一的清華水池式反應器 (Tsing Hua Open-pool Reactor, THOR) 中子源，THOR的爐心佈局示意圖如**圖3.6**所示，該設施目前配有十二根垂直照射管、BNCT治療使用的中子射束、以及水平射束，中子能譜的通量率與能量分佈隨不同的照射位置而有所差異，通量率範圍介於 $1 \times 10^6 \sim 1 \times 10^{13} \text{ n/cm}^2 \cdot \text{s}$ ，能量範圍則涵蓋由熱中子、超熱中子、以及快中子主導的中子能譜，除可進行TID與DDD效應的研究之外，未來或有機會可嘗試評估進行中子誘發SEE效應的相關研究。

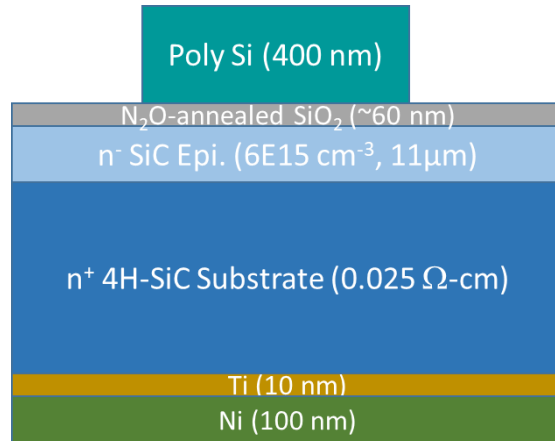
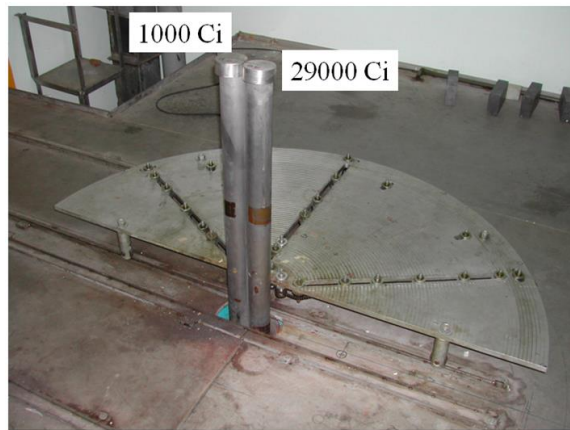


圖 3.3、SiC 基板的材料參數及 SiC MOS 電容元件結構



二根射源管

距離(cm)*	kGy/h	Gy/h
6.75	0.809	29.77
8	0.666	24.84
20	0.142	4.993
30	0.111	2.466
40	0.033	1.249
50	0.021	0.817
60	0.015	0.542
校正時間	2021/5/20	2021/5/21

* 指樣品在轉盤上與射源中心點距離
校正公式： $R = R_0 e^{-\lambda z}$

圖 3.4、本校原科中心 Co-60 gamma rays 照射場及其劑量率



圖 3.5、SiC 電容元件 TID 效應電性分析之設備與量測儀器

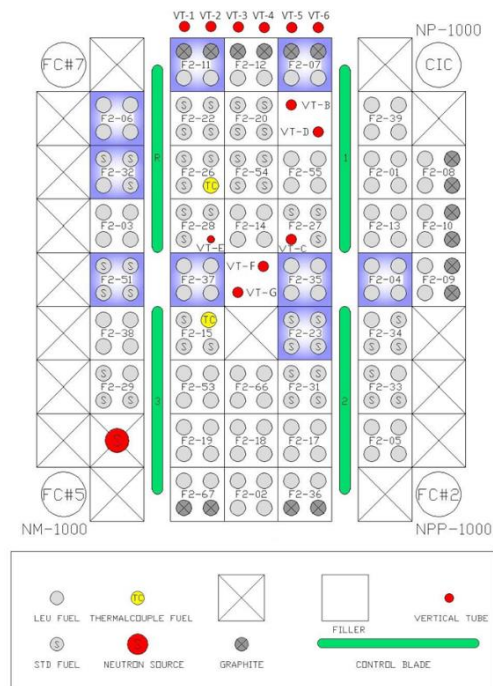


圖 3.6、THOR 中子源的爐心佈局

表 3.2、高能粒子輻照資源評估

設施或機構	可照射粒子	電壓或能量	TID/DDD	SEE	備註
9SDHII (清大原科中心)	H, B, C, O, F, Al, Si, P, Cr, Fe, Co, Ni, Cu, Ge	3 MV	√	×	
TR30 Cyclotron (核研所)	H	30 MV	√	√	
SHI Cyclotron (林口長庚醫院)	H	230 MV	√	√	
ULVAC IMX3500 (中央大學物理系)	Mg, Zn, P, C, Si, O, H, N, Be	200 kV	√	×	
Kroko Inc. (美國)	H, He, Li, Be, B, C, N, O, Mg, Al, Si, P, Ar, Ga, Ge	190 kV	√	×	
II-VI In. (美國)	Sb, As, B, P	500 kV	√	×	
中國科學院半導體研究所 (大陸)	氣體離子、Si、Ge、S、其它金屬或稀土離子	200 kV	√	×	
THOR (清大原科中心)	中子	0 ~ 10 MeV	√	Δ^*	*尚待評估

參、主要發現

一、抗輻射之新興記憶體元件開發

(1) 以 NH_3 電漿直接氮化矽晶基板形成 SiN_x 提高記憶視窗

本團隊已完成 NH_3 電漿直接氮化矽晶表面形成 SiN_x 之 FeFET 鐵電記憶體，其製程方式是在矽晶圓清潔後即在 ALD 機台以 NH_3 電漿進行表面處理，在不破真空的情況下繼續沉積 HZO 鐵電薄膜，並完成後續的鐵電記憶體製作。圖 1.15(a)顯示了 NH_3 電漿處理與否對於 HZO 鐵電層之 X 繞射(XRD)圖樣之影響(以同步加速器的 X 射線進行分析)，其中繞射圖樣在兩種製程條件下(有/無 NH_3 電漿處理)均在 18° 、 25° 、 30.5° 和 35° 展現了清晰的繞射峰，這些繞射峰對應的是具有鐵電性的 o-phase，這也意味兩者之均具有幾乎相同的鐵電特性，不受 NH_3 電漿處理的影響。儘管從 XRD 分析無法觀察到明顯得結晶狀態差異，不過從圖 1.15(b)的 X 射線光電子能譜(XPS)其 O 1s 光譜則可觀察到兩種製程條件的非晶格氧(Non-Lattice Oxygen, NLO)含量有顯著的差異，其中無 NH_3 電漿處理的試片其 HZO 內部之 NLO 達~33%，而進行 NH_3 電漿處理後此數值明顯降至~23%，這也可以間接反應 NH_3 電漿處理有助於抑制 HZO 內部的氧空缺數量，而這正是改善記憶體可靠度的關鍵。圖 1.16 (a)比較了 +6/-5 V 脈衝在 5 μs 脈衝寬度下的耐久度測試。從未測試前之記憶視窗初始值可看出有/無 NH_3 電漿處理之記憶視窗分別為 3.2 V 與 2.6 V，這顯示電漿處理所形成的 SiN_x 介面層比未經過電漿處理所形成的 SiO_x 更具有優異之記憶體效能，其機制則在於介電常數與分壓的差異。經過反覆的操作後，未經 NH_3 電漿處理的 FeFET 鐵電記憶體其記憶視窗隨著反覆操作的次數增加而迅速衰減，並在 10^5 次操作後完全失效。相較之下，具有 NH_3 電漿處理的 FeFET 鐵電記憶體其記憶視窗在 10^6 次操作後

仍能保持 1.7 V，顯示對於可靠度的提升有明顯的效益。此外，如圖 1.16(b) 所示，NH₃ 電漿處理亦可提升電偶極的切換速度。一般認為，極化切換涉及轉向的鐵電疇成核(nucleation of reversed domain)，然後是鐵電疇成長，其中包括去釘扎(de-pinning)步驟。通常，氧空缺會形成鐵電疇壁的釘扎點(pinning point)並阻礙鐵電疇的成長，進而使電偶極切換速度發生劣化。對於 NH₃ 電漿處理的試片而言，由於高溫退火期間 HZO 和 Si 之間的反應因為 SiN_x 之形成而受到抑制，HZO 之氧空缺數量可以顯著降低，故擁有更高的記憶體操作速度[43]。

圖 1.15

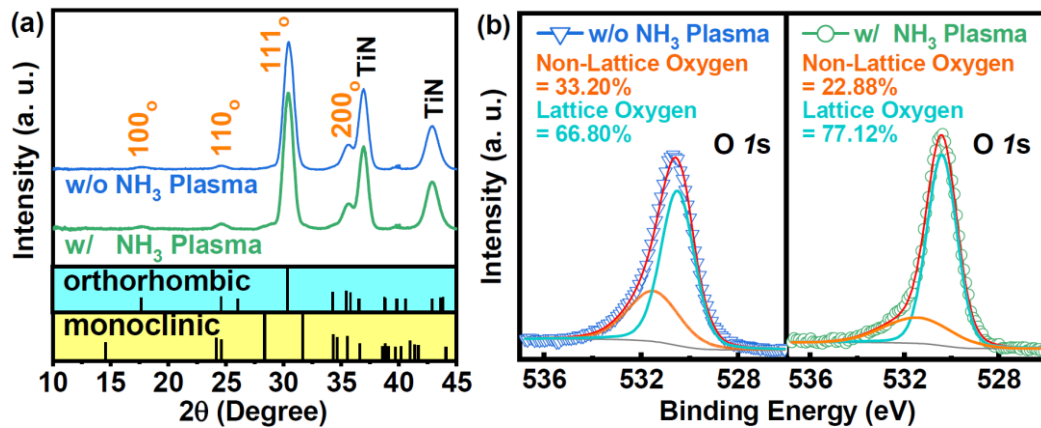


圖 1.16

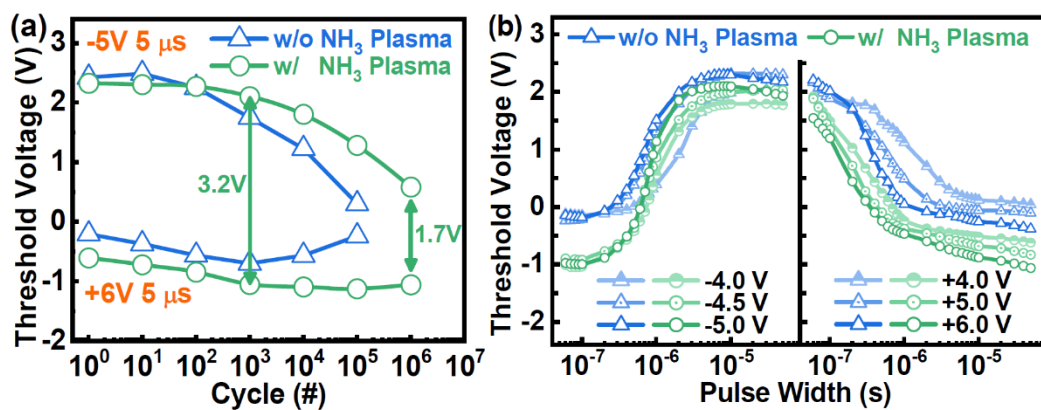


圖 1.15、有無進行 NH₃ 電漿處理對於 (a) HZO 之 X 繞射圖樣影響、(b) HZO 之 XPS O 1s 光譜影響

圖 1.16、有無進行 NH₃ 電漿處理對於 FeFET 記憶體之(a) endurance 表現影響、(b) 操作速度影響

(2) 以質子束作為輻射源進行 FeFET 鐵電記憶體之抗輻射測試

在建構質子束照射平台後，本團隊以 5×10^{13} ions/cm² 與 2.5×10^{14} ions/cm² 之質子流量(fluence)對於 SiO_x 介面層之 FeFET 鐵電記憶體進行抗輻射測試，目前初步分析質子流量對記憶體效能之影響是以雙向電壓、直流掃描量測記憶視窗的方式量化影響程度。**圖 1.17 (a)** 與 **圖 1.17 (b)** 是不同質子流量對於雙向掃描下的電壓-電流特性，掃描的方式是由 -3 V 啟始，分別終止於 +4 V 或 +5 V。**圖 1.18** 則彙整了不同電壓掃描範圍下，質子流量對於記憶視窗的影響。這是首次有團隊以質子束作為輻射源進行 FeFET 鐵電記憶體之抗輻射測試，從測試結果發現當掃描範圍變大，記憶視窗也隨之變大，這意味在此電壓範圍下電偶極轉換的效應仍高於電荷捕獲效應。不過值得注意的是，即使增加質子流量，對於記憶視窗的影響不大，這代表在此質子流量範圍內，FeFET 鐵電記憶體具有極佳的抗輻射能力。在 **圖 1.18** 甚至顯示提高質子流量其記憶視窗反而更高，此機制尚待更進一步的分析方能釐清。事實上，文獻上亦有質子輻射對於鐵電電容元件效能影響的相關研究並報導類似的趨勢[44]，如 **圖 1.19(a)** 所示，該研究指出在某個質子流量範圍內，P_r 會隨質子流量提高而增加。如 **圖 1.19(b)** 所示，其耐久度的測試亦有提高質子流量而改善的現象。文獻上僅推測這與氧空缺的重新分佈有關，但細節仍有待相關實驗進一步證實。目前的初步成果顯示若以基本的記憶視窗而言，基於 HZO 的 FeFET 鐵電記憶體確實具有相當優異的抗質子輻射能力。其他與記憶體相關的脈衝操作與可靠度測試是下一個階段的工作重點，唯有收集更完

整的電特性方能評估質子輻射對於記憶體元件操作的影響，更進一步的物性分析也將持續進行以釐清質子輻射影響電性表現的機制。

圖 1.17

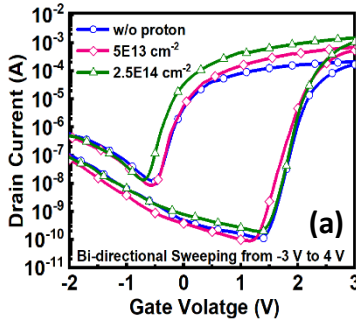


圖 1.18

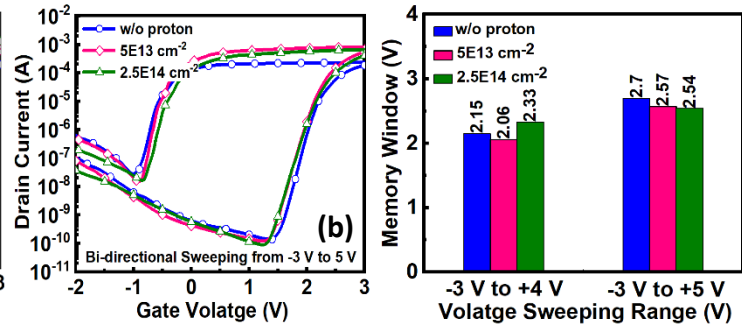


圖 1.19

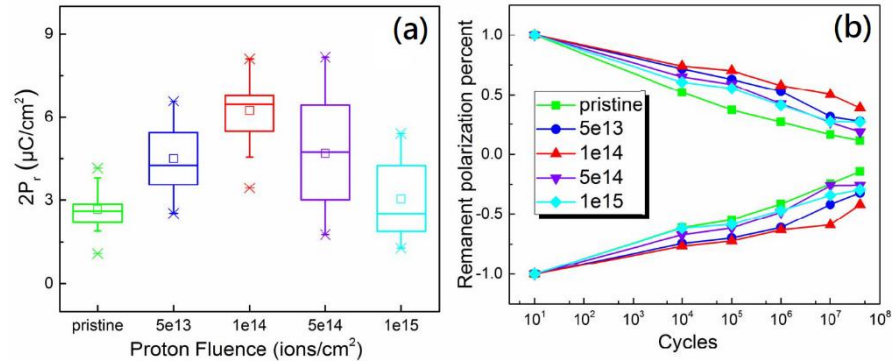


圖 1.17、不同質子流量對於 FeFET 鐵電記憶體之電壓-電流特性影響 (a) 掃描範圍-3 V 至+4 V; (b) 掃描範圍-3 V 至+5 V

圖 1.18、不同質子流量/電壓掃描範圍對於記憶視窗之影響

圖 1.19、不同質子流量對於鐵電電容元件(a) P_r 效能之影響; (b) endurance 表現之影響

本階段透過脈衝電壓對 FeFET 鐵電記憶體進行寫入與讀取，先以單一脈衝電壓改變電偶極之極化方向，再利用 pulsed I_D - V_G 讀取 FeFET 鐵電記憶體之臨界電壓[45]，詳細的讀取流程為，固定汲極電壓為+0.5 V，在閘極施加範圍介於-1.0 V 至+2.7 V，間隔為 0.1 V 的脈衝電壓，每個脈衝寬度皆小於 2.5 μs ，藉此可避免讀取過程中改變閘極內電偶極的極化方向，此方法與直流電壓掃描相比可達到非破

壞式讀取。**圖 1.20** 使用 -5 V 與 +5 V 脈衝對不同質子流量照射後之 FeFET 進行寫入速度測試，透過逐漸增加脈衝寬度，從 60 ns 至 10 μ s，可以使 FeFET 內部電偶極翻轉數量增加，同時改變臨界電壓。**圖 1.20(a)**顯示隨著 -5 V 脈衝寬度增加，逐漸從低臨界電壓上升至高臨界電壓，反之，**圖 1.20(b)**顯示增加 +5 V 脈衝寬度則可以使高臨界電壓下降至低臨界電壓，而臨界電壓的變化量即為記憶視窗大小。無論使用何種極性的脈衝電壓，使用 800 ns 的脈衝寬度即可產生 1 V 的記憶視窗。在質子輻射照射後，速度轉換曲線亦無出現明顯差異，經過 5 μ s 後皆可達到飽和記憶視窗 2 V，由此結果顯示，即便在經過質子輻射照射後，FeFET 鐵電記憶體在電壓脈衝操作下仍有穩定的寫入速度特性。進一步，透過反覆施加雙極性(bipolar)脈衝電壓可測試 FeFET 鐵電記憶體 endurance，當鐵電層內部的電偶極在兩個狀態之間反覆翻轉時，伴隨而來的電荷注入(charge injection)以及電荷捕捉(charge trapping)效應會驅使臨界電壓往相反方向移動，造成記憶視窗縮減[46]。**圖 1.21 (a)**顯示 FeFET 鐵電記憶體，高、低臨界電壓隨著 ± 5 V/5 μ s 脈衝反覆操作次數變化，記憶視窗則整理於**圖 1.21 (b)**。低臨界電壓在一開始會先下降，此現象來自於氧空缺於電壓反覆操作下的重新分布效應[47]，而在操作 10^4 次後則會逐漸上升，而高臨界電壓則是在操作 10^3 次後會出現明顯下降，最後 FeFET 記憶視窗會在反覆操作 10^5 次後縮減至小於 1 V，此現象則是受到電荷捕捉主導的影響[47]。值得注意的是，當比較照射不同質子輻射流量之 FeFET，可發現 endurance 並無出現明顯的衰退，在操作 10^5 次後仍有 0.5 V，證實 FeFET 元件具有極佳的抗輻射能力。**圖 1.22** 顯示 FeFET 鐵電記憶體於不同質子輻射照射劑量下的 retention 特性表現，

圖 1.22 (a) 為高、低臨界電壓隨時間變化，圖 1.22 (b) 則是固定閘極電壓於 0.1 V 下所讀取到的汲極電流，在脈衝量測下，由於量測電流所使用的積分時間較短，因此量到的最低電流皆在 10^{-8} A，而根據圖 1.17，實際電流介於 10^{-9} 至 10^{-10} A。為了達到最大的記憶視窗，在進行 retention 測試前，皆預先以 ± 5 V/5 μ s 脈衝反覆操作 10^2 次進行喚醒，再分別使用 +5 V/5 μ s 以及 -5 V/5 μ s 脈衝寫入至低臨界電壓與高臨界電壓，經過質子照射後的 FeFET 鐵電記憶體，retention 衰退趨勢僅出現微幅增加，儘管如此，在 10 年預測下仍舊可保持 2.2 V 的記憶視窗，為未照質子輻射前 90% 以上，代表 FeFET 鐵電記憶體在 2.5×10^{14} ions/cm² 質子流量照射下，仍能維持良好的記憶特性。

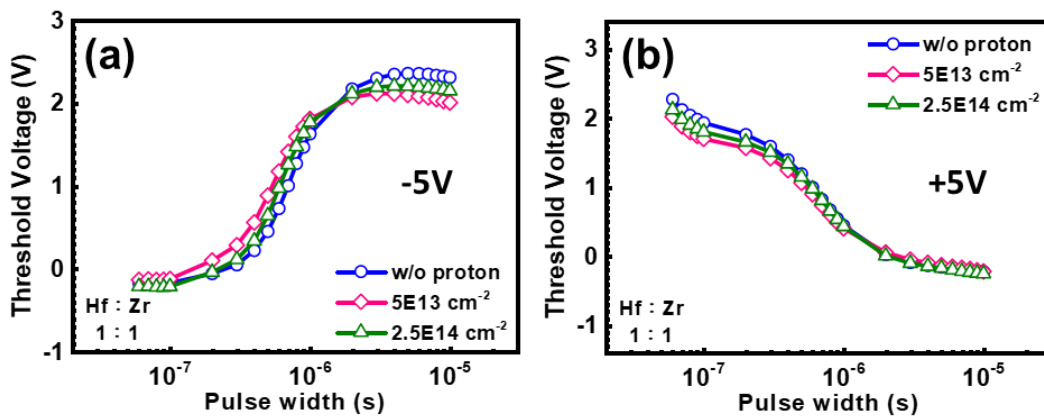


圖 1.20、-5 V 與 +5 V 脈衝對 FeFET 鐵電記憶體之寫入速度測試

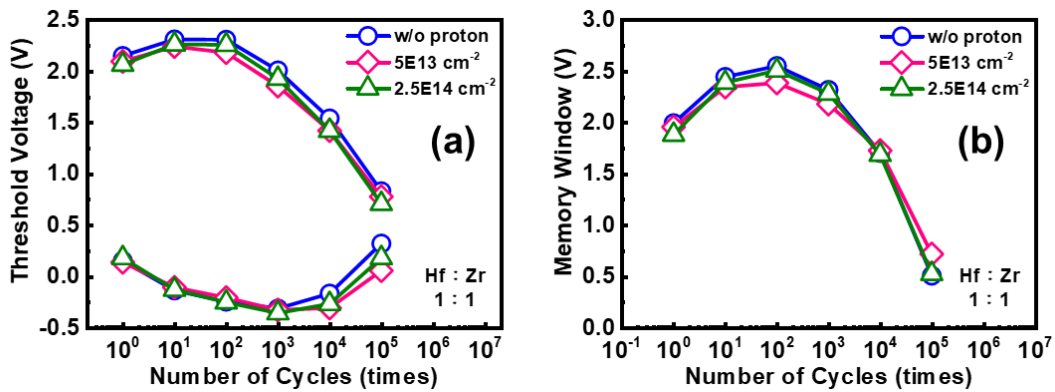


圖 1.21、FeFET 鐵電記憶體隨著 $\pm 5\text{ V}/5\text{ }\mu\text{s}$ 脈衝反覆操作測試

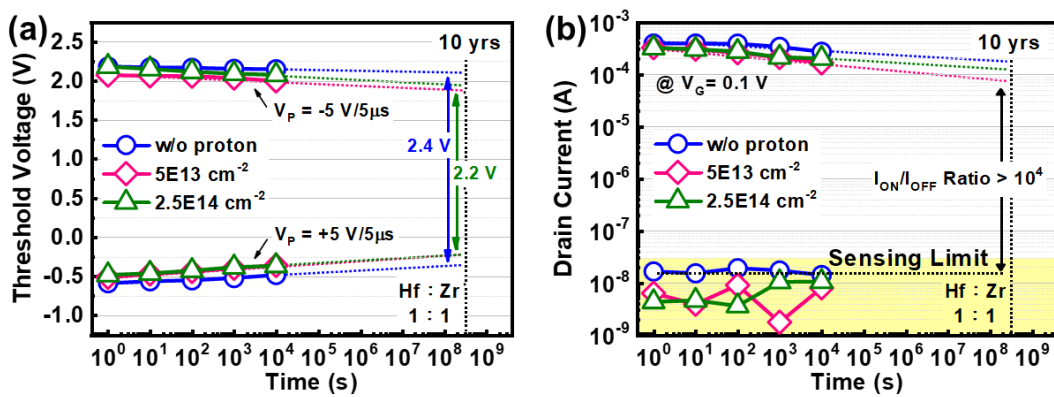


圖 1.22、FeFET 鐵電記憶體之 retention 特性表現

二、抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究

金氧半、鰭式場效電晶體(MOSFET、FinFET) 抗輻射測量結果

本研究探討 MOSFET、FinFET 元件受 Co-60 輻射傷害後，對於可靠度的影響，由於低軌道環境一年的累積輻射總劑量約 10 kRad, 所以首先以此輻射劑量照射。

圖 2-9、圖 2-10 分別為 Planar、FinFET 汲極電流對汲極電壓圖，分別取 $V_g - V_t = 0 \sim 2.5\text{V}$ ， $V_{\text{Step}} = 0.5\text{V}$ ，五種情況來做探討，汲極的電流量代表著電晶體的驅動能力。可看出 FinFET 相較於 Planar，有著較高的汲極飽和電流。推測 FinFET 的閘極靜電控制能力較好，可達到更大飽和區汲極電流。另外電晶體的串阻不是非常大，因此有漂亮的

汲極電流曲線。

圖 2-11、圖 2-12 分別為 Planar、FinFET 在不同汲極電壓為 0.5V 與 1V 下轉換特性之對數圖，從不同汲極電壓下可以萃出 DIBL 現象，表示電晶體的閘極控制能力。可看出 Planar、FinFET 不同汲極電壓下的曲線幾乎完全貼合。在 DIBL 的分析中，看得出 Planar、FinFET 的閘極控制能力都相當好。

圖 2-13 為 10 krad 輻射傷害對 Planar 汲極電流對汲極電壓圖，分別取 $V_g - V_t = 0 \sim 2.5V$ ， $V_{Step} = 0.5V$ 。可以發現經 10 krad 輻射後，Planar 在通道夾止區(Pinch Off)後的飽和電流時呈現崩潰狀態。推測是經輻射傷害後，元件通道界面陷阱太多，造成通道長度調變效應(Channel Length Modulation Effect)發生。**圖 2-14** 為 10k rad 輻射傷害對 FinFET 汲極電流對汲極電壓圖，分別取 $V_g - V_t = 0 \sim 2.5V$ ， $V_{Step} = 0.5V$ 。可以發現 FinFET 經輻射傷害後，飽和電流有些微的劣化，與 Planar 比較呈現較佳的抗輻射傷害能力。

圖 2-15 為 10 krad 輻射傷害後 Planar 在不同汲極電壓轉換特性之對數圖。可以發現 Planar 經 10 krad 輻射傷害後， I_{off} 增加，特別是 $V_d = 1V$ 的情形更明顯，DIBL 值則較小。**圖 2-16** 為 10 krad 輻射傷害後 FinFET 在不同汲極電壓轉換特性之對數圖。可以發現 FinFET 在輻射傷害後，電性曲線幾乎互相貼合，DIBL 值可忽略，因此抗輻射能力優。

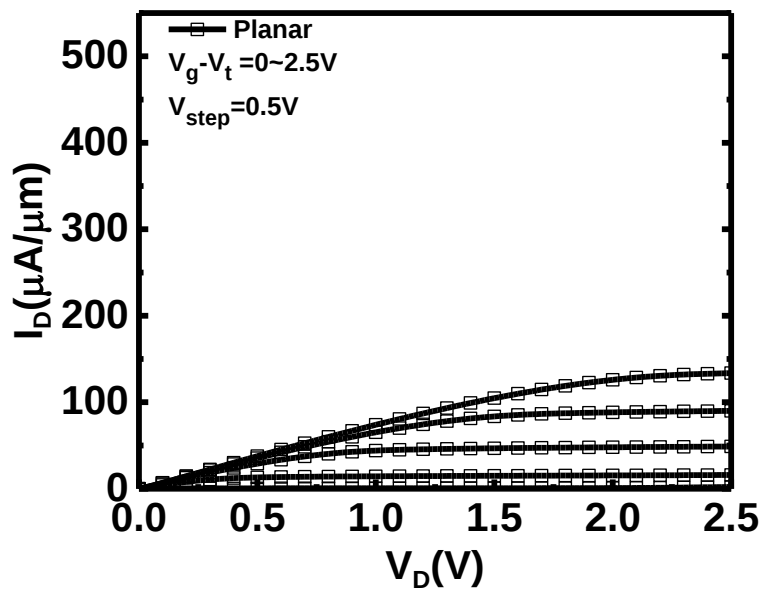


圖 2-9、Planar (MOSFET) 汲極電流對汲極電壓圖

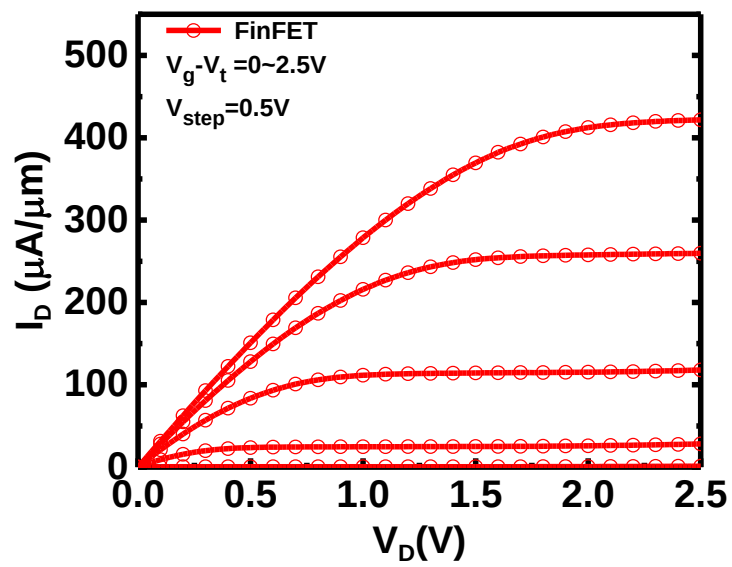


圖 2-10、FinFET 汲極電流對汲極電壓圖

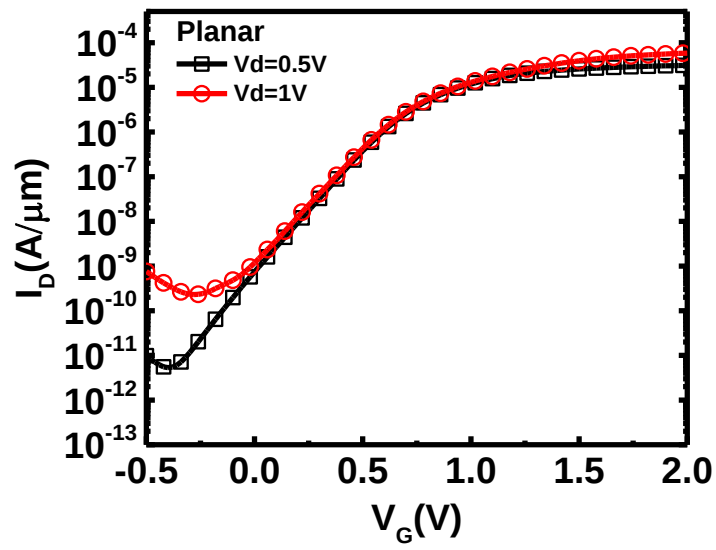


圖 2-11、Planar (MOSFET)在不同汲極電壓轉換特性之對數圖

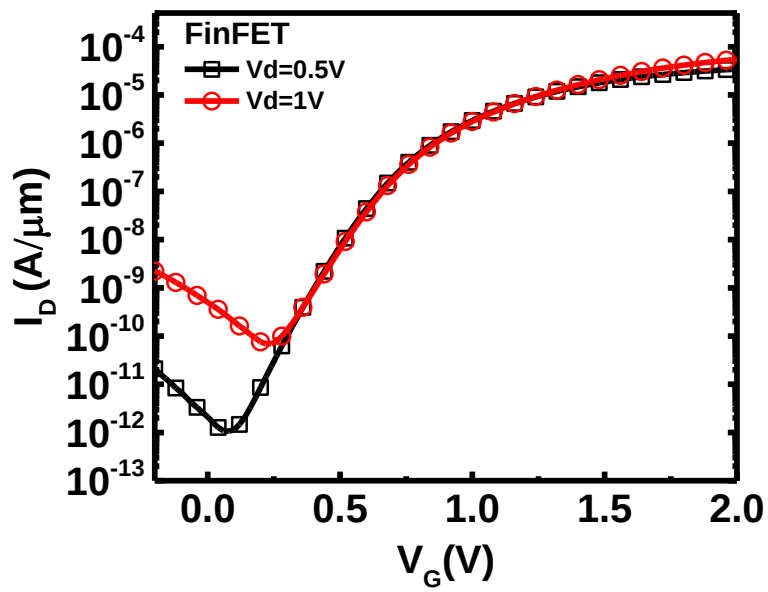


圖 2-12、FinFET 在不同汲極電壓轉換特性之對數圖

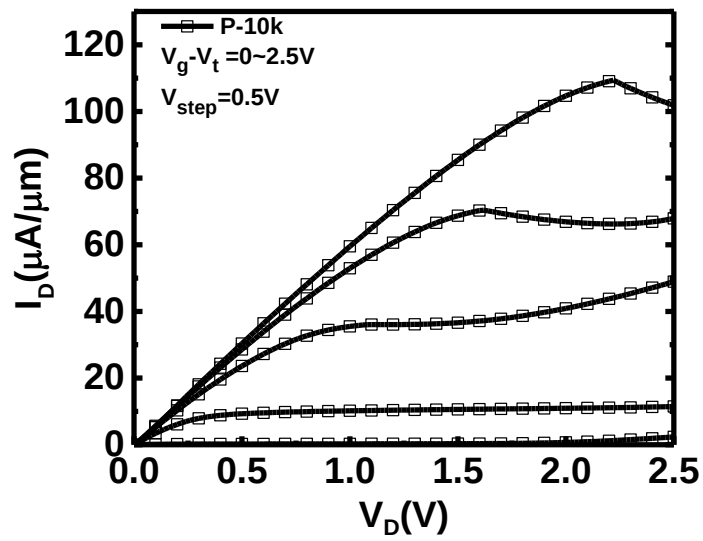


圖 2-13、10 krad 輻射後 Planar(MOSFET) 汲極電流對汲極電壓圖

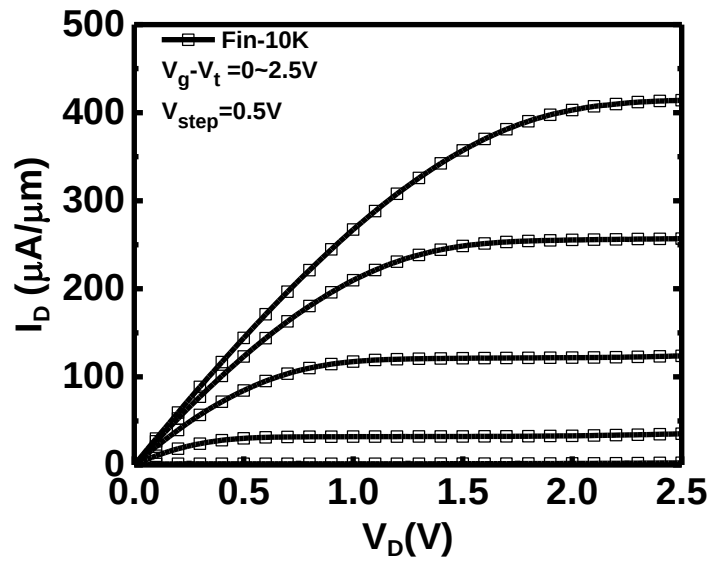


圖 2-14、10 krad 輻射後 FinFET 汲極電流對汲極電壓圖

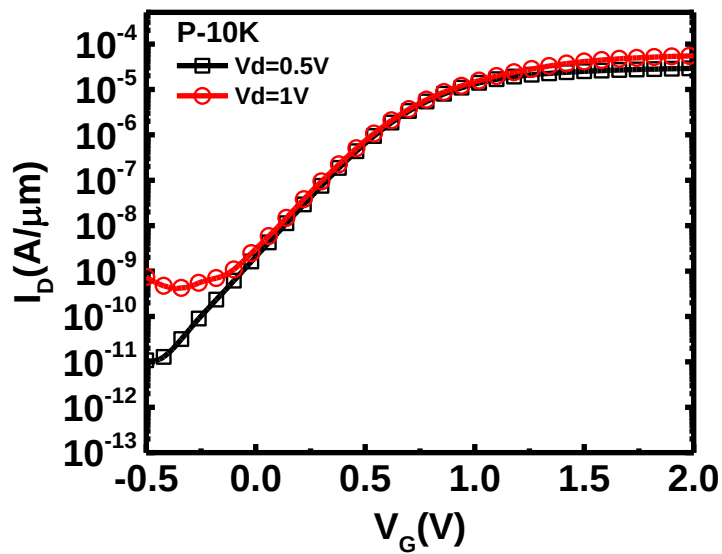


圖 2-15、10 krad 輻射後 Planar (MOSFET)在不同汲極電壓轉換特性之對數圖

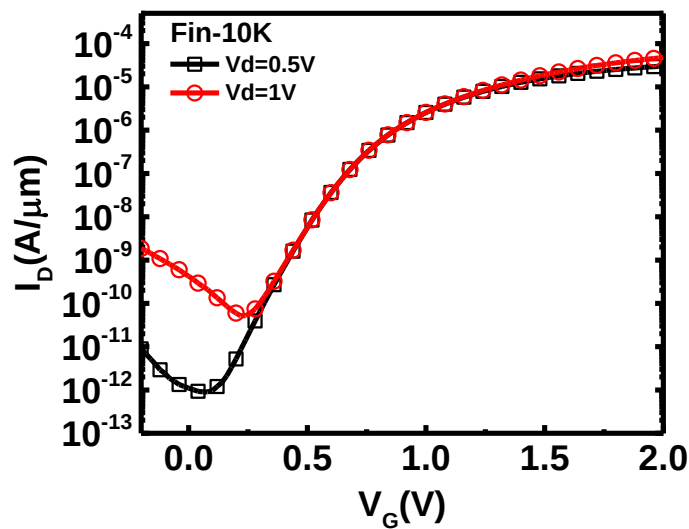


圖 2-16、10 krad 輻射後 FinFET 在不同汲極電壓轉換特性之對數圖

本研究接著以 Co-60 總劑量約 100 kRad 的照射，也就是低軌道環境十年的累積輻射總劑量，對元件可靠度的影響。

錯誤！找不到參照來源。圖 2-172-17 為 100 krad 輻射傷害對 Planar

汲極電流對汲極電壓圖，分別取 $V_g - V_t = 0 \sim 2.5V$ ， $V_{Step} = 0.5V$ ，五種情況來做探討。可以發現串阻變大，使得汲極電流的斜率變小。另外汲極區無法有效控制電流，使 $V_g - V_t = 0$ 在飽和電流區不能成水平線。推測可能是經輻射傷害後，元件通道界面陷阱大增，造成通道長度調變效應。

圖 2-18、2-18 為 100 krad 輻射傷害對 FinFET 汲極電流對汲極電壓圖，分別取 $V_g - V_t = 0 \sim 2.5V$ ， $V_{Step} = 0.5V$ ，五種情況來做探討。可以發現 FinFET 經輻射傷害後，飽和電流僅有些微的劣化，較 Planar 有好的抗輻射傷害能力。

圖 2-19、為 100 krad 輻射傷害後 Planar 在不同汲極電壓轉換特性之對數圖，從不同汲極電壓下，可以觀察電晶體的閘極控制能力。發現 Planar MOSFET 已無電晶體基本電特性。

圖 2-20、為 100 krad 輻射傷害後 FinFET 在不同汲極電壓轉換特性之對數圖，可以發現 FinFET 在輻射照射後，電特性幾乎沒有變化，DIBL 值也小，因此很抗輻射。

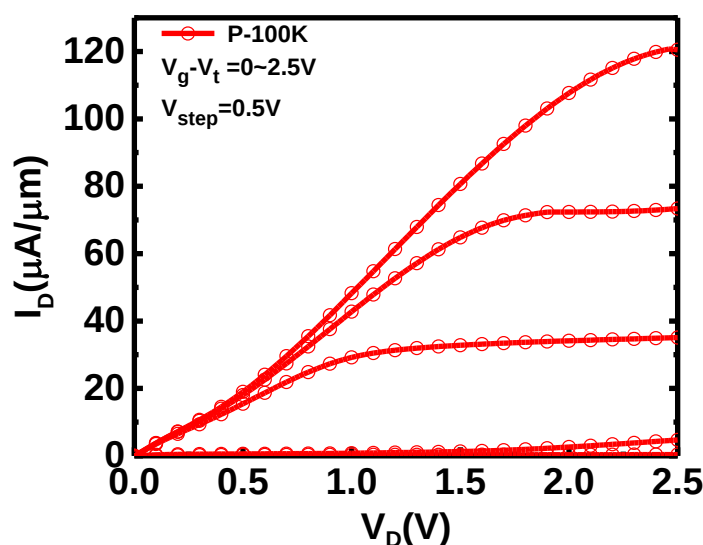


圖 2-17、100 krad 輻射後 Planar 汲極電流對汲極電壓圖

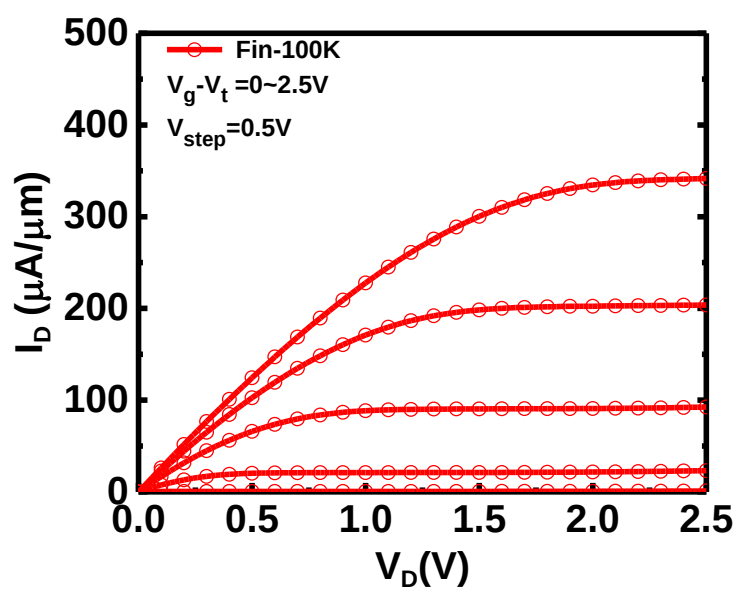


圖 2-18、100 krad 輻射後 FinFET 汲極電流對汲極電壓圖

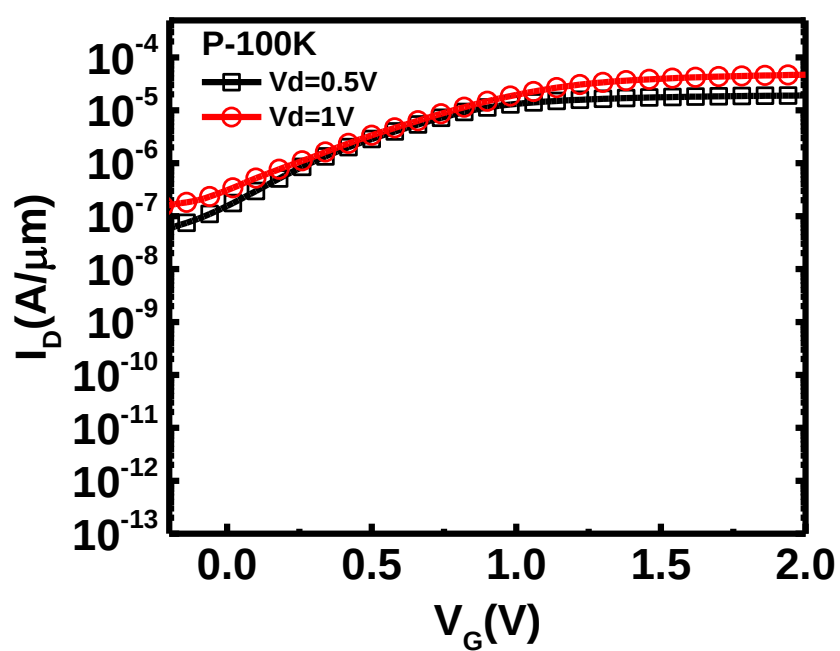


圖 2-19、100 krad 輻射後 Planar 在不同汲極電壓轉換特性之對數圖

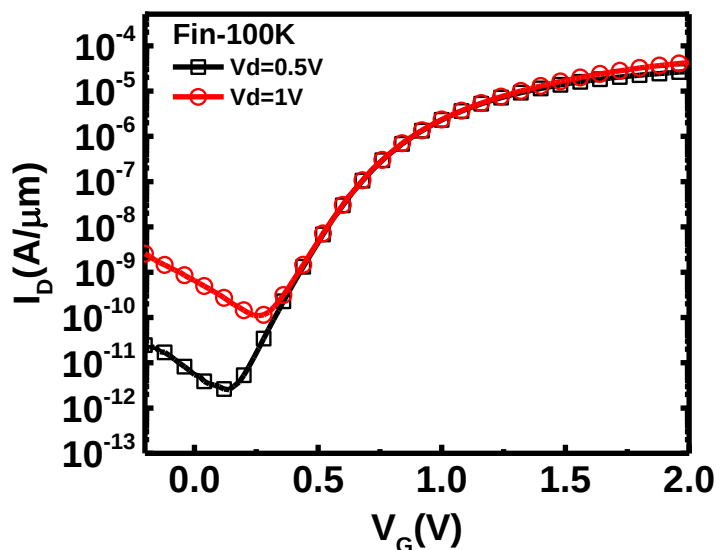


圖 2-20、100 krad 輻射後 FinFET 在不同汲極電壓轉換特性之對數圖

三面閘極無接面通道 Flash 元件抗輻射測量結果

本研究探討 $\text{Si}_3\text{N}_4/\text{ZrON}$ 堆疊式電荷儲存層之元件其受鈷(Co)-60 輻射傷害後，對於多晶矽無接面式快閃記憶體之寫抹速度及可靠度進行深入的研究。實驗中，臨界電壓是由選用定電流的方式獲得，採用的參考電流值為 10^{-9} A。

圖 2-21 為 ZrON 樣品承受 10 krad、100 krad、1000 krad 三種輻射劑量照射後，在初始狀態下，給定 0.5 V 的汲極電壓，執行 IV 掃描，並以汲極電流對閘極電壓作圖表示。ZrON 樣品在經過三種輻射劑量照射後，皆與本身無輻射之元件具有相近的導通電流，ZrON 樣品與其經過輻射照射之樣品都大約落在 5.7×10^{-6} A 左右，開關電流比約有 7.3 個數量級。

本研究使用 F-N 穿隧機制進行寫入/抹除的操作，臨界電壓位移 (V_{th} shift) 指經寫入或抹除後之臨界電壓與原始未寫入或抹除之臨

界電壓的差距。且本次實驗皆在室溫環境，操作於通道長度為 1 μ m 的元件上。

圖 2-22 為 ZrON 元件分別承受 10 krad、100 krad、1000 krad 的輻射劑量照射後，於低臨界電壓的狀態下，對閘極施加 16 V 的操作電壓進行寫入速度量測。可以觀察到無論是無輻射之 ZrON 樣品，或是隨著輻射照射劑量從 10 krad 增加至 1000 krad 的樣品，其寫入速度都不因輻射而發生改變，且具有相當的記憶窗。也可以由**圖 2-23** 盒狀圖（元件分別各取 5 組在寫入 3 V 記憶窗時，其所需寫入時間之數據）所示，無論有無照射鈷（Co）-60 輻射之樣品皆以 5.1×10^{-8} 秒左右的寫入時間，即可寫入 3 V 的記憶窗。

圖 2-24 為 ZrON 樣品分別承受 10 krad、100 krad、1000 krad 三種輻射劑量照射後，在高臨界電壓的狀態下，於閘極施加 -16 V 的操作電壓進行抹除速度的量測。可以觀察到無輻射照射之樣品與經三種輻射劑量照射之樣品皆具有相當的抹除速度，且在四個樣品抹除 3 V 記憶窗時，所需的抹除時間，皆落在 3.5×10^{-5} 秒左右，如**圖 2-25** 盒狀圖（元件分別各取 5 組在寫入 3 V 記憶窗時，其所需抹除時間之數據）所示。這與寫入速度情況相似，推測 ZrON 樣品較不易受輻射照射或劑量的影響，具有更好的抗輻射能力。

圖 2-26 為 ZrON 樣品在承受 10 krad、100 krad、1000 krad 三種鈷（Co）-60 輻射劑量照射後，於室溫下量測的寫入/抹除耐久力之特性圖，同樣先對元件寫入 3 V 作為量測耐久力前元件的原始狀態，當記憶窗（Memory Window）固定為 3 V 後，進行多次且反覆的寫入及抹除操作，探討元件隨著寫入/抹除次數增加至 10^5 次後，其維持 3 V 記憶窗的能力。可以觀察到，ZrON 樣品的無輻射之元件以及

經輻射照射之元件，在經過 10^5 次重複的寫/抹操作後，都損傷了穿隧氧化層，使記憶窗從 3 V 退化至 2.2 V 左右。為了固定 3 V 的記憶窗，寫入電壓設定為 16 V 並執行 65 μ s，抹除電壓也皆設定為 -16 V，但抹除的操作時間則會隨著輻射劑量增大而需要依序拉長秒數。由結果顯示，ZrON 樣品的抹除時間從無輻射樣品的 35 μ s、10 krad 的 45 μ s、100 krad 的 50 μ s，到 1000 krad 樣品變化為 85 μ s。由此觀察到，無論有無輻射照射之元件以及劑量的改變，在經過多次且反覆的寫/抹操作，輻射前後都有記憶窗縮小的跡象，雖然由記憶窗經過多次操作後的變化無法準確判定輻射對耐久力的影響，但藉由量測過程的操作，顯示出操作時間會隨著輻射劑量增加而需要依序拉長秒數的情況。因此，輻射效應對於元件的耐久力特性還是造成了些許的影響。

圖 2-27 為 ZrON 樣品分別承受 10 krad、100 krad、1000 krad 三種鈷 (Co) -60 輻射劑量照射後，於室溫下量測的電荷保持力之特性圖。透過寫入抹除的操作，對元件寫入 3 V 作為量測電荷保持力前元件的原始狀態，當記憶窗 (Memory Window) 固定為 3V 後，開始依照表定時間量測元件的狀態，且外插至十年後，探討元件隨著時間流逝其維持 3 V 記憶窗的能力。可以觀察到無輻射之 ZrON 樣品即使外插至十年後仍能維持 92 % 的良好電荷保持力，但是隨著輻射劑量從 10 krad 增加至 1000 krad，分別顯示出 86 %、79 %、73 % 依次劣化的趨勢。

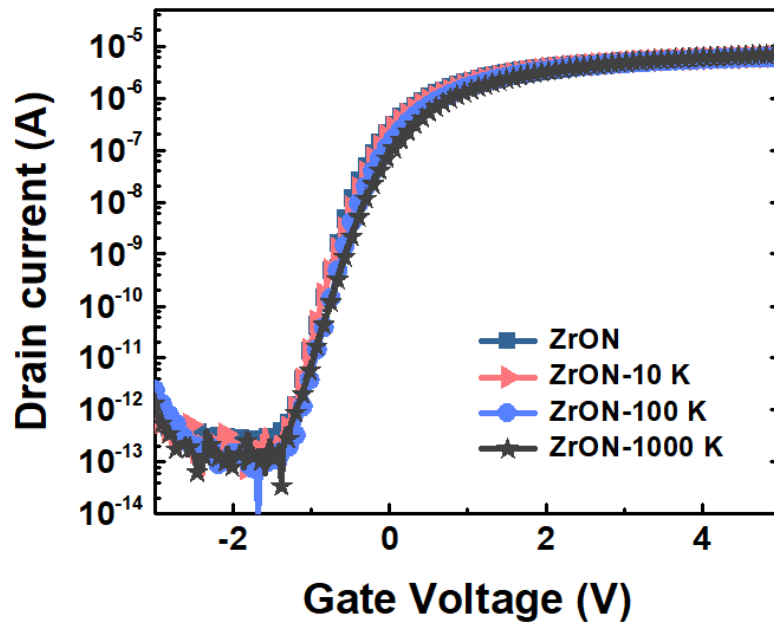


圖 2-21、ZrON 樣品受不同輻射劑量傷害之汲極電流對閘極電壓 (I_d - V_g) 特性圖

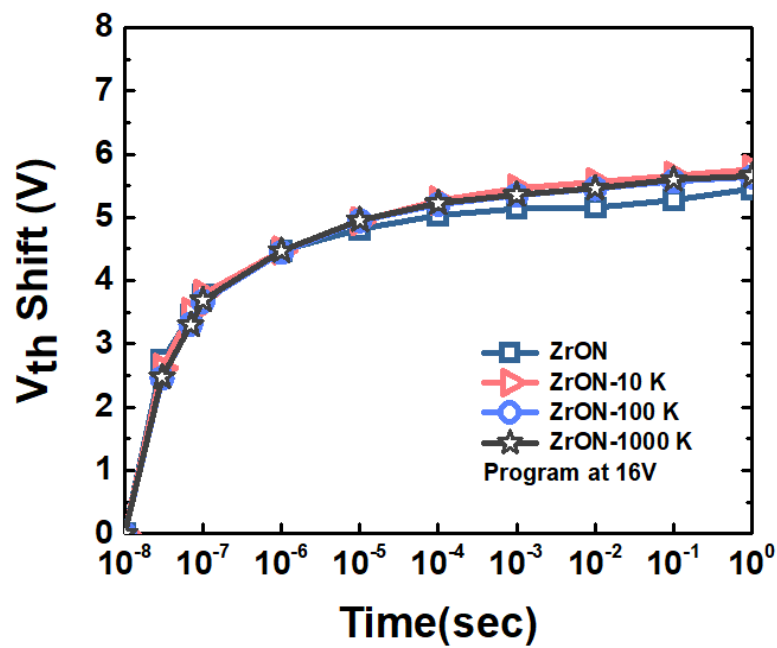


圖 2-22、ZrON 樣品受不同輻射劑量傷害後在室溫給予 16 V 電壓之寫入速度圖

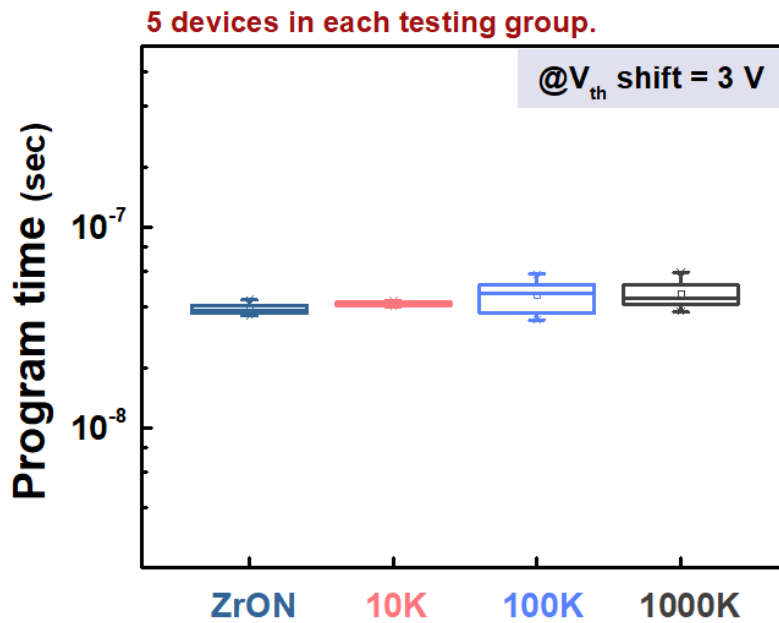


圖 2-23、受不同輻射劑量傷害之 ZrON 樣品，分別各取 5 組在寫入 3 V 記憶窗其所需寫入時間之數據作盒狀圖

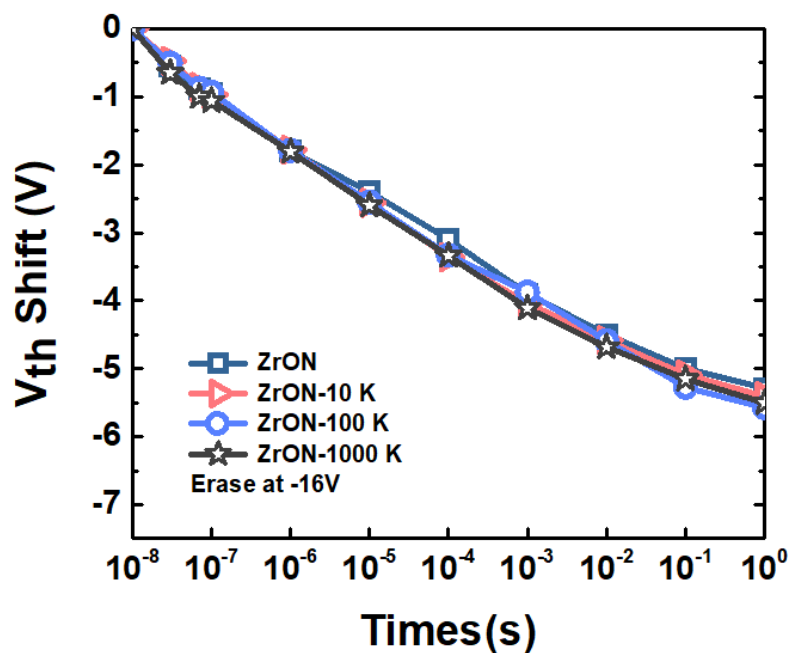


圖 2-24、ZrON 樣品受不同輻射劑量傷害後在室溫給予-16 V 電壓之抹除速度圖

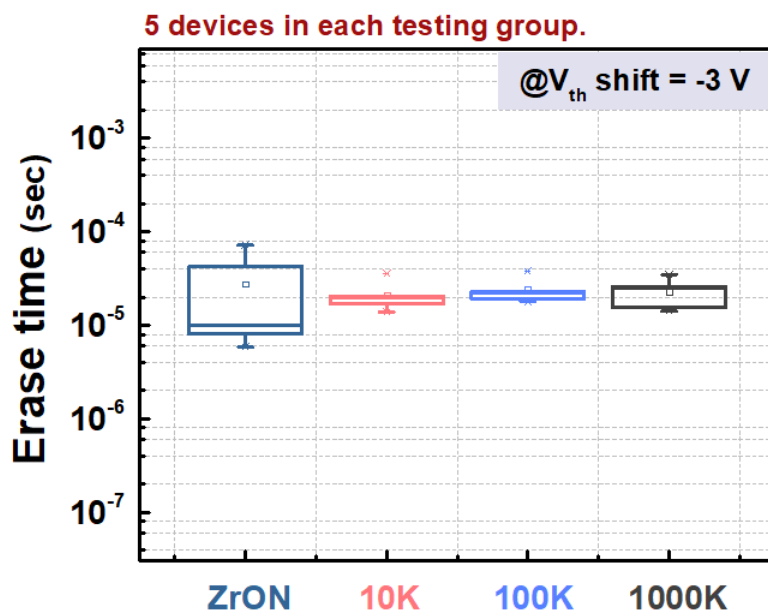


圖 2-25、受不同輻射劑量傷害之 ZrON 樣品，分別各取 5 組在抹除 3 V 記憶窗其所需抹除時間之數據作盒狀圖

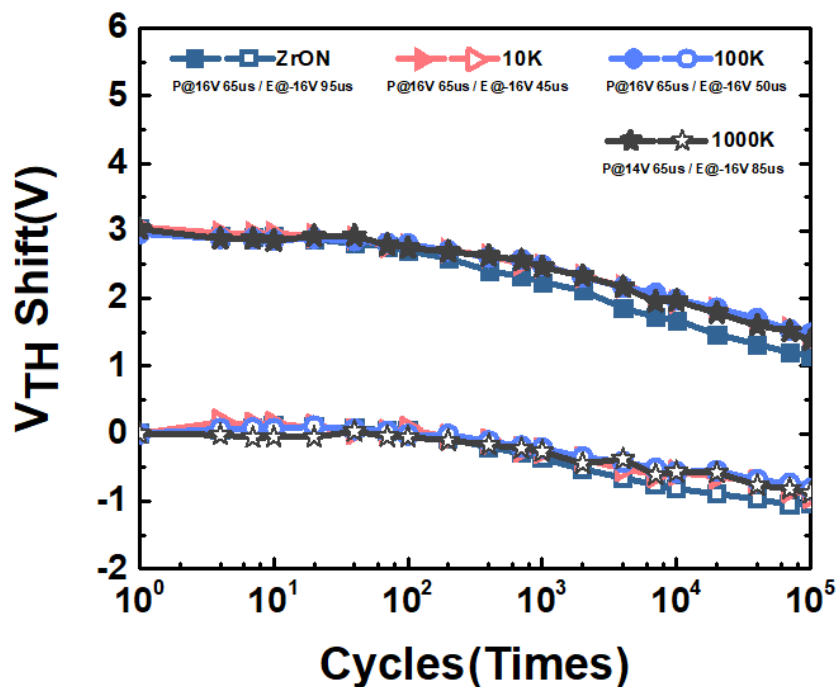


圖 2-26、ZrON 樣品受不同輻射劑量傷害後在室溫下量測之耐久力測試

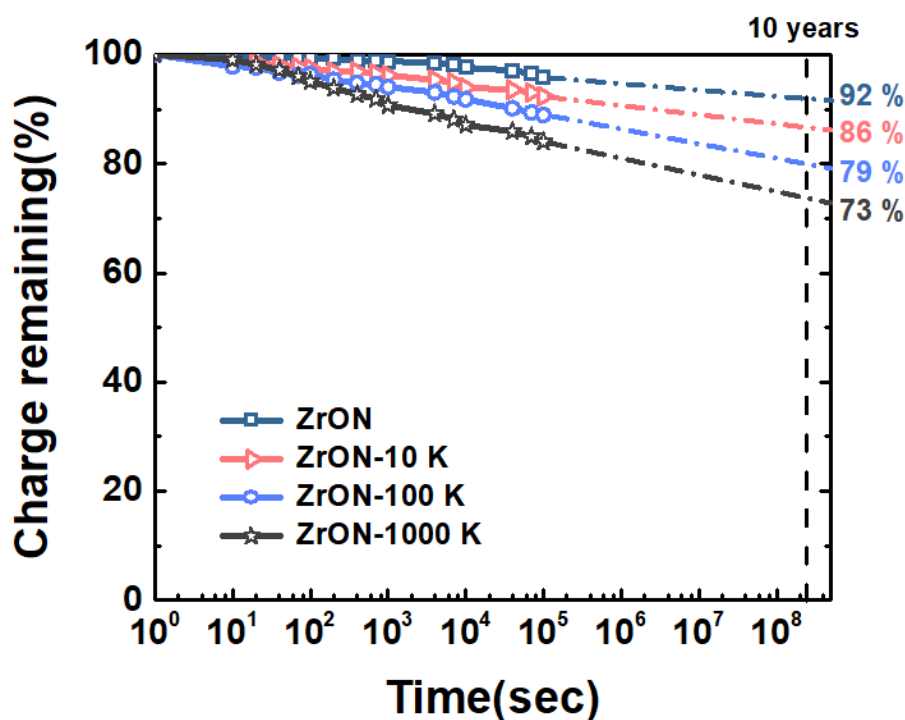


圖 2-27、ZrON 樣品受不同輻射劑量傷害後在室溫下量測之電荷保持力測試

三、下世代半導體材料與元件之輻射效應評估

(一) 寬能隙材料與元件之輻射效應研析

1. 輻射損傷機制

電子元件或積體電路在太空環境中操作時，可能會受到光子、中子、質子、重粒子等高能粒子的直接或間接作用，輻射效應的影響隨作用粒子的種類與特性而異，為了建立抗輻射驗證方法或開發新型的材料或設計，以確保元件能夠可靠地工作於特定場域或因應特定的輻射應用需求，徹底地瞭解輻射效應對於半導體材料與元件之作用機制乃是至關重要的。當半導體材料遭受輻射粒子作用時，材料與入射粒子之間的相互作用機制會取決於材料的原子量與密度以及粒子的種類、能量、電荷量等，圖 3.7 所示為光子、帶電粒子、中子三

種常見的輻射粒子及其與物質作用之後可能引發的作用。X 光與伽馬射線等高能光子與物質交互作用之後可能引發光電效應(photoelectric effect)、康普頓散射(Compton scattering)或成對發生(pair production)等反應，這三種作用的機率與光子能量及物質的原子序有關，且作用之後都會產生自由電子，進而可能引發二次效應。圖 3.8 所示為三種作用之截面隨材料原子序及光子能量的變化 [17]，以 Si 原子為例 ($Z=14$)，當光子能量小於 50 keV 時，由光電效應主導；當光子能量高於 20 MeV 時，則由成對發生主導；介於兩者之間非常寬的能量範圍，則由康普頓散射主導。以能量介於幾個 MeV 的 gamma rays 而言，康普頓散射為其與電子元件內部材料作用最可能發生的能量損失機制，並且作用之後也可能會產生二次電子，此過程即是造成電子元件游離損傷的重要機制。

相較於光子，電子、質子、 α 粒子等帶電粒子與物質作用主要則是藉由與原子束縛電子的非彈性碰撞及與原子核的庫倫彈性散射的過程來釋放能量，此過程的能量損失機制依其能量範圍而定，高能量範圍由電子散射主導，屬線性能量轉移(linear energy transfer, LET)的游離能失(ionizing energy loss)；低能量範圍則由原子核散射主導，其能量釋放模式可歸因於非游離能失(nonionizing energy loss, NIEL)。圖 3.9 所示為本研究利用 SRIM 程式計算不同能量的 He 離子入射於 Si 材料的游離能失與非游離能失隨 He 離子能量的變化，由圖可知 He 離子的能量大部份係經由游離作用而釋放，僅在 He 離子能量低於 1 MeV 時，才會由原子核碰撞的非游離能失來主導，此也是位移損傷的主要來源。此外，能量高於數個 MeV 以上的帶電粒子與靶材原子作用之後也可能引發核子反應，並產生其它的高能粒子 (如：中

子或 α 粒子等)。因此，帶電粒子與物質作用可能引發的主要效應為非游離能失所造成的位移損傷(displacement damage)，同時也可能經由游離能失而造成游離損傷效應。

另一方面，中子與物質作用可能引發彈性散射、非彈性散射與核轉化(transmutation) 等反應，而這些反應的作用截面與中子能量具有極大的相依性，具有較高能量的快中子傾向發生彈性散性來釋放其能量；具有較低能量的熱中子則可能藉由非彈性散射與核轉化來轉移其能量，並使材料的原子核處於激發態，或藉由中子捕獲反應將靶材原子轉化為另一種元素，過程中也會藉由射出 gamma rays 而使激發態的原子核回復至穩態。與帶電粒子類似，在中子與原子核的彈性碰撞過程中，中子會將一部分能量釋放到靶材原子上，只要轉移的能量大於位移能量，即可以將原子從其晶格位置移開，並引發後續的碰撞級聯 (collision cascade)。因此，電子元件遭遇中子照射之後，主要的輻射效應係由位移損傷所致，而經由其所產生的二次粒子亦會引發游離損傷。

由上述可知，電子元件經由高能粒子輻射作用之後的損傷機制大抵可分為游離損傷、位移損傷、以及單一事件事件三類：

(1) 游離損傷

除了 gamma rays 與 X rays 等光子輻射之外，高能粒子也會對半導體材料造成游離損傷。當半導體材料經由輻射游離作用產生電子-電洞對時，在元件尚未施加電壓時，這些游離電荷很快地會經由復合而消失；然而，當半導體元件上存在電場時，這些經游離作用產生的電荷便可能在遷移過程經陷阱而被捕獲，特別是存在元件中的介電層對於自由電荷具高度敏感性，可藉由其懸鍵捕捉自由電荷，當介電

層陷阱捕獲相當數量的電荷之後，會造成半導體介面附近的電場改變，並導致元件特性的顯著變化。圖 3.10 顯示游離輻射入射於常見的 MOS 結構中所造成之電荷捕獲示意圖，經由游離輻射產生的大部分電子會被導引至閘極，部分電子可能與電洞復合，由於電洞遷移率相對較低，未復合的電洞將留在 SiO₂ 中或被 SiO₂ 捕捉，此將導致平帶電壓飄移或介面陷阱(interface traps) 密度增加 [18]。對於 MOSFET 元件而言，由於其操作特性高度相關於閘氧化層(gate oxide)，SiO₂ 的電荷捕獲效應將造成元件的臨界電壓改變(threshold voltage, V_{th})；對於接面型元件而言，由於僅採用介電層作為保護層，此效應的影響相對輕微，但電荷捕獲作用可能也會造成漏電流增加或元件特性劣化。由於游離作用產生的電荷會隨著照射劑量增加而持續累積，致使元件的操作特性會隨著劑量增加而逐漸劣化，經由元件參數隨劑量的變化即可窺知電子元件的 TID 效應。

(2) 位移損傷

位移損傷主要由非游離能失的能量釋放模式主導，尤以高能重粒子對於此類型損傷的影響更為顯著。對於中子或質子等高能的粒子，當其進入材料之後會撞開材料原子，被撞開的原子會離開其晶格位置，並在材料內部繼續引動一連串的碰撞。圖 3.11 所示即為中子照射引發原子核碰撞所造成的位移損傷示意圖 [19]，碰撞過程中會形成許多的空孔(vacancy)與間隙原子(interstitial)之缺陷對(Frenkel pairs)，或可能形成缺陷叢集(defect clusters)或造成更嚴重的損傷區域。相較於游離損傷，位移損傷所造成的缺陷會直接於半導體材料之中引入新的缺陷能階，這些缺陷能階的存在將改變半導體材料的性質，可能引發電子元件的 DDD 效應而顯著改變其載子傳導特性，如：載

子濃度、載子遷移率、載子生命週期等，DDD 效應將會使得元件發生嚴重的特性改變或甚至導致失效等可靠度問題。

(3) 單一事件事件

當高能粒子偶發穿過電子元件時，可能撞開晶格中的原子或與晶格原子發生核反應，在其作用路徑上產生大量的游離電荷，並在特定偏壓的條件下形成暫態的電流導通路徑。這些高能粒子主要源自於宇宙射線所產生的帶電粒子及中子等，甚至在自然環境中所存在具有極低的通量率及高能的地面中子(terrestrial neutrons)也可能誘發單一事件事件的 SEE 效應。SEE 效應可能造成電子元件暫時異常的軟錯誤(soft errors)，也可能造成永久失效的硬錯誤(hard errors)，如：單一事件閘極破裂(Single Event Gate Rupture, SEGR)、單一事件燒毀(Single Event Burnout, SEB)、單一事件閉鎖(latch-up)等現象。對於寬能隙半導體功率元件而言，當元件處於高壓逆偏的操作狀態之下，突射入的高能粒子可能造成災難式的崩潰，並造成元件結構的永久破壞，SEB 失效即為高功率元件最有可能發生的單一事件效應。單一事件事件屬隨機暫態的行為，其發生機率又與粒子能量、位置、入射角度、以及元件的操作條件相關，如何預測及抑制單一事件事件為發展抗輻射電子元件與電路技術的最大挑戰。

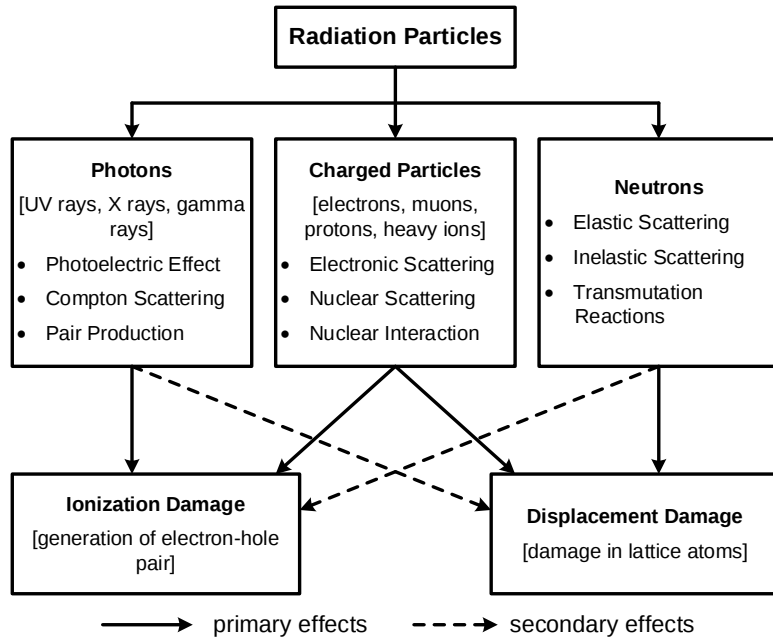


圖 3.7、各類輻射粒子及其與物質作用可能引發的作用

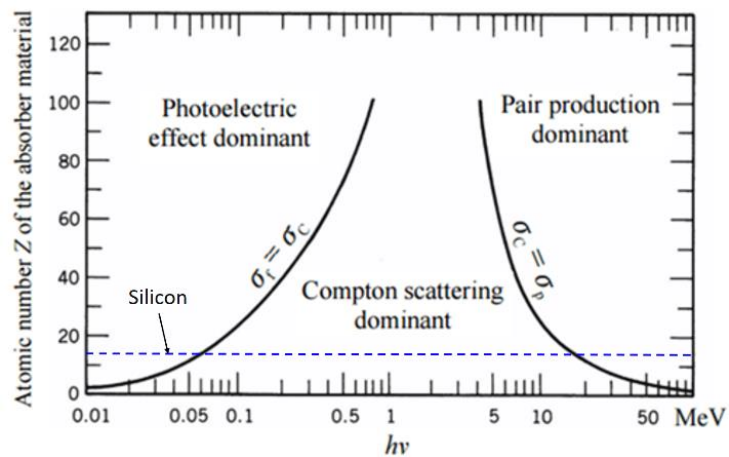


圖 3.8、光子與物質作用機制及其隨能量與原子序之重要性

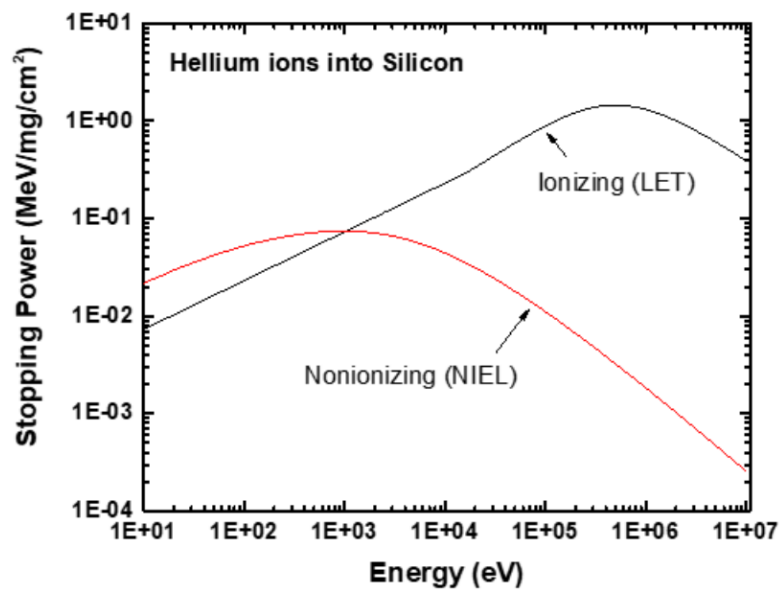


圖 3.9、利用 SRIM 程式計算求得 He 離子照射於 Si 材料之游離能
失與非游離能失隨能量之變化

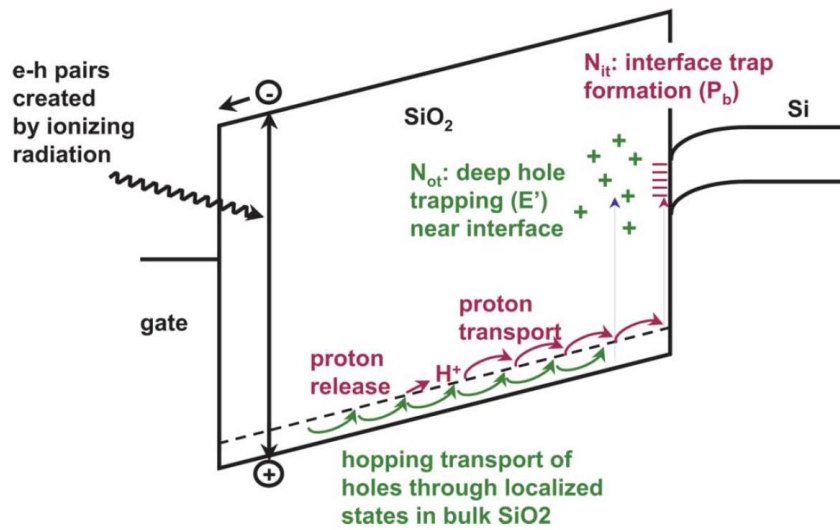


圖 3.10、游離輻射於 MOS 電容元件中誘發游離電荷示意圖

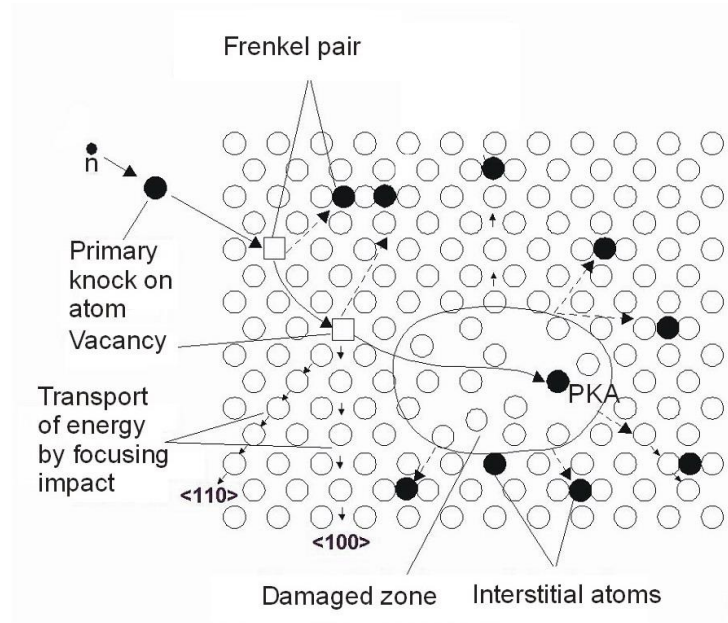


圖 3.11、中子照射引發原子核碰撞所致之位移損傷示意圖

(二) SiC 與 GaN 元件之輻射效應

本研究已選擇目前在國際上較受矚目的 SiC 與 GaN 材料與元件，針對此兩類材料所製成的元件之輻射效應進行研析，並依輻射效應類型進行分類及重要成果整理，茲分述並歸納其重點如下：

1. SiC 元件之 TID 效應

TID 效應主要係為了評估元件在經過游離作用之後，元件特性隨累積劑量的變化情形，測試時通常會採用高能光子輻射，如 gamma rays 或 X rays 等，用以區隔高能粒子所造成的 DDD 效應。TID 效應的測試通常會以戈雷(Gy)或雷德(rad)來做為吸收劑量的單位，而元件經過輻射照射之後，最顯著的特性變化為 MOSFET 元件的閾值電壓飄移，表示游離作用導致氧化層與介面陷阱電荷增加，圖 3.12 所示即為典型 SiC MOSFET 之 I_d - V_g 曲線及其特性電壓隨照射劑量的變化情形 [20]。表 3.3 綜整國際上針對 SiC 元件 TID 效應相關的研究成果，由表可歸納以下的重要成果與結論：

- ◆ TID 效應測試主要採用 Co-60 射源，少數研究則採用 X-rays，所施加之劑量範圍介於 0 ~ 1000 Mrad 之間，且高劑量率的照射條件所造成的劣化程度較為明顯。
- ◆ 相較於接面型元件，MOSFET 元件對於游離輻射更為敏感，當照射劑量高於 100 krad 以上即會顯著改變的元件特性，包含閾值電壓、漏電流、接面電容、以及介面態密度等。
- ◆ 為使輻射照射過程更貼近元件實際的操作環境，TID 效應的照射條件必須適當地考量溫度、濕度、偏壓、劑量率等參數的影響。
- ◆ TID 效應照射前後的偏壓/溫度壓力測試的複合效應及可靠度特性評估為近來較多團隊投入研究的主題，亦為未來評估高游離劑量之太空應用的重要議題。
- ◆ 藉由適當的製程條件控制可提升 SiC MOSFET 的輻射耐受性，如：較薄的閘極氧化層、氮濃度較低的氧化層氮化製程、較高的 p-well 表面濃度等。

2. SiC 元件之 DDD 效應

相較於 TID 效應僅能呈現游離損傷的影響，DDD 效應測試則是藉由高能粒子的非游離能失，可進一步地揭露位移損傷所致之缺陷對於元件特性的影響。在 SiC 元件的 DDD 效應研究中，大部分的研究採用中子進行照射，另有部分研究則是使用質子、電子或其它高能離子，且研究的標的則不再僅聚焦於 MOSFET，而涵蓋 SBD、JFET、P-i-N Diode 等元件。**表 3.4** 綜整國際上 SiC 元件 DDD 效應相關的研究成果，摘錄其重要成果與結論如下：

- ◆ 因高能粒子設施的限制，DDD 效應的輻照實驗大部分在室溫、無偏壓的條件下進行。中子照射多採反應器的分裂中子源，其它高能粒子則使用加速器，能量約介於數百 keV 至數 MeV。
- ◆ DDD 效應造成元件劣化的主要原因為位移損傷造成元件通道區及飄移區的載子移除現象，同時也降低載子遷移率及載子生命週期，如圖 3.13 所示 [21]。採用較高摻雜濃度的元件可有效抑制 DDD 效應的發生。
- ◆ 中子通量約在 $1 \times 10^{16} \text{ cm}^{-2}$ 時出現明顯劣化，質子及其它重粒子則由於具有較大的 LET，在較小通量時即出現劣化現象。
- ◆ 由深能階暫態頻譜(Deep Level Transient Spectroscopy, DLTS)顯示，不同粒子會在 n 型飄移區引入不同能階位置的受體缺陷。

3. GaN 元件之 TID/DDD 效應

相較於 SiC 技術，GaN 材料在功率半導體元件的應用處於正在開發的階段，但基於 AlGaIn/GaN 結構所獨具之二維電子氣(two-dimensional electron gas, 2DEG)的特性，已發展出具有優異操作性能的高電子遷移率電晶體(High Electron Mobility Transistor, HEMT)。由 GaN 元件輻射效應相關的研究可以發現，大部分的研究都聚焦於 GaN HEMT 元件的輻射抗性，僅有少部分是針對其它類型的元件。

表 3.5 列出國際上針對 GaN 元件 TID 與 DDD 輻射效應相關的研究成果，其重要成果與結論摘錄如下：

- ◆ 僅有少數幾個案例使用 gamma rays 輻射源，其餘大部分多採用中子或質子進行照射。此係由於 GaN HEMT 元件結構並未涵蓋對於游離輻射具高敏感性的閘氧化層，對 gamma rays 或 X rays 應具有較優異的輻射耐受性。

- ◆ 中子照射會造成 GaN 磊晶層的載子移除，載子移除率隨施體摻雜濃度而變，且與磊晶成長方法有關，並依 MOCVD、ELOG、HVPE 成長法之序列降低。
- ◆ 中子照射會在 AlGaN 中形成電子與電洞的陷阱能階，AlGaN/GaN HEMT 之 2DEG 載子遷移率在中子通量達到 $1 \times 10^{14} \text{ cm}^{-2}$ 以上時開始降低。
- ◆ AlGaN/GaN HEMT 元件在質子照射之後會降低 HEMT 2DEG 密度，從而降低元件的汲極電流，然 AlGaN/GaN 介面處的壓電場會使得散射載子重新注入 2DEG 通道，可提升其輻射耐受性。

4. SiC 元件之 SEE 效應

由於 GaN 商用元件仍在發展階段，SEE 效應的測試主要以 SiC 元件為主，用於測試的元件類型包含 MOSFET、SBD、P-i-N Diode 等，操作電壓範圍介於 600 ~ 1700 V 之間。**表 3.6** 列出國際上針對 SiC 元件 SEE 效應相關的研究成果，其重要成果與結論摘錄如下：

- ◆ SiC 功率元件的 SEE 效應必須藉由能量高於 10 MeV 以上的高能粒子觸發，主要的失效模式為單一事件燒毀(SEB)現象。輻照實驗的高能粒子涵蓋中子、質子以及其它重粒子，甚至地面中子也可作為觸發源，且須建置測試電路或電荷收集量測系統來進行 SEB 事件偵測。
- ◆ SiC SBD 與 MOSFET 之 SEB 失效機率或發生截面隨外加偏壓而增加，且元件製造商和元件結構的差異對 SEB 敏感性有很大影響，然相較於 Si 元件仍可低數個數量級，如**圖 3.14**所示 [11]。
- ◆ SiC 元件的 SEB 觸發機制目前仍有分歧，經模擬預測質子照射引起的 SEB 事件可能由散裂反應的 Na 與 Al 原子所觸發，中子照

射則可能由核反應產生的高能二次碳原子主導，另有滲透理論 (percolation theory) 被提出用於解釋重離子所觸發的 SEB 事件。

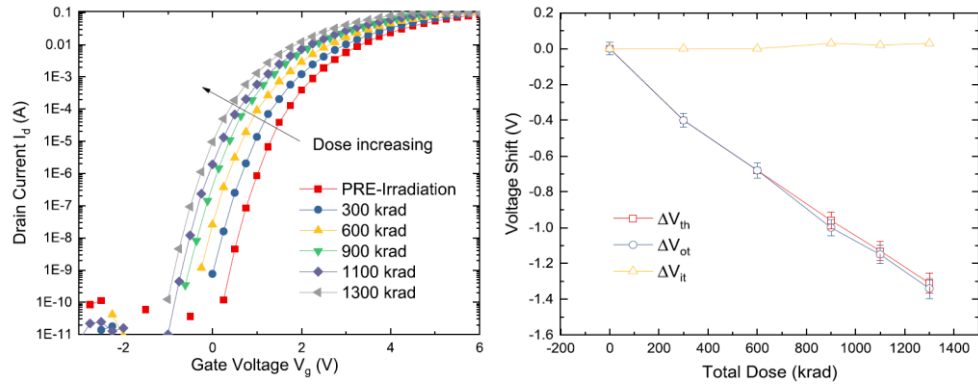


圖 3.12、SiC MOSFET 元件經 gamma rays 照射之 TID 效應

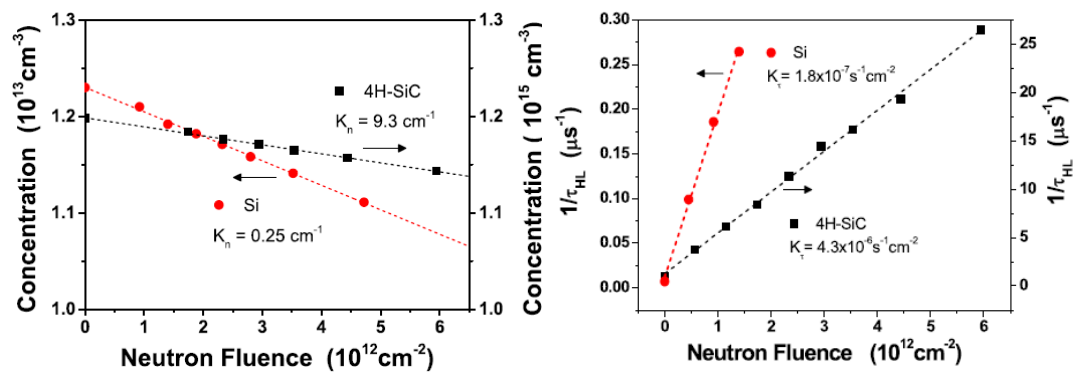
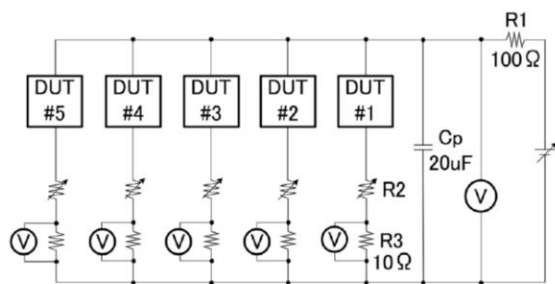
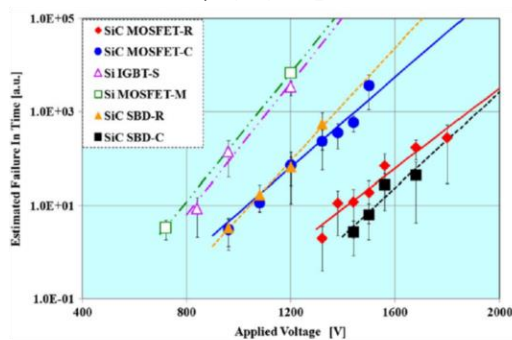


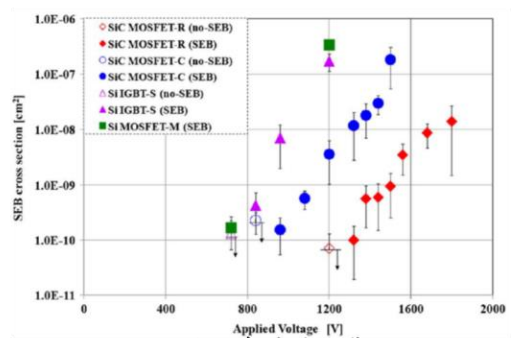
圖 3.13、SiC P-i-N 元件經中子照射之 DDD 效應



SEB事件測試電路



SEB事件失效率



SEB事件發生截面



SEB事件損傷情形

圖 3.14、SiC 功率元件 SEB 事件之測試電路與失效分析

表 3.3、SiC 元件之 TID 效應相關的研究成果

Ref.	元件類型	輻射源	劑量範圍 (Mrad)	照射條件	結果與重要結論	時間	國家
[22]	MESFET	γ rays (Co-60)	0 ~ 1000	35 °C; gate bias	- 閾值電壓 (V_{th}) 偏移主要取決於通道中產生的缺陷密度 - 半絕緣型基板的 MESFET 元件可能具備更好的頻率和γ rays 響應	1999	法國
[23]	MOSFET (1200 V)	γ rays (Co-60)	0 ~ 1000	25~150 °C; gate bias; dose rate	- 高劑量率之劣化效應較為明顯；高溫的環境可加速 V_{th} 復原 - 現有的 TID 測試標準適用於評估 SiC MOSFET 的輻射耐受性	2021	中國
[24]	MOSFET	X rays (10-keV)	0 ~ 0.3	gate bias; stress	輻射照射會影響 bias-temperature stress 效應	2011	美國
[25]	MOSFET (1700 V)	γ rays (Co-60)	0 ~ 1	gate bias	- 閘極偏壓會會影響 V_{th} 偏移量，正偏壓會有較大的負偏移量 - 輻照會影響逆偏特性及改變閘極電容，此係由於正電荷捕獲造成氧化層界面電荷增加	2021	中國
[26]	VDMOSFET (200 V)	$Ta^+ + \gamma$ rays (Co-60)	$Ta^+ : 2 \times 10^6 \text{ cm}^{-2}$ $\gamma: 0 \sim 0.05$	drain bias; anneal	- 重離子輻照不僅促使界面態增加，也使得γ rays 的電洞補獲現象更明顯 - 多重輻射的複合效應可能會使元件特性劣化更為嚴重	2020	中國
[27]	MOSC	x-rays (10-keV)	0 ~ 0.2	0 ~ 200 °C; gate bias; stress	- 輻照及負偏壓退火的複合效應會使得輻射效應更為明顯；正偏壓輻照和負偏壓退火的組合是最壞情況 - 複合效應及可靠度特性的評估對於高游離劑量的太空應用相當重要	2011	美國
[20]	MOSFET (1200 V)	γ rays (Co-60)	0 ~ 1.3	gate bias; bias-temp. stress	- 輻照期間 SiC MOSFET 在施加正閘極偏壓下的 V_{th} 呈現負偏移，當閘極偏壓增加時可降低偏移量 - 高正閘極偏壓 (FN stress) 退火可有效恢復元件的 V_{th} 偏移	2018	中國
[28]	MOSFET (1200 V)	γ rays (Co-60)	0 ~ 2.6	423 K; humid conditions	在高溫/高濕度的條件下，可降低氧化層捕獲電荷及界面陷阱，SiC MOSFET 的 V_{th} 偏移及漏電流可有效被抑制	2016	日本
[29]	MOSFET (1200 V)	γ rays (Co-60)	0 ~ 7	RT; No bias; in N_2	採用較薄的閘極氧化層、氧化層氮化製程中採用較低的氮濃度、更高的 p-well 表面濃度等製程可提升 SiC MOSFET 的輻射耐受性 (V_{th}, mobility, subthreshold swing)	2017	日本

[12]	MOSFET (1200V)	γ rays (Co-60)	0 ~ 1.5	RT & 125 °C	◆SiC MOSFET 在 100 krad γ rays 輻照後仍可可靠地運行，但要在高達 300 krad 的條件下運行則需要一個負閘極電壓用於關閉通道 ◆除 V_{th} 偏移之外，I-V、C-V、介面態密度也會受影響	2012	美國
[30]	DMOSFET (3300 V)	γ rays (Co-60)	0 ~ 0.7	RT; No bias	◆使用 Counter-Doped JTE 的元件可具備優異的γ rays 線輻射耐受性 ◆0.7 MGy 使 I_{on} 降低 15%，V_{bd} 則仍可達 3500 V 以上	2021	台灣
[31]	JMOSFET & DMOSFET (650 V)	γ rays (Co-60)	0 ~ 1	RT; No bias	◆JMOS 和 DMOS 呈現出相似的γ rays 耐受性，僅出現可忽略的靜態電性差異，且超過 1 Mrad 的劑量對其動態特性的影響很小 ◆建議選擇更高崩潰電壓等級的元件，並使用負閘極偏壓來避免 V_{th} 降低引起的通道漏電流	2020	台灣
[32]	MOSFET (1200 V)	γ rays (Co-60)	0 ~ 1	RT; No bias	◆V_{th} 對於 HTGB 可靠度測試與 TID 效應之複合效應相當敏感 ◆HTGB 之後使 I_{gss} 及 V_{th} 增加，使 C_{iss} 降低；TID 使 I_{dss} 及 I_{gss} 增加，使 C_{iss} 及 V_{th} 降低 ◆單獨採用 HTGB 與 TID 測試來認證會高估 SiC MOSFET 的劣化	2018	法國

表 3.4、SiC 元件之 DDD 效應相關的研究成果

Ref.	元件類型	輻射源	劑量或通量 (Mrad/cm ⁻²)	照射條件	結果與重要結論	時間	國家
[33]	JFET	γ rays 中子	100 (Co-60) 1×10^{16}	RT; No bias	♦JFET 在極高γ rays 劑量 (>100 Mrad) 之下仍可正常操作 ♦由於載子移除效應，JFET 在 $1 \times 10^{16} \text{ cm}^{-2}$ 中子通量照射後出現明顯劣化 ♦載子移除率約為 $4.5 \pm 0.5 \text{ carriers/cm}^3 \text{ per neutrons/cm}^2$	1992	美國
[34]	JFET	中子	5×10^{15}	RT & 300 °C; No bias	♦SiC JFET 相較 Si 或 GaAs 具有高溫核應用的優勢 ♦在 25°C、$1 \times 10^{15} \text{ cm}^{-2}$ 及 300°C、$5 \times 10^{15} \text{ cm}^{-2}$ 中子照射後沒有觀察到元件特性顯著劣化；300°C 照射提供中子位移損傷的退火效應	1996	美國
[35]	PiN Diode (4500 V)	中子	Si: 4.7×10^{12} SiC: 5.9×10^{12}	RT; No bias	♦SiC 相較於 Si 引入較多的缺陷數量，載子密度和壽命降低也較顯著 ♦SiC diode 的 n 型基極因具有更小尺寸和更高摻雜水平，可彌補上述的負面影響，具更高的中子耐受性，在高中子輻射環境中的可靠性優於 Si	2021	捷克
[36]	MESFET SBD	中子	1×10^{15}	RT; No bias	♦在中子通量 $1 \times 10^{13} \text{ cm}^{-2}$ 之下，MESFET 與 SBD 元件特性無顯著變化 ♦通量增加之後，因 Schottky 接面劣化會造成 I_d 降低及 V_{th} 增加	2010	中國
[37]	SBD	中子	5.5×10^{11} (cyclotron)	RT; No bias	♦在中子通量 $2.75 \times 10^{11} \text{ cm}^{-2}$ 之下，SBD 的 barrier height、理想因子、漏電流維持不變；中子通量增加至 $2.75 \times 10^{11} \text{ cm}^{-2}$ 時，SBD 特性開始劣化	2009	韓國
[38]	Thyristor	中子	1×10^{13}	RT; No bias	♦中子照射後，逆偏特性變化不大，但順向電流和開關特性均顯著下降 ♦中子照射造成歐姆接觸的導通電阻顯著增加及載子壽命顯著降低	2019	中國
[39]	SBD MOSFET	中子	1.6×10^{16}	RT; No bias	♦MOSFET 元件較 SBD 敏感 ♦中子位移損傷會引入缺陷，造成載子濃度變動及電性劣化或永久失效	2019	台灣
[13]	JFET (1700 V)	中子	1.6×10^{14}	RT; No bias	♦中子引入的受體缺陷中心導致通道與飄移區載子移除的現象為 SiC JFET 劣化的主因	2014	捷克
[40]	JBS PiN MOSFET	電子 中子 質子	2 M (4.5 MeV) 4×10^{14} 6×10^{10} (670 keV)	RT; No bias	♦不同輻射在 n 型輕摻雜飄移區引入不同能階位置的受體缺陷，會造成載子移除並降低載子遷移率及壽命 ♦JBS 與 JFET 具備較高的輻射耐受性，PiN 及 MOSFET 則較為敏感	2018	捷克

	JFET	He ⁺	4×10 ¹⁰ (1.9 MeV)				
[41]	MOSFET (1200 V)	質子	1×10 ¹⁴ (15 MeV)	RT; No bias	◆元件完全劣化之臨界照射通量可藉由$\Phi_{CR}=n_0/\eta_e$ 預測 (η_e: 載子移除率、n_0: 飄移區載子濃度) ◆Φ_{CR} for VDMOSFET: $\sim 10^{14} \text{ cm}^{-2}$	2019	俄羅斯
[42]	SBD	質子	4×10 ¹⁰ (550 keV)	RT; No bias	◆使用 DLTS、C-V 曲線和順向 I-V 曲線對元件進行特性分析，可用於校正元件模擬的模型參數 ◆經由深能階缺陷中心的分布校正及考量其對於遷移率的影響，可使模擬與量測趨於一致	2014	捷克
[43]	MOSFET (1700 V)	電子	20 (4.5 MeV)	RT; No bias	◆由於正電荷被捕獲於閘氧化層中，低劑量的電子照射 (TID> 1 kGy) 即會導致 V_{th} 顯著降低，而 V_{bd} 幾乎不隨 TID 而改變 ◆TID > 20 kGy, 輻射缺陷引入於飄移區造成 V_{th} 回升，但 R_{on} 增加	2015	捷克
[44]	JBS Diode (1700 V)	電子	200 (4.5 MeV)	RT; No bias	◆退火會造成深能階缺陷中心的轉換 ◆低摻雜濃度的磊晶層會限制高電子通量操作環境的可應用性	2015	捷克
[45]	BJT (2700 V)	He ⁺	1×10 ¹⁶ (600 keV)	RT; No bias	◆α 粒子照射會於鈍化層中產生正電荷，並於 SiO₂/SiC 介面產生點缺陷 ◆模擬顯示鈍化層的正電荷是增益降低的主原，而退火也會增加介面電荷	2012	巴基斯坦

表 3.5、GaN 元件之 TID/DDD 效應相關的研究成果

Ref.	元件類型	輻射源	劑量或通量 (Mrad/cm ²)	照射條件	結果與重要結論	時間	國家
[46]	AlGaIn/GaN HEMT	γ rays (Co-60)	600	RT; No bias	◆劑量低於 300 Mrad 時，靜態特性變化很小；劑量增加至 600 Mrad 之後， I_g 明顯降低且 V_{bd} 增加	2002	美國
[47]	AlGaIn/GaN HEMT	γ rays (Co-60)	0.1	< 50 °C; in N ₂ ; all contacts shorted	◆溫度相依 EBIC 量測可提供輻照相關氮空位缺陷的活化能 ◆了解不同劑量的 γ rays 對載子傳輸、複合和陷阱產生的輻照效應，對於決定太空應用元件性能和可靠性方面相當重要	2013	美國
[48]	MSM Photodetector	γ rays (Cs-137)	0.05	N.A.	◆GaN-based 偵檢器可在極端惡劣的環境中提供穩健的操作	2014	美國
[49]	n-GaN Films	中子	$10^{13} \sim 10^{18}$	RT; No bias	◆n-GaN grown by MOCVD, HVPE, ELOG。載子移除率隨施體摻雜濃度增加而顯著增加，並依 MOCVD/ELOG/HVPE 成長法之序列降低 ◆輻照產生最主要的陷阱為能階 0.6-0.7 eV 的類電洞陷阱和能階為 0.45 eV 的電子陷阱	2011	韓國
[50]	Schottky p-GaN gate stack devices	中子	6×10^{13} 、 1×10^{14}	RT; No bias	◆在中子照射之後，元件呈現正的 V_{th} 飄移及漏電流增加 ◆C-V 及 I-V 量測證實存在電子陷阱 (Ec-(0.38-0.55) eV) 及電洞陷阱 (EV+(0.56-0.62) eV) ◆缺陷與差排作用會改變 p-GaN/AlGaIn/GaN 異質結構的能帶	2021	中國
[51]	PiN Diode	中子	$\Phi_f: 1.31 \times 10^{14}$ 、 7.29×10^{14} $\Phi_t: 2.12 \times 10^{16}$	RT; No bias	◆快中子照射造成載子移除；熱中子照射則會大幅增加逆偏電流，可能由於能隙中的缺陷、鈍化層損傷、metal/GaN 介面缺陷等提供的穿隧點 ◆快/熱中子照射都會造成晶格破壞及改變應變狀態	2017	中國
[52]	n-AlGaIn/GaN HEMT	中子	1×10^{17}	RT; No bias	◆2DEG 遷移率在 neutron 通量 $1 \times 10^{14} \text{ cm}^{-2}$ 以上時開始降低；2DEG 濃度則在 $2.5 \times 10^{16} \text{ cm}^{-2}$ 時劇烈減少 ◆DLTS 量測顯示中子照射會在 AlGaIn 中形成電洞陷阱	2005	俄羅斯

[53]	AlGaIn/GaN HEMT	質子	1×10^{17} (2 MeV)	RT; No bias	◆GaN 磊晶差排密度對輻射響應沒有影響 ◆相較於 GaN HEMTs, AlGaAs/GaAs HEMTs 對於輻射損傷敏感 10 倍以上, 此係由於 AlGaIn/GaN 介面處的壓電場導致散射載子會重新注入 2DEG 通道	2016	美國
[54]	AlGaIn/GaN HEMT	質子	1×10^{13} (1.8 MeV)	RT; Stress biased	◆加入偏壓壓力測試之後會使得 GaN/AlGaIn HEMT 對於質子輻射的敏感度更為顯著 ◆三種壓力測試以先採 semi-ON 條件並在同樣偏壓下照射為最差情況	2015	美國
[55]	GaN-on-SiC HEMT	質子	$0 \sim 1 \times 10^{14}$ (1.8 MeV)	RT; No bias	◆質子照射會造成缺陷, 低劑量以施體缺陷主導, 高劑量則以受體為主 ◆GaN 磊晶製程條件會影響缺陷的數量與類型, 主要由 N 空孔或 Ga 空孔主導 V_{th} 的飄移	2015	美國
[16]	AlGaIn/AlN/GaN HEMT	質子	$0 \sim 1 \times 10^{14}$ (1.8 MeV)	RT; No bias	◆未摻雜 AlGaIn 層的載子移除會改變結構中的空乏電荷, 並使能帶彎曲 ◆能帶彎曲降低 HEMT 2DEG 密度, 從而降低元件中的汲極電流	2008	美國
[56]	AlGaIn/AlN/GaN HEMT	質子	$0 \sim 3 \times 10^{14}$ (1.8 MeV)	RT; No bias	◆表面陷阱是質子照射前 GaN HEMT 元件 gate lag 的主要原因, 而體陷阱效應僅在高質子通量下變得明顯 ◆如表面陷阱可有效被降低, GaN HEMT 應可在太空環境中運行良好	2009	美國
[57]	AlGaIn/GaN HEMT	質子	$0 \sim 1 \times 10^{14}$ (3 MeV)	RT; No bias	◆質子位移損傷使 GaN HEMT 元件出現靜態與動態特性劣化 ◆DCT 或 ID-DLTS 技術可用於檢測 GaN HEMT 元件結構內的缺陷及確認位移損傷的初步影響	2014	義大利
[58]	AlGaIn/GaN HEMT	質子 He^+ C^+	4×10^{14} (2 MeV) 2.3×10^{13} (2 MeV) 1.3×10^{12} (1.5 MeV)	RT; No bias	◆汲極電流隨不同粒子的等效通量呈現線性降低的趨勢 ◆高輻射耐受性的基本機制是 2DEG 附近的強內部壓電場導致散射的載子被重新注入	2012	美國

表 3.6、SiC 元件之 SEE 效應相關的研究成果

Ref.	元件類型	照射粒子及能量 (MeV)	測試方案	結果與重要結論	時間	國家
[9]	MOSFET (1200 V)	中子 (Max. 400)	測試電路	◆連續能譜中子輻照實驗與元件模擬研究 SiC MOSFET SEB 的觸發機制，模擬的晶格溫度峰值位置與觀察到的 SEB 損傷位置非常吻合 ◆SiC MOSFET 觸發 SEB 事件的主要機制為峰值電場的偏移和 n+源極擴散區域的貫穿所致	2015	日本
[6]	SBD (600 V)	N^+ (53.2)、 Ne^+ (69.7)、 Ar^+ (137)、 Kr^{1+} (289)、 Xe^+ (394)	電荷收集量 測系統 (ORTEC 142B)	◆藉由漏電流與電荷收集量測研究 SiC SBD 的 SEB 機制 ◆SEB 是由 SiC SBD 元件在較高施加的偏壓下，經由異常大的電荷收集所觸發，並且在略低於觀察到 SEB 的偏壓下觀察到元件的永久性損壞 ◆相當大的局部加熱與陷阱輔助穿隧可能為 SiC SBD 的 SEB 機制	2006	日本
[59]	SBD	質子 (63)、 Li^+ (99)、 F^+ (125)、 Br^+ (210)、 I^+ (329)	GPIB-controlled System	◆滲透理論 (percolation theory) 被提出解釋 SEB 現象，輻射引起的缺陷或簇、螺旋缺陷或微管或疊差等可能啟動電路引起二次崩潰 ◆低 LET 無法誘發 SEB 的粒子在逆偏 SiC 二極體中存在新的失效性崩潰模式 (二次崩潰)，高 LET 粒子則可看到 SEB 事件	2004	美國
[60]	SiC: Diode/ MOSFET; Si: Diode/ MOSFET/IGBT (600 ~ 1700 V)	中子 (Max. 10)	測試電路 (每次 12~14 元件)	◆SiC MOSFET 相對於 Si 元件具有更強的抗 SEB 效應的能力，失效電壓較高，且失效率隨電壓的增加率較為平緩 ◆SiC Diode 抗 SEB 效應的能力更為明顯，結果則與 MOSFET 類似 ◆SiC 元件的抗輻射性可能由於具有較高的崩潰電壓，但屏除此因素期仍具有優勢	2016	德國
[61]	SBD (600 ~ 1700 V)	Xe^+ (483.1)、 Kr^+ (261.1)、 Ar^+ (129.2)、 Ne^+ (64.2)	測試電路	◆安全操作區 SOA 定義為元件在照射時不會發生失效的最大逆偏電壓 ◆不同粒子具有不同的 LET，SOA 與 LET 相關並且隨 LET 增加而降低 ◆防止 SEB 的適合反向偏壓必須隨著 LET 值的增加而降低，部分公司的元件，高 LET 的 SOA 甚至降至最大可操作電壓的 10%以下	2019	俄羅斯
[62]	MOSFET (900 V)	中子 (> 10)	測試電路	◆SiC MOSFET 的壓力測試與中子輻照誘發 SEB 之敏感性相關 ◆經過壓力測試的元件具有較高的失效率，亦即具有較高的 SEB 敏感性	2020	法國

[7]	MOSFET (1200 V)	質子 (70)、 N^{3+} (53.2)、 Ne^{4+} (69.7)、 Ar^{8+} (137)、 Kr^{17+} (289)、 $^{129}_{23+}Xe$ (394)、 $^{132}_{23+}Xe$ (22620、 8290)	電荷收集量 測系統 (EPICS)	◆SiC MOSFET 元件在照射過程中所收集到的電荷能譜與 Si Power MOSFET 類似 ◆在某些高 LET 觸發永久性失效之前，元件會出現漏電流增加的現象，且在逆偏電壓極低的條件之下即會發生 ◆針對質子照射，散裂碎片可能是觸發 SEB 的原因	2014	日本
[63]	SiC: MOSFET Si: MOSFET/ IGBT (600 ~ 1200 V)	中子 (50、80、 地面中子)	測試電路 (改變照射方向)	◆SiC MOSFET 對中子具有極強的中子輻射耐受性，測試過程並未出現 SEB；Si SJ MOSFET 與 IGBT 則都有發生，最高約 48% 的 SOA 降低 ◆地面中子的結果與中子源的結果類似 ◆照射方向會影響中子的失效截面，且 SEGR 在 Si SJ MOSFET 中出現	2012	比利時
[8]	SBD (600 V)	質子 (30、70)	測試電路	◆質子照射的失效通量可用累積失效分布函數來描述，由此確認質子照射導致的 SEB 是由散裂反應造成的，與重離子的滲透理論不同 ◆由 Geant4 模擬證實散裂反應中，Na 與 Al 是造成 SEB 的主要離子	2007	日本
[64]	MOSFET (1200 V)	中子 (1 ~ 1000) (LANSCE 中子束)	測試電路	◆在 $V_{DS} > 800$ V 時，首次觀察到 SiC 功率 MOSFET (1200V 24A) 受中子誘發的永久性失效 SEB 事件 ◆在 1200 V 的最高額定汲極偏壓下，估計這種功率 MOSFET 可運作 200 年以上不會因地面中子而遭受永久性失效	2014	美國
[10]	SBD (600 V)	中子 (5 ~ 300) (RCNP 中子束)	測試電路	◆元件製造商和元件結構的差異對地面中子 SEB 敏感性有很大影響 ◆SEB 發生截面隨外加偏壓增加而增加，且與元件設計與製造來源相關 ◆中子和質子誘發 SEB 應是由元件內部的核反應所產生的二次粒子觸發的，PHITS MC 模擬顯示主要的二次粒子為 C	2012	日本
[11]	SiC: SBD/MOSFET Si: MOSFET/IGBT (1200 V)	中子 (5 ~ 300) (RCNP 中子束)	測試電路	◆SiC MOSFET 因地面中子之 SEB 失效機率隨外加偏壓成指數上升，且 SBD 與 MOSFET 結果未出現一致性的趨勢，然相較 Si MOSFET 可低數個數量級 ◆核反應產生的高能二次 C 原子以及中子與 SiC 元件晶格原子之間的碰撞可能為觸發 SEB 事件的重要機制	2014	日本

(三) SiC 金氧半電容之 TID 輻射效應特性分析

完成 4H-SiC MOS 電容元件製作之後，本研究即使用鈷-60 射源進行元件的 gamma rays 照射，藉此探討 4H-SiC MOS 電容元件的 TID 輻射效應。圖 3.15 所示為 4H-SiC MOS 電容元件經不同 gamma rays 累積劑量照射之後的高頻 C-V 特性曲線量測結果，縱軸為歸一化的電容 (C/C_{ox})， C_{ox} 為氧化層電容，照射劑量範圍則介於 0 ~ 100 kGy 之間。首先，經由累增區的 C_{ox} 電容，可估算 SiC MOS 電容的等效氧化層厚度約為 61.5 nm，此厚度與我們預估成長的氧化層厚度 60 nm 相當吻合。另一方面，C-V 特性曲線在 gamma rays 照射之後會出現明顯的飄移。當累積劑量未超過 15 kGy 之前，C-V 特性曲線隨著照射劑量增加而逐漸往左飄移；當累積劑量超過 15 kGy 時，則有往右飄回的趨勢，但似乎會逐漸達到飽和。由 C-V 特性曲線結果可知，gamma rays 照射會產生游離電荷，這些電荷被氧化層補獲將改變 C-V 曲線的特性電壓，並且由曲線左移意味著 gamma rays 在介電層內產生的電洞被捕獲形成帶正電的氧化層陷阱電荷 (oxide trapped charge)。另一方面，存在於 SiO_2/SiC 界面的界面陷阱電荷 (interface traps) 會造成 C-V 曲線在空乏區的斜率變化，從圖中顯示各劑量所對應的斜率變化並不明顯，可推知 gamma 照射對於界面態的影響甚小。此外，C-V 曲線於飽和後往正偏壓位移的原因雖目前並沒有直接證據，但猜測可能原因為 gamma rays 照射導致的深能階界面陷阱或近界面電子陷阱增加所致。

除了上述的氧化層陷阱電荷及界面陷阱電荷之外，gamma rays 照射也可能經由二次粒子 (如康普吞電子) 的作用而在 SiC 晶體中產生本體陷阱或缺陷 (bulk traps or defects)。然而，此效應通常要在

照射劑量高於 10 MGy 以上時才會顯著發生 [67]，本研究所採用的最高吸收劑量僅約 100 kGy，低於上述劑量兩個數量級，可以預期在此照射劑量之下，SiC 內部產生本體陷阱的影響應可忽略。為了確認 SiC 晶體中的載子密度並未受到 gamma rays 照射導致的本體陷阱而改變，本研究使用 $1/C^2$ 與電壓的關係式以估算其本體的載子濃度：

$$\frac{1}{C_{dep}^2} = \frac{2(V_R + V_{bi})}{q\epsilon N_B A^2} \quad (2)$$

其中， C_{dep} 為空乏電容、 V_R 為逆向偏壓、 V_{bi} 為內建電場 (built in potential)、 q 為單位電荷量、 ϵ 為 SiC 的介電常數、 A 為電容面積。根據上式，藉由求取 $1/C_{dep}^2$ 與 V_R 特性取線的斜率即可推得有效的載子濃度。**圖 3.16 (a)** 所示為各照射條件之下的 $1/C^2$ 與電壓的特性曲線，**圖 3.16 (b)** 則為經由其斜率所推算的有效載子濃度，由圖顯示未照射前的 SiC 本體載子濃度約為 $2 \times 10^{16} \text{ cm}^{-3}$ ，與原先設定的材料規格相當一致，且在 gamma rays 照射之後，有效載子濃度並未隨著照射劑量而有顯著改變，由此可證實在此 gamma rays 照射劑量之下，SiC 晶體內部並未產生顯著的本體陷阱。

由上述的分析可知，C-V 特性曲線平移大部分可歸因於介電層捕獲電荷所致，可排除本體陷阱的影響。中間帶隙電荷分離法 (midgap charge separation) 已被廣泛地用於區分 MOS 電容中介電層所捕獲的氧化層陷阱電荷及界面陷阱電荷所造成的 C-V 特性曲線的電壓變化 [65-67]，本研究也使用此方法來進一步地確認上述兩者的貢獻。假設界面陷阱電荷的產生並不會造成 C-V 曲線位移，則由 gamma rays 輻照所引起的氧化物捕獲電荷所造成的電壓位移 (ΔV_{ot}) 可由下式計算：

$$\Delta V_{ot} = \frac{\Delta N_{ot}}{C_{ox}} = \frac{|(V_{mg})_{post} - (V_{mg})_{pre}|}{qA} \quad (3)$$

上式中， ΔN_{ot} 為氧化層陷阱電荷密度、 $(V_{mg})_{post}$ 與 $(V_{mg})_{pre}$ 為照射前後的中間帶隙電壓。另一方面，由 gamma rays 輻照引起的界面陷阱的密度 ($\Delta D_{it}(\varphi)$) 可計算如下式：

$$\Delta D_{it}(\varphi) = \frac{C_{ox}}{qA} \left| \left(\frac{dV_g}{d\varphi} \right)_{post} - \left(\frac{dV_g}{d\varphi} \right)_{pre} \right| \quad (4)$$

上式中， V_g 為閘極電壓、 φ 為表面電位。為了瞭解游離輻射對 MOS 結構的影響，可經由 $\Delta D_{it}(\varphi)$ 分布對表面電位積分來求得總界面陷阱密度所造成的 C-V 曲線電壓位移 (ΔV_{it})，如下式：

$$\Delta V_{it} = \frac{\Delta N_{it}}{C_{ox}} = \frac{\int_{\varphi_{fb}}^{\varphi_{mg}} \Delta D_{it}(\varphi) d\varphi}{C_{ox}} = \frac{|(V_{mg} - V_{fb})_{post} - (V_{mg} - V_{fb})_{pre}|}{qA} \quad (5)$$

上式中， ΔN_{it} 為界面陷阱電荷密度、 V_{mg} 與 V_{fb} 為中間帶隙電壓與平帶電壓。**圖 3.17** 所示為氧化層陷阱電荷及界面陷阱電荷所造成的電壓位移隨不同 gamma rays 照射劑量的變化。隨著照射劑量的增加， ΔV_{ot} 明顯降低，之後即漸趨於飽和； ΔV_{it} 在低劑量時並沒有太大的變化，當劑量超過 15 kGy 時則有些微上升的趨勢。相較於 ΔV_{it} ， ΔV_{ot} 的變化更為顯著。因此，gamma rays 照射造成的輻射效應主要可歸因於氧化層陷阱電荷捕獲，界面陷阱電荷的影響極小。

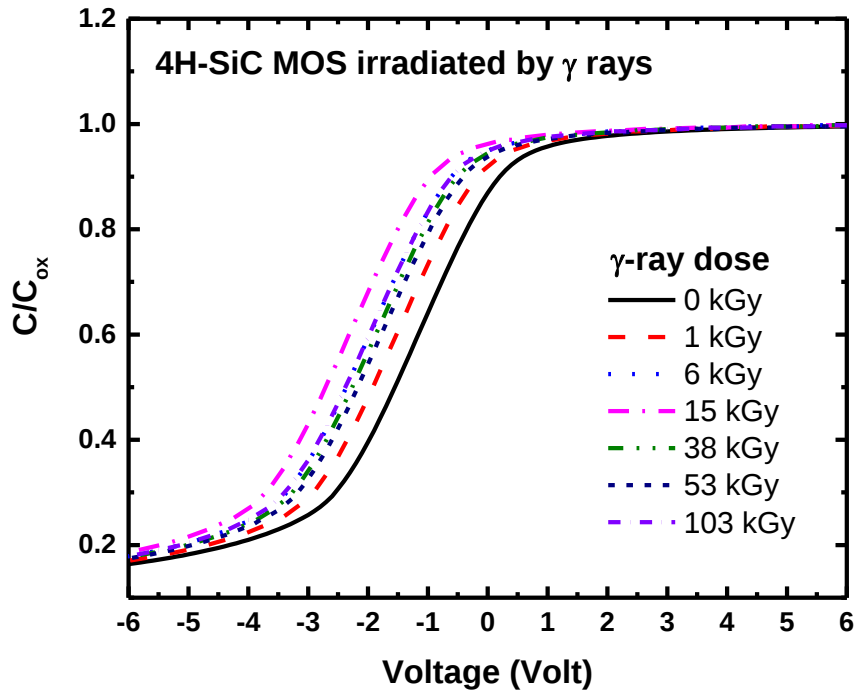


圖 3.15、SiC MOS 電容之高頻 C-V 特性曲線隨 gamma rays 照射劑量之變化

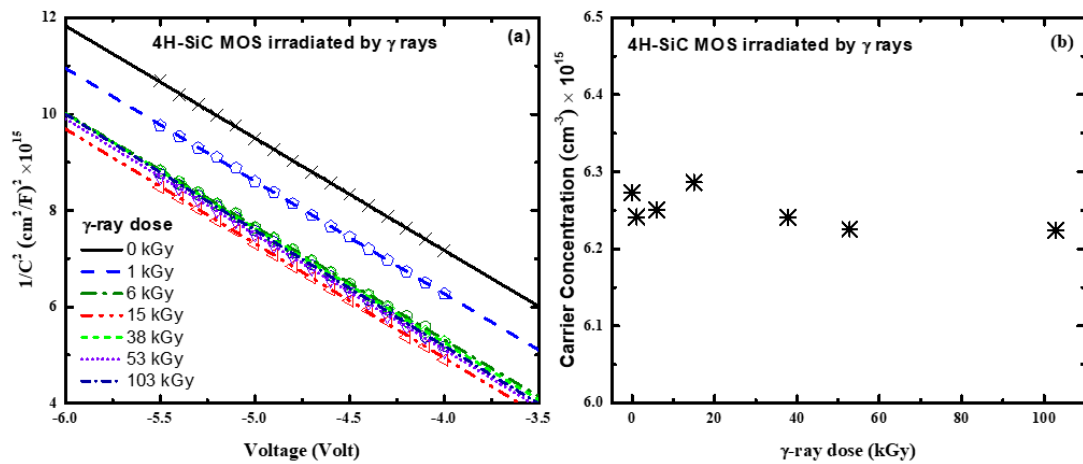


圖 3.16、SiC MOS 電容之 (a) $1/C^2$ 與電壓的特性曲線與 (b) 有效載子濃度隨 gamma rays 照射劑量之變化

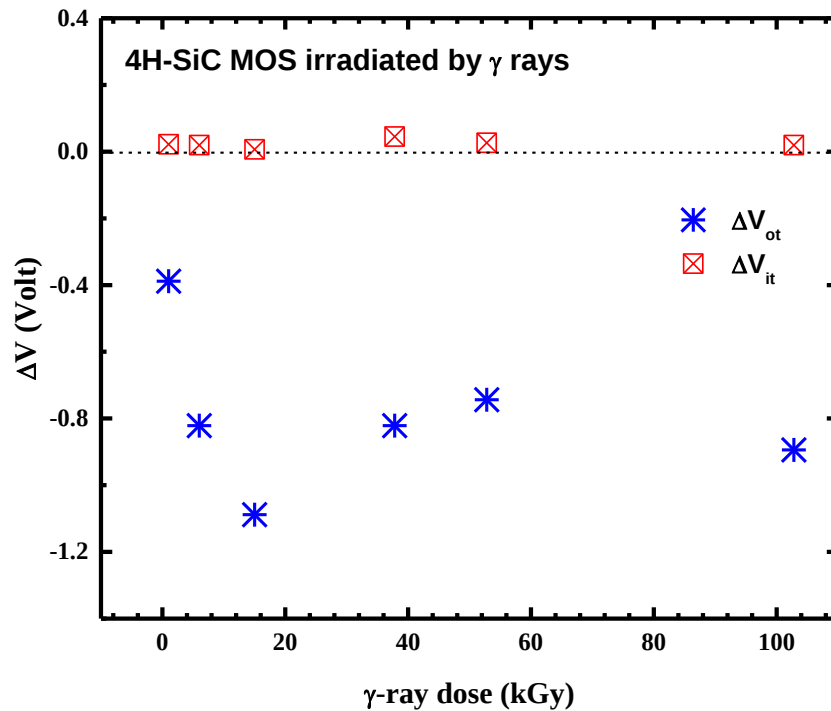


圖 3.17、SiC MOS 電容之 ΔV_{ot} 與 ΔV_{it} 隨 gamma rays 照射劑量之變化

(三) 輻射效應標準驗證流程研析

本研究已針對美國 MIL、歐洲 ESCC 以及 JEDEC 等國際機構所發布的測試標準進行研析與比較，以下係分別彙整 TID 與 SEE 輻射效應之標準測試流程，以做為未來國內相關研究與應用之參考：

1. TID 輻射效應

針對 TID 輻射效應測試，可依輻射種類概分為中子照射與總游離劑量照射兩類，MIL-STD-750 1017.1 與 MIL-STD-883 1017.3 涵蓋中子照射的方法與規範，MIL-STD-750 1019.5、MIL-STD-883 1019.9 及 ESCC 22900 則提出穩態總游離劑量照射及測試程序。

(1) 中子輻照測試標準

此測試的目的為對半導體元件進行破壞性的中子輻照測試，並適用於包含積體電路、電晶體及二極體元件。本節整理 MIL-STD-750E (1017.1) 及 MIL-STD-883 (1017.3) 所規範內容，並針對測試條件差異進行比較。

在測試儀器及輻射源的測試標準中，MIL-STD-883 在基於 MIL-STD-750E 的內容上，延伸了新的規定標準。輻照測試中使用的測試儀器必須為標準實驗室級電子測試儀器，在測試儀器的參數校正上，MIL-STD-883 允許參照 MIL-STD-750E 的校正標準。對於採用的輻射源，除了 MIL-STD-750E 明確標示的 TRIGA 反應器及 Fast Burst 反應器之外，MIL-STD-883 文件中亦闡明可以使用 DT 或 DD 加速器產生的單能量中子能譜，但前提是其換算的 1 MeV 等效能譜必須符合美國國防部採用的 ASTM 標準。此外，該標準也新增中子源每 $1 \times 10^{12} \text{ n/cm}^3$ 所造成的 TID 總游離劑量不得超過 500 rad (Si) 的規定。

在輻射劑量設備的規定中，MIL-STD-750E 及 MIL-STD-883 皆為一致，分別是：(a) 快中子臨界活化箔片 (Fast-neutron threshold activation foils)，如： ^{32}S , ^{54}Fe , and ^{58}Ni ；(b) CaF_2 熱發光劑量計 (TLD)；(c) 可計讀 activation foils 跟 TLD 的設備。在中子通量偵測方面，快中子臨界活化箔片需與元件一起進行中子輻照，並依據 ASTM E263/E264/E265 之標準，經由測量快中子臨界活化箔片的放射性活度轉換為中子通量。受限於箔片的放射性活度轉換為中子通量需要中子能譜的參數，若是沒有中子能譜則需根據 ASTM E720/E721/E722 之規定進行分析。此外，若是輻照測試中需要獲得 gamma-ray 輻射劑量參數，可以使用 CaF_2 熱發光劑量計，並根據 ASTM E668 轉換得到 gamma-ray 輻射劑量。MIL-STD-883 除了上述

的測量標準之外，額外新增適用 gamma-ray 輻射劑量轉換的 ASTM E2450 規定於文件中。

在安全要求及測試樣品的規定上，MIL-STD-750E 及 MIL-STD-883 兩者並無顯著差異。在輻照實驗中使用到的設備或是試片的儲存與處理需符合當地輻射安全部門及保健物理的規定。測試樣品需隨機選取且最小數量為十個，並標號以利輻照實驗前後的比較。輻照實驗前，每一個樣品皆需記錄輻照前的電子特性。此外，在測試平台的建置上，每一個元件需設置為無偏壓狀態，並使其接腳可以為開路狀態或短路狀態。對於 MOS 元件，所有接腳需為短路。最適當的配置為樣品跟劑量計安裝在一起，但可以視反應器或設施的條件進行調整。此外，測試配置需讓整個試片的中子通量變化不超過 20%。

輻照測試的規定中，輻照劑量可以藉由控制反應器的脈衝或是功率模式。若進行多次接續的照射，則每一次輻照後電子特性測試需依照 MIL-STD-750E 3.5.1 進行分析。如劑量計需要被使用，則每一次間歇照射完需更換一個新的劑量計。此外，MIL-STD-750E 的輻照環境溫度規定為 $20^{\circ}\text{C} \pm 10^{\circ}\text{C}$ 。MIL-STD-883 除環境溫度規定為 $24^{\circ}\text{C} \pm 6^{\circ}\text{C}$ 與 MIL-STD-750E 不同之外，也新增中子射源伴隨的 gamma-ray 輻射劑量的限制，即其導致的總游離劑量影響不得超過待測元件額定值的 10%，以避免混淆中子非游離能失 (nonionizing energy loss, NIEL) 的影響。

關於輻照後的電性測試，兩份文件皆一致規定在進行電性量測前，試片需維持在 $20^{\circ}\text{C} \pm 10^{\circ}\text{C}$ ，並在照射完成 24 小時內進行測試。若是輻射放射性活度超過當地安全部門之規定，輻照後測試可以延長至一周或更久之後執行。對於元件的異常特性分析 (如非線性劣

化)，MIL-STD-750E 並無特別規定，而 MIL-STD-883 則規定需依據該文件中的 Method 5003 進行失效分析。

在報告彙整的部分，兩者規定一致相同，最低要求為需明確列出元件的刻號或是序號、日期編碼等。每一個數據報表需包含輻照測試日期、電性測試狀態、輻照測試通量、環境狀況及測試數據。若採用非指定的電子測試電路時，則需記載測量的電路配置。若是有任何異常特性則需完整的解釋並記錄。**表 3.7** 即根據上述兩份測試文件的內容，針對中子輻照測試標準的比較。

表 3.7、中子輻照測試標準比較

	MIL-STD-750E	MIL-STD-883
輻射源	TRIGA 反應器 Fast Burst 反應器	TRIGA 反應器 Fast Burst 反應器 DT 加速器 DD 加速器
輻射劑量設備	快中子臨界活化箔片 CaF ₂ 熱發光劑量計 可計讀之設備	快中子臨界活化箔片 CaF ₂ 熱發光劑量計 可計讀之設備
中子通量計測	ASTM E263/E264/E265 ASTM E720/E721/E722	ASTM E263/E264/E265 ASTM E720/E721/E722
γ-ray 輻射劑量偵測	ASTM E668	ASTM E668 ASTM E2450
輻照環境溫度	20°C ± 10°C	24°C ± 6°C
特性量測前溫度	20°C ± 10°C	20°C ± 10°C

(2) 總游離劑量測試標準

對於總游離劑量測試的標準流程文件，分別有 ESCC22900、MIL-STD-750E (1019.5)及 MIL-STD-883 (1019.9)，其目的為用於評估鈷-60 gamma rays 輻照積體電路及分離式元件的總游離劑量效應。本節

整理 ESCC22900、MIL-STD-750E 及 MIL-STD-883 所規範內容，並針對測試條件差異進行比較。

在輻照測試的儀器設備使用，三者皆規定其電子量測系統需設置良好的絕緣及足夠的輻射屏蔽，以利達到較低的訊號干擾及漏電流。對於採用的輻射源，MIL-STD-750E 及 MIL-STD-883 的規定為採用鈷-60 gamma rays 輻射源，其輻射場域內的輻射均勻性需低於 10%，強度的不準確度則不得超過 5%。MIL-STD-750E 特別規定每三年鈷-60 gamma rays 輻射源需校正一次，且須記錄每個月的衰退趨勢。ESCC22900 除了與上述規定一致，增列劑量率的規定需根據 ESCC21500 進行校正且不得超過規定值 5%。此外，亦可以採用電子加速器射源，其電子能量需足以穿透封裝材料，且電子入射至半導體元件表面時，其能量仍需要 ≥ 1 MeV。使用法拉第杯及電流積分器將電子通量準確地轉換為吸收劑量 Gy(Si)，劑量分佈均勻性需小於 $\pm 10\%$ 。此外，照射時測試樣品應被平衡材料 (equilibrium material) 包圍，以降低因低能散射輻射所致的劑量增強 (dose enhancement effect)。如果可以證明低能散射輻射不會因劑量增強而引起劑量測定誤差，則可以省略平衡材料。為達到平衡，建議使用至少由 1.5 mm 鉛且內襯至少為 0.7 mm 鋁製成的容器。

◆ 總劑量及劑量率

在輻照劑量的規定中，MIL-STD-750E 及 MIL-STD-883 列出輻照劑量不得超過計畫中規定的 $\pm 10\%$ 。ESCC22900 增列規定最少需進行三種累增劑量照射，如表 3.8 所示。對於輻照劑量率的規定，MIL-STD-750E 僅有三種方案，分別為標準條件、適用於 MOS 元件及替代條件。MIL-STD-883 增列了雙極性電晶體及 BiCMOS、加速劣化

測試兩種。ESCC22900 則有標準劑量率及低劑量率兩種，分別為 0.1 ~ 50 rad(Si)/s 及 0.01 ~ 0.1 rad(Si)/s 兩種，表 3.9 所示則為 ESCC22900 中所列出的輻射耐受性確認 (RHA)劑量標準應對應的輻照劑量測試條件，每一個標準至少應有 3 次照射，並建議使用如表所示的照射劑量增量。

表 3.8、游離輻射測試劑量率比較

條件		MIL-STD-750E	MIL-STD-883	ESCC22900
A	Standard condition	50 ~ 300 rad(Si)/s	50 ~ 300 rad(Si)/s	0.0001 ~ 50 rad(Si)/s
B	MOS devices	≥ 50 rad(Si)/s	≥ 50 rad(Si)/s	
C	Alternative	無明確規定	無明確規定	
D	Bipolar/BiCMOS		≤0.01 rad(Si)/s	
E	Bipolar/BiCMOS (升溫)		a. 無明確規定 b. ≤0.01 rad(Si)/s , c. 無明確規定	
	Low Rate			0.01 - 0.1 rad(Si)/s

表 3.9、ESCC22900 輻照劑量表

種類	總游離劑量(rad(Si))	對應輻照條件 (rad(Si))
M	3k	1.5k / 3k / 4.5k
D	10k	5k / 10k / 15k
E	20k	10k / 20k / 30k
P	30k	15k / 30k / 45k
F	50k	25k / 50k / 75k
R	100k	50k / 100k / 150k
A	300k	150k / 300k / 450k
G	500k	250k / 500k / 750k
H	1000k	500k / 1000k / 1500k

◆ 輻照溫度

關於輻照測試的溫度要求，MIL-STD-750E 規定待測元件進行照射時空間溫度需為 $24^{\circ}\text{C} \pm 6^{\circ}\text{C}$ ，電性量測時空間溫度要求為 $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 。若待測元件需要進行遠端電性量測，元件的溫度則不得超過輻照環境溫度的 $\pm 10^{\circ}\text{C}$ 。而 MIL-STD-883 僅對電性量測的空間溫度要求修訂為 $24^{\circ}\text{C} \pm 6^{\circ}\text{C}$ ，其餘要求則與 MIL-STD-750E 一致。ESCC22900 的輻照溫度規定為 $20^{\circ}\text{C} \pm 10^{\circ}\text{C}$ ，且實驗中變化不得超過 3°C 。為了避免室溫退火效應，輻照後的空間溫度則不得超過 30°C 且變化不能超過 5°C 。此外，對於遠端電性量測的規定，與前者一致，傳送過程不得超過輻照環境溫度的 $\pm 10^{\circ}\text{C}$ 。此外，僅有 MIL-STD-883 對照射室的溫度調節具有規定，若有升溫輻照實驗的需求，照射室的溫度控制必須具有 $100 \pm 5^{\circ}\text{C}$ 的調節能力，且必須在 20 分鐘內升溫/降溫至實驗設定溫度，對於低溫輻照實驗，溫度誤差則必須小於 $\pm 5^{\circ}\text{C}$ 。各標準的照射溫度規定如表 3.10 所示。

表 3.10、總游離劑量之測試溫度規定

	MIL-STD-750E	MIL-STD-883	ESCC22900
室溫中輻照	$24^{\circ}\text{C} \pm 6^{\circ}\text{C}$	$24^{\circ}\text{C} \pm 6^{\circ}\text{C}$	$20^{\circ}\text{C} \pm 10^{\circ}\text{C}$, $\Delta \leq 3^{\circ}\text{C}$
升溫輻照		$100 \pm 5^{\circ}\text{C}$	
輻照後室溫	$25^{\circ}\text{C} \pm 5^{\circ}\text{C}$	$24^{\circ}\text{C} \pm 6^{\circ}\text{C}$	$\leq 30^{\circ}\text{C}$, $\Delta \leq 5^{\circ}\text{C}$
遠端測試	輻照溫度 $\pm 10^{\circ}\text{C}$	輻照溫度 $\pm 10^{\circ}\text{C}$	輻照溫度 $\pm 10^{\circ}\text{C}$

◆ 電性量測

對於元件性能量測的規定，MIL-STD-750E 與 MIL-STD-883 並無太大差異。除了規定輻照前後需使用同一套量測系統之外，建議可使用脈衝式量測以減少量測中產生的熱效應或是後續的退火效應。對於自動量測設備並無特別硬性規定，若是使用手動的量測設備，則

必須先進行對元件產生較低功率消耗的量測，並盡量減少量測所花費的時間。ESCC22900 則規定所有輻照實驗中所使用的量測系統必須是對輻射具低靈敏性，或是在儀器損壞之前可以採取適當地屏蔽保護。

臨場測試 (in-flux/in-situ) 為輻照實驗中同時進行電性量測，此方法可以避免元件在輻照後的特性受到時間變化的影響。為了確保量測系統的設置是穩定可靠的，MIL-STD-750E、MIL-STD-883 與 ESCC22900 皆規定臨場測試必須同時進行一組對照組的實驗，須利用同一套量測系統，在輻照實驗前及完成後量測對照組的元件。

遠端測試 (Remote) 則是將元件的偏壓移除後，將其從照射室轉移至元件量測室。MIL-STD-750E 及 MIL-STD-883 規定元件在轉移的過程中須將其置放於導電泡棉上。ESCC22900 則特別規定，照射完成後從電路板移除的元件需將所有接腳一起短路。與臨場測試一致，必須同時進行一組對照組的實驗。

◆ 偏壓條件

MIL-STD-750E、MIL-STD-883 與 ESCC22900 針對在輻照實驗中的操作偏壓及負載條件亦有一致的嚴格規定。施加於元件的偏壓及升溫條件不得超過測試計畫中設計的 $\pm 10\%$ 。此外，從輻照實驗開始持續到結束，操作偏壓及升溫條件的設定參數必須使元件發生最嚴重輻射損傷，若未使用此一條件參數則必須在測試報告中闡述理由。被輻照的元件應安裝在電路板上或連接到電路板上，以用於施加輻照期間元件的偏壓。除非另有規定，所有元件的輸入端子和任何其它可能影響輻射響應的端子在輻照期間應有適當的電性連接，不應維持在浮停 (floating) 狀態。用於輻照及加速退火期間施加元件偏壓

的測試電路板必須能夠承受輻射及加速退火測試的溫度要求，並應在測試前後檢查其物理和電性劣化情形。

◆ 輻照後測試

輻照實驗後的測試步驟，MIL-STD-750E 及 ESCC22900 提出了兩點相同的規定：(i) 完成輻照後到電性量測的間隔至多 1 個小時。(ii) 若是需要接續進行下一個輻照實驗，則間隔不得超過 2 個小時。MIL-STD-883 則根據不同輻照劑量率設定，訂定相對應規則。對於條件 A 的標準測試，其規定與 MIL-STD-750E 一致，間隔不得超過 1 個小時。若是條件 B、C、D、E 的間隔時間會超過 1 個小時，則可以允許間隔為輻照時間的 10%，但不得超過 72 小時。遠端測試分析時，必須在輻照實驗完成後的 15 分鐘內，將元件接腳短路，並以乾冰封存維持在 -60°C 。進行電性量測前的間隔不得超過 72 小時。此外，欲進行量測前則需在 30 分鐘內，將元件從乾冰中移除並恢復至室溫。若是需要進行二次接續輻照實驗，對於條件 A 的規定為不得間隔超過 2 個小時。對於其它條件的規定則為輻照時間的 20%，但不得超過 120 小時，其餘規定則與上述內容一致。對於使用乾冰測試法的規定，皆依照前述之規定，輻照實驗結束至進行特性量測不得超過 1 小時，二次接續輻照實驗不得超過 2 個小時，若是條件 A 的輻照設定顯示較小的室溫退火效應，則 1 小時及 2 小時的規定可以視情況延長。各標準針對輻照實驗後量測時間及接續輻照實驗的間隔時間的規定如表 3.11 與表 3.12 所示。

表 3.11、輻照實驗後量測時間規定

條件	MIL-STD-750E	MIL-STD-883	ESCC22900
----	--------------	-------------	-----------

A	Standard condition	≤ 1 hr	≤ 1 hr	×
B	MOS devices	≤ 1 hr	$0.1 * T_{irr}, \leq 72$ hrs	×
C	Alternative	≤ 1 hr	$0.1 * T_{irr}, \leq 72$ hrs	×
D	Bipolar/BiCMOS	×	$0.1 * T_{irr}, \leq 72$ hrs	×
E	Bipolar/BiCMOS (升溫)	×	$0.1 * T_{irr}, \leq 72$ hrs	×
				≤ 1 hr

T_{irr} ：輻照實驗時間

表 3.12、二次接續輻照實驗間隔時間

條件		MIL-STD-750E	MIL-STD-883	ESCC22900
A	Standard condition	≤ 2 hr	≤ 2 hr	×
B	MOS devices	≤ 2 hr	$0.2 * T_{irr}, \leq 120$ hrs	×
C	Alternative	≤ 2 hr	$0.2 * T_{irr}, \leq 120$ hrs	×
D	Bipolar/BiCMOS	×	$0.2 * T_{irr}, \leq 120$ hrs	×
E	Bipolar/BiCMOS (升溫)	×	$0.2 * T_{irr}, \leq 120$ hrs	×
				≤ 2 hr

◆ **延展室溫退火測試 (extended room temperature anneal test)**

該測試主要是使用高劑量率 (50-300rad(Si)/s) 的測試條件，以評估元件在低劑量率環境中的特性表現。該測試程序包括對元件進行高劑量率輻照，並在輻照後使待測元件在室溫退火一段適當的時間，以允許可能超過輻照前規格的漏電流相關參數返回到規格範圍內。若是輻照後失效的元件在室溫退火測試後通過電性量測，則視為可以在極低劑量率的環境中操作。MIL-STD-750E 規定該測試法僅適

用金氧半元件，MIL-STD-883 及 ESCC22900 則分別增列適用雙極性電晶體及具有隔離介電層 (oxide isolation) 的雙極性電晶體。此外，此測試程序僅適用於在總游離劑量效應下發生參數失效的元件，如元件的輸入端或輸出端超出可接受的電流或電壓。若元件實際應用的劑量率低於測試條件的劑量率或 $< 0.1 \text{ rad(Si)/s}$ ，則必須通過此步驟的測試，因為室溫退火極有可能修復輻射線在該元件誘發的正電荷。

若是元件未通過前述的輻照實驗與測試，則可以進行額外的室溫退火測試，並同時施加產生最嚴重損傷的偏壓條件。在室溫退火時，MIL-STD-750E 及 MIL-STD-883 對其室溫的規定為 $24^{\circ}\text{C} \pm 6^{\circ}\text{C}$ ，最長退火時間則不得超過總游離劑量與最高劑量率的比值 ($D_{\text{spec}}/R_{\text{max}}$)。ESCC22900 並未對室溫退火明確規定溫度，但規定其長度為 168 小時，且須於 24、48 及 168 小時分別進行一次電性量測。

◆ MOS 加速退火測試

此測試主要目的為評估 MOS 元件在低劑量率環境中最壞條件的性能劣化，方法為在輻照後將元件加熱至一特定溫度，在施加偏壓的狀態下持續一段時間，以評估時間相依效應 (time dependent effects, TDE) 對元件的影響。此測試方法適用金氧半電晶體或是電容。MIL-STD-750E 及 MIL-STD-883 記載若是符合以下幾種條件則無須進行 TDE 測試：(i) 電路設計中沒有包含金氧半相關的元件；(ii) 該應用的總游離劑量低於 5 krad(Si) ；(iii) 該應用中的元件從輻照開始起的使用壽命低於 TDE 的時間；(iv) 輻照測試是在預期應用的劑量率下進行的；(v) 元件類型或電路技術已被證實不具有 TDE 效應。

假如元件通過上述的輻照及延展室溫退火測試，但不符合上述不需進行 TDE 測試的條件，則元件必須執行加退火測試。在加速退

火測試之前，必須先決定是否執行額外的 0.5 倍總劑量輻照。然假如元件經證實其傳播延遲、輸出驅動和最小工作電壓參數都沒有恢復到大於實驗加速退火測試的輻照前值，或是輻照或加速退火測試期間所採用的偏壓條件為這些參數響應的最壞情況，則可以不須要進行 0.5 倍總劑量輻照。

加速退火測試程序為在一個環境腔體中，以最不利的靜態偏壓條件下加熱元件，環境溫度規定為 $100^{\circ}\text{C} \pm 5^{\circ}\text{C}$ ，MIL-STD-750E 及 MIL-STD-883 規定為維持 168 ± 12 小時。在以下情況之下，上述加速退火測試條件可以使用不同的環境溫度與時間：(i) 經特性測試證實，使用替代的條件可以使每個測試元件的關切參數（如：傳遞延遲、輸出驅動和最小工作電壓等）產生相同或更大的變化；(ii) 經特性測試證實，替代的條件可使得相同製程技術所製成的 NMOS 電晶體中的捕獲電洞退火達到 60% 以上且界面態退火小於 10%，並且應證實測試電晶體的輻射響應與測試元件的效應一致。ESCC22900 的規定則為 $100^{\circ}\text{C} \pm 5^{\circ}\text{C}$ ，168 小時，同樣也額外說明替代條件可以被使用，只要可以證實這些條件可以造成相同或更大的性能回復效應。在完成加速退火之後，則依循前述輻照後的測試流程進行元件的電性測試。**圖 3.18** 所示為 MIL-STD-750E 及 MIL-STD-883 所建議之總游離劑量測試流程，可適用於 MOS 與雙極性電晶體元件。**圖 3.19** 所示則為 ESCC22900 所建議的測試流程。

◆ 雙極性電晶體及 BiCMOS 元件的測試程序

由於雙極性電晶體及 BiCMOS 具有增強型低劑量率靈敏度 (enhanced low dose rate sensitivity, ELDRS) 的特性，與 MOS 相關元件不同，採用室溫 $50 \sim 300 \text{ rad(Si)/s}$ 的劑量率及加速退火的測試條件

並無法模擬其實際的輻射效應。MIL-STD-750E 並無記載任何測試方法。MIL-STD-883 文件中則提及，若元件具有 ELDRS 特性，應在預期應用的劑量率下進行測試，使用指定的低劑量率或使用升高溫度的加速輻照測試皆可。元件如未包含雙極性電晶體、線性電路功能，或未經證實是否具有 ELDRS 特性，則應先經特性測試以確認其是否具有 ELDRS 的特性。測試方式為隨機選擇至少 21 個樣品，且須經過適當的增溫可靠度測試篩選。ESCC22900 則特別規定，單一晶圓僅能隨機選擇十個樣品。將樣品分為四組，每一組皆有五個樣品，剩餘一個為對照組。輻照條件為室溫且劑量率為 $50 \sim 300 \text{ rad(Si)/s}$ ，五個樣品在輻照中施加 0 V 偏壓，另外五個施加產生最壞情況之偏壓條件。另一輻照條件為室溫且劑量率 $\leq 10 \text{ mrad(Si)/s}$ ，偏壓條件則與前述一致，且須進行 0.5 倍劑量及 1 倍劑量的輻照條件。量測並計算元件在低和高劑量率輻照實驗後，個別的電性參數變化 Δpara 之比值若是超過 1.5，該元件則可以被視為具備 ELDRS 效應。

對於具備 ELDRS 效應的元件，MIL-STD-883 規定可以依據低劑量率 $\leq 10 \text{ mrad(Si)/s}$ (條件 D) 或加速測試 (條件 E) 進行輻照實驗。條件 E 的測試可以於下列五項中選擇一個：(i) 室溫中劑量率 $> 10 \text{ mrad(Si)/s}$ 、(ii) 升溫輻照測試、(iii) 高劑量率輻照及升溫退火測試、(iv) 切換劑量率、(v) 其它加速測試。若是元件未通過 ELDRS 判定測試，則必須根據下述三種測試方法：(i) 利用條件 C 規定的劑量率測試、(ii) 利用條件 D 規定的低劑量率測試，且須進行 1.5 倍總劑量的額外測試、(iii) 利用條件 E 進行標準測試並符合 Δpara 及 overtest factor 等額外的要求。ESCC22900 規定為在同一批晶圓上隨機選取樣品進行低劑量率 $\leq 36 \text{ rad(Si)/hr}$ 及高劑量率 (至少為低劑量率的兩倍)

輻照實驗，若是進行低劑量率的元件顯示其測量參數相較高劑量的增加 1.5 倍，則被視為 ELDRS 元件。雙極性電晶體及 BiCMOS 元件的 ELDRS 效應測試流程如圖 3.20 所示。

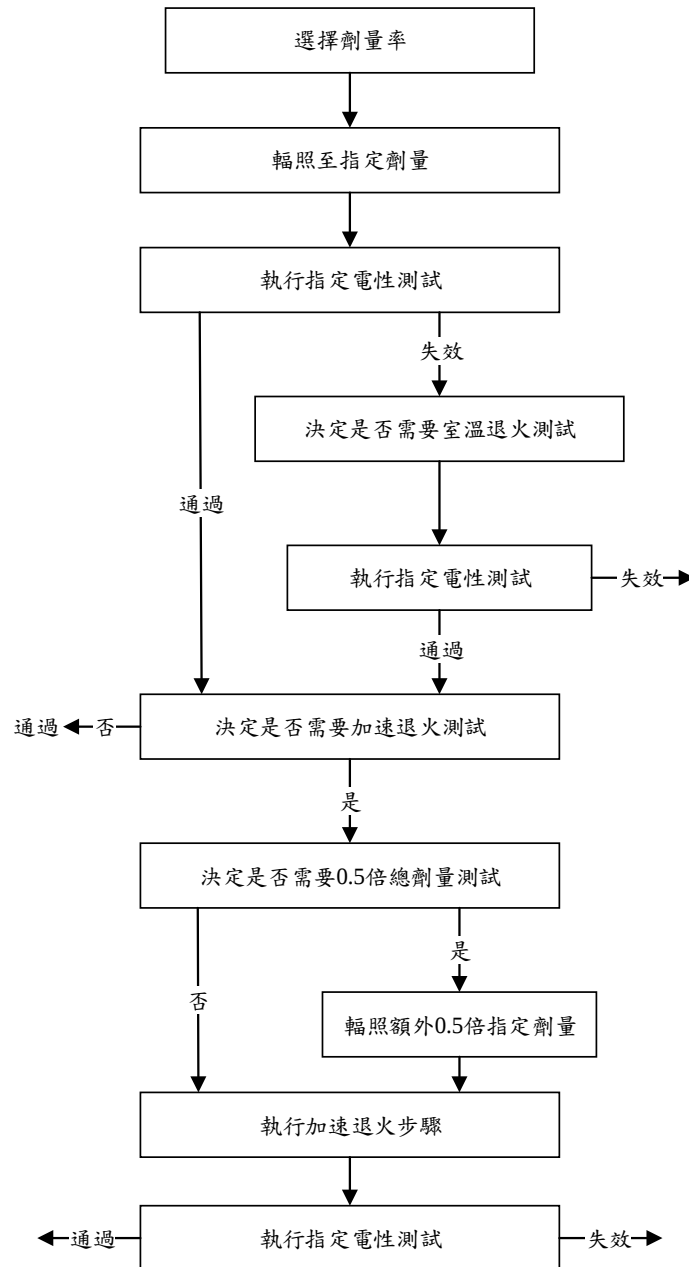


圖 3.18、總游離劑量測試流程 (MIL-STD-750E 及 MIL-STD-883)

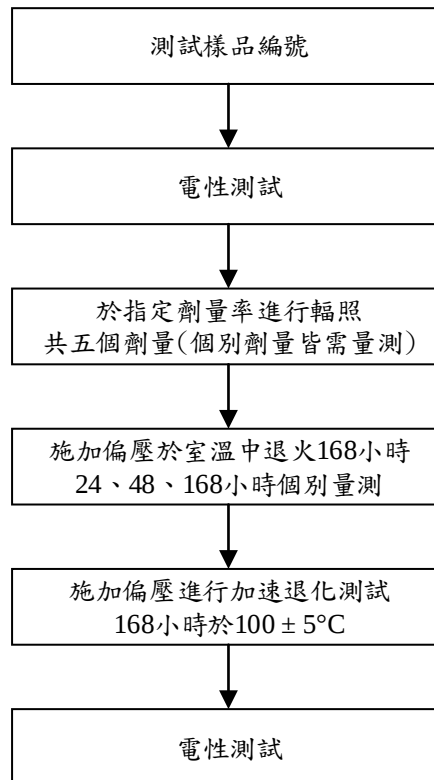


圖 3.19、總游離劑量測試流程 (ESCC22900)

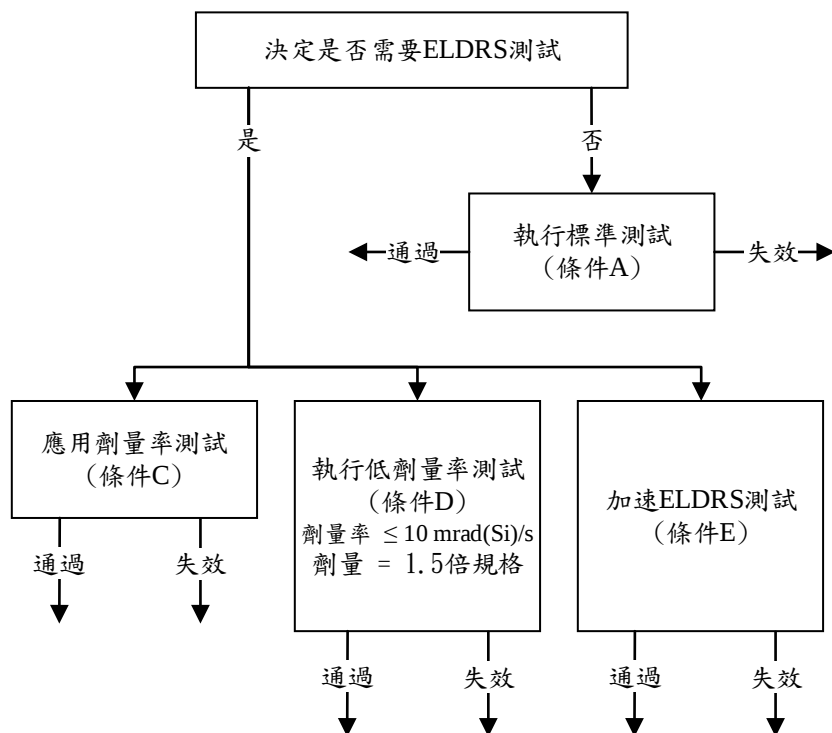


圖 3.20、雙極性電晶體及 BiCMOS 元件的 ELDRS 效應測試流程

2. 單一事件效應 (Single Event Effects, SEE) 測試

對於單一事件效應測試的標準流程文件，分別有 ESCC25100 與 MIL-STD-750E，這些標準規範定義使用於外太空的積體電路及分離式元件，在受到高能重粒子及質子照射時誘發的單一次事件效應的測試標準。本節整理 ESCC25100 與 MIL-STD-750E 所規範的內容，並比較其測試條件差異如表 3.13 所示。

(1) 加速器設備及測試系統

粒子加速器的選擇必須符合規定的入射能量、線性能量轉移 (LET)、通量率及通量等參數。在 MIL-STD-750E 文件中，對於輻射源的基本要求為迴旋及范氏加速器 (Cyclotron and Van de Graaff Accelerator)，且照射面積的均勻性須維持在 $\pm 15\%$ ，穿透深度並無明確規定，但必須要能夠誘發單一次事件閘極破裂 (Single Event Gate Rupture, SEGR)，且平均通量率達到 $10^5 \text{ ions/cm}^2/\text{s}$ 。在 ESCC25100 文件中，則規定均勻性為 $\pm 10\%$ ，並針對不同能量之粒子提供對應的規定。重粒子加速器產生之粒子，其至少須能夠穿透 $40 \mu\text{m}$ 深的矽基板，且通量率須符合 $10^1 \sim 10^5 \text{ ions/cm}^2/\text{s}$ 。高能質子照射測試的加速器則須具備 $20 \sim 200 \text{ MeV}$ 入射能量，且通量率符合 $10^5 \sim 10^8 \text{ p/cm}^2/\text{s}$ 。入射能量為 200 MeV 的照射實驗中，其能量衰退不得低於 50 MeV ； $60 \sim 50 \text{ MeV}$ 的入射能量，則不得衰退低於 20 MeV ，以避免入射能量的波動。對於高能質子的照射測試，則被允許在空氣中進行。 90 nm 以下的積體電路對於低能質子具有較高的靈敏度，此低能質子加速器的入射能量須約數個 MeV ，且通量率的規定範圍為 $10^2 \sim 10^8 \text{ p/cm}^2/\text{s}$ 。若加速器的射束不能在空氣中進行實驗，則須設置適當的真空腔體。此外，替代射源 ^{252}Cf 、聚焦脈衝雷射 (Focused Pulsed Laser)、

14 MeV 中子源、 α 粒子源 ^{241}Am / ^{232}Th 等，不能代替重粒子、質子進行單一事件測試，但能夠用來確認測試硬體及軟體的可行性。MIL-STD-750E 中對腔體的真空度要求須低於 $1.3 \times 10^{-1} \text{ Pa}$ (10^{-3} torr)，但須特別留意電解電容器 (Electrolytic Capacitor) 會在真空中爆炸或釋放出氣體影響真空度。此外，應配置可以旋轉 x-y-z 軸的載台以利樣品對齊射束，所有的照射實驗進行時應避免環境光線影響。

MIL-STD-750E 規定劑量計必須能夠偵測粒子束能量、LET、平均粒子通量率、通量及粒子束均勻性。ESCC25100 對劑量計有更詳細的規定。劑量計必須能夠在整個照射測試中對通量率進行連續的偵測，且精準度必須維持在 $\pm 10\%$ ，並將數據記錄於報告中。測試中產生的總游離劑量必須利用下式計算並記錄：

$$D = F \times \text{LET} \times 1.6 \times 10^{-5} \quad (6)$$

其中， D (rad) 為累積的總游離劑量、 F (ions/cm²) 為垂直於射束平面上所偵測到的通量、LET (MeV cm²/mg) 為線性能量轉移。若有使用降能器 (Energy degrader) 或有其它材料於射束路徑上，則應在射束通過降能器後才記錄能譜。若是實務上難以達成，則可以在降能器前測量；但如在降能器後計算，提供加速器的單位有責任在每一次實驗或是更換粒子種類時，對加速器設備進行校正，並提供給使用者相關的校正參數，包含射束純度、能譜、通量、通量率及分布均勻性。在重粒子及低能質子的測試報告中，必須記錄表示計算 LET 參數的軟體名稱及版本 (例如：SRIM2003)。

在測試系統的規定上，建議可以使用測試電路板 (test circuit board)，其包含了測試接頭、解封裝的元件、額外接線及任何輔助零件。測試電路板不僅可以用以支撐待測的元件，亦可以將電子訊號從

真空腔體內藉由電纜線傳輸到外面的監測設備。MIL-STD-750 中對電纜線長度的要求為從測試元件到量測儀器的最短距離，以利減少測量中的反射及訊號/雜訊干擾。ESCC25100 記載在某些特殊測試採用一個完整的單板電腦 (single board computer)，其可以為所有測試樣品進行監測。測試電路板上的數個測試接頭可以縮短更換樣品時，抽真空及破真空所耗費的時間。而 MIL-STD-750 的文件中亦有相似的建議，切換系統可以有效率地量測測試電路板上不同的元件，且必須提供絕緣保護於元件的閘極端及汲極端。此外，所有測試系統必須確保在加速器操作的環境中是沒有雜訊的。在真空腔體內，必須為測試電路板建立一個載具，使其可以將元件定位在射束的路徑上。理想的狀態是可以在 X 軸或 Y 軸進行精準的旋轉，使其可以修正等效的 LET 參數。MIL-STD-750 規定載台必須讓樣品垂直於射束，誤差須小於 $\pm 5^\circ$ 。元件測試系統須具備足以測量所有單一事件效應的元件特性。此外，測試中的元件溫度必須被測量且記錄。

ESCC25100 對於非破壞性的單一事件效應測試 (SEU、SEFI、SET...)，建議測試三個元件，最低要求為兩個元件。破壞性的單一事件效應測試 (SEGR、SEB...) 的最低要求為三個元件，一定數量的元件應用於測試中的失效事件統計是有助於降低統計誤差。當射束能量在封裝材料中衰退時，在粒子遷移至元件時會產生不確定性的射束能譜，此時解封裝 (Delidding) 或基板薄化 (thinning) 的步驟是必要的。當有使用覆晶接合 (flip-chip) 技術的元件時，需要藉由基板薄化以確保射束可入射至元件的表面。然而，高能質子或重粒子照射實驗的射束深度遠大於封裝的元件，因此，受測試的元件則不須進行解封裝 (Delidding) 及基板薄化的加工，但依然需要特別注意某些封

裝元件或是基板材料及厚度是否會發生射束能量大幅度地衰退，必須確保元件表面計算的射束能量及 LET 是精準的。每一個樣品皆須仔細地記錄測試數據，確保後續可以重新被追溯。此外，須量測樣品的尺寸，其外觀及記號也須拍照記錄，以利後續的數據分析及評估。

表 3.13、MIL 與 ESCC 單一事件效應測試標準比較

	MIL-STD-750E	ESCC25100
輻射源	迴旋與范氏加速器	無
入射能量	無	重粒子：無 高能質子：20 - 200 MeV 低能質子：數個 MeV
輻照均勻性	±15%	±10%
平均通量率	10 ⁵ ions/cm ² /s	重粒子：10 ~ 10 ⁵ ions/cm ² /s 高能質子：10 ⁵ ~ 10 ⁸ ions/cm ² /s 低能質子：10 ² ~ 10 ⁸ p/cm ² /s
穿透深度	無	重粒子：40 μm (Silicon)

(2) 單一事件效應類型與測試

每一種單一事件效應對元件產生的影響皆不同，ESCC25100 對於各種單一事件效應皆有特別規定及建議，而 MIL-STD-750 僅對單一事件燒毀 (SEB) 及單一事件閘極破裂 (SEGR) 有詳細規定且提供測試前預測方式。此外，測試前預測步驟是為了幫助準備測試計畫及選擇適合的初始偏壓狀態，可以利用先前的實驗條件測試相似的元件，預測 SEB 或 SEGR 發生的臨界點。此方法可以驗證該測試是有效的，若測試結果與預期結果差異甚大 (30%)，則測試步驟須重新調整，包含粒子種類、粒子能量、偏壓條件及元件類型。

MIL-STD-750 的文件中指出目前對於 SEB 效應並無準確的預測模型，因此可以採用先前的測試結果進行預測，但並不是非常精準。SEGR 的預測可以利用先前的測試數據，若是先前的數據無法取得，或是元件佈局、設計及製程的變動，也可以採用目前被接受的預測模型，包含了經驗預測 (empirical prediction) 及分析預測 (analytical prediction)。

◆ SEGR 經驗預測模型

經驗預測法利用經驗公式預測元件在 $V_{DS}=0$ 時，氧化層電容發生 SEGR 失效的臨界值，如下式：

$$V_{GS} = \frac{(E_{OX_BR})(T_{OX})}{\left(1 + \frac{LET}{53}\right)} \quad (7)$$

上式中， E_{OX_BR} (V/cm) 是氧化層的崩潰電場強度、 T_{OX} (cm) 是閘極氧化層的厚度、 LET_PEAK (MeV/mg/cm²) 是粒子入射於元件產生最大的 LET 值。若元件有施加一定值的 V_{DS} ，則可以根據延伸的方程式計算，如下式：

$$V_{GS} = (0.84)(1 - e^{-\frac{LET}{17}})(V_{DS}) \frac{(E_{OX_BR})(T_{OX})}{\left(1 + \frac{LET}{53}\right)} \quad (8)$$

◆ SEGR 分析預測模型

文件中雖然有提到愈趨成熟的數值模擬可以預測 SEGR 失效的臨界值，但並未提供任何經過驗證的預測模型。

(3) 電子特性量測

針對單一事件效應的電子特性量測，ESCC25100 的規定涵蓋了 Single Event Upset、Single Event Latch-up、Single Event Transients、Single Event Functional Interrupt、Single Event Burnout、Single Event

Gate Rupture 共六種，而 MIL-STD-750 則聚焦在 Single Event Burnout 與 Single Event Gate Rupture 兩種。此外，ESCC25100 對測試硬體及軟體的規定則是根據 MIL-STD-750 Method 1080 進行設計，包含功率金氧半電晶體的電子特性測試步驟及驗證測試方法。

◆ **單一事件翻轉效應 (Single Event Upset, SEU) :**

在電子特性測量前，必須先瞭解元件架構中的功能區塊 (functional blocks)，包含了暫存器 (registers) 及記憶體單元 (memory cell)。測試硬體及軟體必須設計成能夠監測功能區塊，並同時能夠寫入不同狀態 (全部為 0 或 1、隨機狀態)，及發生單一事件翻轉效應之後受影響的單元。測試軟體必須能夠記錄翻轉的數量、位置及時間，並可以區分及記錄多單元翻轉 (Multiple Cell Upset, MCU) 及多位元翻轉 (Multiple Bit Upset, MBU)。不同類型的元件包含了相異的功能設計，其對單一事件效應測試的靈敏度也有所差異，因此，測試應該須要能夠區分這些靈敏度的差異。

◆ **單一事件閃鎖效應 (Single Event Latch-up, SEL) :**

須設計可以用以偵測閃鎖效應、保護與記錄的測試硬體及軟體。閃鎖效應保護的響應時間須確保元件在測試時不會損壞或效能衰退。軟體須建立可以記錄元件在測試中處於對單一事件效應產生反應的時間 (active time)，其餘在 SEE 中可能發生但並沒有被偵測到的，例如軟體在進行元件重置、讀、寫、紀錄所耗費的時間則被稱為「失效時間 (dead time)」。因此，利用粒子通量及事件數據在計算元件的截面積時，應考慮 active time 的長短。此外，射束通量應足夠低以確保失效時間須低於 active time 的 20%。

◆ **單一事件暫態效應 (Single Event Transients, SET) :**

當類比或混合類比數位 IC 發生單一事件效應時，可能會產生錯誤的輸出或暫態。偏壓、輸入或輸出負載狀況會使元件對於 SET 的靈敏度及電子特性產生影響。因此，該元件須在最不利的條件或實際應用下進行測試。測試系統必須具備能夠偵測及記錄 SET 事件，並記錄極性（正、負）、波形、持續時間、暫態的震幅。

◆ **單一事件功能中斷 (Single Event Functional Interrupt, SEFI)：**

元件的 SEFI 靈敏度是跟操作狀態相關，元件在應用中有數種不同的操作狀態，其可能發生的操作狀態都須進行測試。測試硬體及軟體必須設計成能夠偵測、記錄及修正所有 SEFI 類型。軟體的程式撰寫及硬體規格須具備可以重置元件及電源重啟的能力。

◆ **單一事件燒毀 (Single Event Burnout, SEB)：**

MIL-STD-750 指出 SEB 事件的測試結果為，在固定的 V_{DS} 及 V_{GS} 時，其作用截面積曲線為 LET 值的函數。測試標準流程為將解封裝的元件放置於腔體中抽真空，操作於指定的 V_{GS} 及 V_{DS} 偏壓狀態，進行輻照實驗至指定的累積總粒子通量 ($10^5 \sim 10^7$ ions/cm²)。若有發生 SEB 效應，則應隨著計數增加同時記錄單一事件，通量率須控制在每秒發生的 SEB 事件數量須小於 100 次，並在達到預期通量的瞬間立即屏蔽射束，並記錄發生的 SEB 事件總數量。選擇不一樣的粒子束並重複實驗，以獲得對應的 LET 值。ESCC25100 建議 SEB 測試有兩種模式，分別為破壞性及非破壞性測試。然而，在非破壞性測試中，若汲極的路徑上有電阻，則至少須測試兩種偏壓狀態，目的是為了使電阻值足夠低以利偵測 SEB 效應。

◆ **單一事件閘極破裂 (Single Event Gate Rupture, SEGR)：**

SEGR 事件測試結果為三種獨特的曲線：(i) 固定 V_{DS} 及 V_{GS} ，獲得一截面積曲線為 LET 值的函數；(ii) 固定 LET 值， V_{GS} 的 SEGR 臨界值曲線為 V_{DS} 的函數；(iii) 固定 V_{GS} ， V_{DS} 的 SEGR 臨界值曲線為 LET 值的函數。數個 SEGR 截面積曲線須進行數種 V_{DS} 及 V_{GS} 的測試，SEGR 臨界曲線則須進行數種 V_{DS} 、 V_{GS} 及 LET 值的測試。ESCC25100 文件中提到 SEGR 測試僅能使用破壞性測試。若是施加過大的閘極偏壓，將導致 SEGR 發生嚴重的失效。然而，在照射實驗中施加相對低的閘極偏壓 (ESCC25100 規定為低於 50% 的最大閘極額定偏壓，MIL-STD-750 為閘極電壓低於 10 V)，SEGR 僅會發生潛在的缺陷。因此，每一階段的輻照實驗後須進行閘極壓力測試直到潛在缺陷出現。此閘極壓力測試為施加閘極-源極電壓 (V_{GS})，而汲極-源極 (V_{DS}) 電壓為 0 V。測試可以使用正偏壓或負偏壓，或者是兩種偏壓皆進行測試。 V_{GS} 須等於最大額定閘極電壓，且最短壓力測試時間為一秒。

SEGR 的標準測試流程為將解封裝的元件放置於腔體中抽真空，操作於指定的 V_{GS} 及 V_{DS} 偏壓狀態，進行輻照實驗至指定的累積總粒子通量，若是發生 SEGR 效應，則立即中止輻照並記錄累積通量，須注意較低的粒子通量率可以獲得更精準的累積通量。若是達到最大粒子通量且元件通過閘極壓力測試，則須設計新的實驗條件 (增加 V_{GS} 、 V_{DS} 或改變粒子種類) 並使用新的元件，並重複實驗直到截面積或臨界曲線完成。一些特殊情況為施加在閘極氧化層的直流電場小於 1 MV/cm 時，實驗步驟須修改為如下所述：(i) 增加的粒子通量須小於或等於元件面積的三分之一；(ii) 每一個輻照實驗步驟後，都須進行閘極壓力測試確保元件的功能性正常；(iii) 若未偵測到 SEGR

效應，連續輻照直到 SEGR 發生或達到最大累積粒子通量；(iv) 選擇新的元件或偏壓條件直到曲線完成。SEB 及 SEGR 事件的測試電路板架構與測試流程如圖 3.21 與 3.22 所示。

(4) 測試條件

測試條件須建立在確保 SEE 測試時，元件操作在應用時的狀態或最不利條件的狀態下，其參數包含測試中施加在元件上的所有電子參數（供電電壓、溫度、時脈等）及射束條件。一般來說，元件的最不利測試條件變化是依據應用需求及測試的單一事件效應。MIL-STD-750 規定最大允許增加的 V_{DS} 不得超過元件額定 V_{DS} 的 10%， V_{GS} 則不得增加超過 5 V。ESCC25100 對於不同單一事件效應的最不利條件規定說明如下：SEU 測試中須對元件施加最小的操作偏壓及最大的時脈；SET 測試須操作在最不利條件的狀態或等效於實際應用的狀態；Latch-up 測試須對元件施加最大操作電壓及操作溫度；SEB 及 SEGR 測試則須操作在低溫度，室溫是可以被允許。MIL-STD-750 文件也建議低操作溫度是最不利條件，增加操作溫度會增加 SEB 的 LET 臨界值，但不會對 SEGR 測試有影響。此外，SEB 的靈敏度並不會隨著 V_{GS} 的差異變化，但 V_{GS} 要能夠將測試元件操作於關閉狀態，目的為讓誘發的總劑量效應可以使 V_{th} 下降。值得注意的是，P 通道元件並不容易發生 SEB 效應。有許多已被發表的技術可以避免災難性的 SEB 失效，例如：在汲極加強化電容 (drain stiffening capacitor) 或在汲極之間加上一個限流電阻 (current-limiting resistor)，電流探針插入源極跟接地之間可以偵測到 SEB 錯誤計數及脈衝電流，利用電子示波器即可以監測及記錄 SEB 脈衝的波型。此外，脈衝計數器可以記錄 SEB 發生的數量。

對於高能質子 SEE 測試，最不利的測試條件為最大的入射質子能量。然而，最完備的情況為對質子所有能量區間進行測試 (20~200 MeV)。重粒子用於 CMOS 邏輯元件的 SEU、SET 及 SEFI 測試，目標材料的最小深度規定為 40 μm 。若是線性元件 (linear devices) 或元件具有相對厚的靈敏範圍 ($>10\ \mu\text{m}$ ，如：bipolar、JFET)，則最小深度為 60 μm 。若是加速器設備的技術允許，則需將布拉格峰的位置設定於靈敏範圍外。使用重粒子測試 Latch-up 時，入射粒子至元件的最小深度為 60 μm ，除非能夠闡述較低深度的射束條件足夠達到最不利的測試狀況。進行 SEB 或 SEGR 測試時，對於不同種類的粒子，入射能量會影響 SEGR 失效的臨界值。因此，對於 SEGR 的最不利測試條件則為射束完全穿透磊晶材料，其將轉移最大的能量於磊晶層。若是設備技術允許，射束能量需達到上述條件；若是設備技術無法滿足此條件，則需使用相同粒子進行多次不同入射能量的照射實驗。對於平面型元件，最不利條件的角度一般是垂直於射束入射方向。然而，對於溝槽式元件，橫向擴散 MOS 或是其它具有複雜形狀靈敏範圍的元件，其最不利條件的角度可能是順/逆向的傾斜或旋轉，這些測試條件都需要被評估。對於 SEB 或 SEGR 測試，當元件經過傾斜後，並不需要額外計算等效的 LET 值。

(5) 測量單位

元件的 SEE 靈敏度單位為截面 (cross-section, σ)，其可定義為發生事件的數量與垂直於射束的平面上偵測粒子通量的比值，如下式：

$$\sigma = \text{事件數量/粒子通量 (particles/cm}^2\text{)} \quad (9)$$

對於質子或重粒子輻照，SEE 截面為質子能量或在元件表面處粒子 LET 能量的函數。質子能量或粒子的 LET 值必須藉由射束路徑上經

過所有材料造成的能量損失進行修正。任何狀況下，射束能量都必須足夠使粒子能夠傳遞至元件表面。特別是使用覆晶接合技術 (flip-chipped) 的元件，其 LET 值的修正必須考慮基板厚度。若是重粒子測試中，有調整射束與元件的角度，等效的 LET 值可以藉由下式進行修正：

$$\text{LET}(\text{eff}) = \text{LET}(\text{原始入射角}) / \cos\theta \quad (10)$$

θ 是元件相對於射束的傾斜角度， $\theta = 0$ 代表元件垂直於射束。

若是入射角改變，則等效的粒子通量也會變化。因此，測量得到的粒子通量也需進行修正，而截面可以根據下式修正：

$$\sigma = \text{事件數量} / (\text{粒子通量} \times \cos\theta) \quad (11)$$

粒子通量為樣品垂直於射束的平面所測得。等效的 LET 值在複雜結構的元件上須謹慎考慮，建議與射束垂直元件所獲得的 LET 值進行比較。

由於 SEE 是一個隨機現象，測量到事件發生的數量符合泊松分布 (Poisson distribution)，在報告中建議使用誤差棒 (error bars)，且信賴區間 (confidence level) 須為 95%。誤差棒公式如下所示：

$$\frac{\delta\sigma}{\sigma} = \sqrt{\left(\frac{\delta N_{\text{events}}}{N_{\text{events}}}\right)^2 + \left(\frac{\delta F}{F}\right)^2} \quad (12)$$

亦可以表示為

$$\delta\sigma \times F = \sqrt{(\delta N_{\text{events}})^2 + \left(N_{\text{events}} \times \frac{\delta F}{F}\right)^2} \quad (13)$$

其中， $\delta F/F$ 為不確定的測量粒子通量 (10%)， δN_{events} 為測量的事件數量變化。

(6) 驗證測試

僅有 MIL-STD-750 中有規定須進行驗證測試，其目的為確認離散式功率 MOSFETs 元件在指定測試條件中的輻射耐受性。此測試僅區分為通過及不通過兩種且具有破壞性。入射粒子能量及操作溫度皆會影響測試結果，因此，須選用最不利條件的入射能量及低的操作溫度進行驗證測試。為了可以選擇操作的偏壓條件，必須建立實驗前的預測模型，並利用劑量計偵測並調整選擇的粒子及入射能量。SEB 的驗證測試為在汲極電極設置一個足夠大的電容，以因應所產生的災難性失效，值得注意的是，此設置跟前述避免災難性失效是不同的。驗證流程為將解封裝的元件放置於腔體中抽真空，試片若有覆蓋聚酰胺 (polyamide) 的高分子材料，則須先利用化學方式去除。操作於指定的 V_{GS} 及 V_{DS} 偏壓狀態，進行輻照實驗至指定的累積總粒子通量。若有發生 SEB 效應，則立即中止輻照並記錄 SEB 結果，並重複不同的試片及條件。輻照實驗前、中、後及閘極壓力測試皆須監測汲極電流 I_{DS} 及閘極電流 I_{GS} 。SEGR 的驗證流程有兩個步驟，第一個步驟與 SEB 完全相同，第二個步驟則是輻照實驗中閘極的操作偏壓若小於最大的閘極操作偏壓，則在輻照實驗後須進行閘極壓力測試，其驗證測試流程如圖 3.23 所示。

輻照實驗完成後，測試計畫中必須記載粒子束種類及入射能量，使用不同入射能量及種類的粒子束可以得到多種的 LET 值，但 MIL-STD-750 規定藉由調整入射角度改變 LET 值是不被允許的，ESCC25100 則允許可以根據公式 (10) 調整 LET 值，但針對高入射能量 (20~200 MeV) 的質子測試，射束則須垂直於試片。此外，可以藉由 TRIM 程式或其它適合的模擬軟體，驗證測試使用的粒子束及其能量是否符合測試要求。粒子束能量已被證實會影響 SEGR 失

效臨界值，故單一種粒子束的最不利測試條件須要進行多次不同入射能量的實驗，ESCC25100 規定須進行五次輻照實驗。測試計畫須記錄單次實驗中所需的樣品數量、元件類型及批次號碼，並在解封裝的元件上標註記號，在輻照測試前/後元件皆須進行電子性能測試。在輻照測試中，由於逐漸累積總劑量或位移損傷，SEE 效應會逐漸衰退。因此，除了監控元件的電性參數之外，也須持續的測試對照組樣品。無論是質子或重粒子測試，皆須仔細的記錄元件累積的總劑量，此結果對於新樣品的測試是非常重要的。因此，ESCC25100 建議在 SEE 測試前先進行總劑量測試，若待測元件對總劑量效應敏感，建議須準備較多數量的元件用於 SEE 測試。

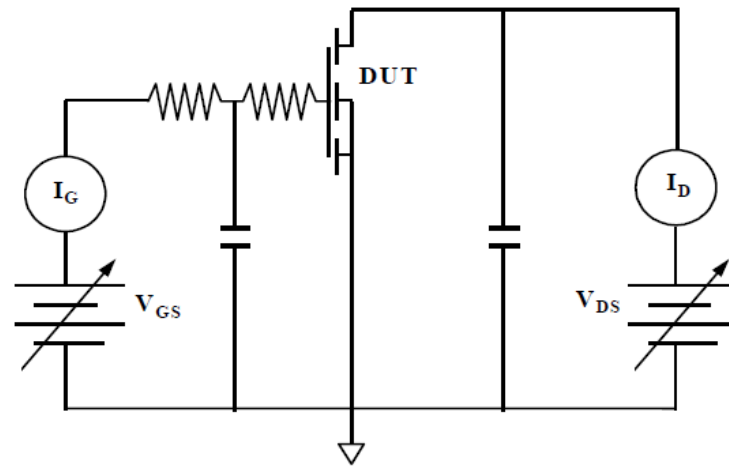


圖 3.21、SEB 及 SEGR 事件的測試電路板架構示意圖

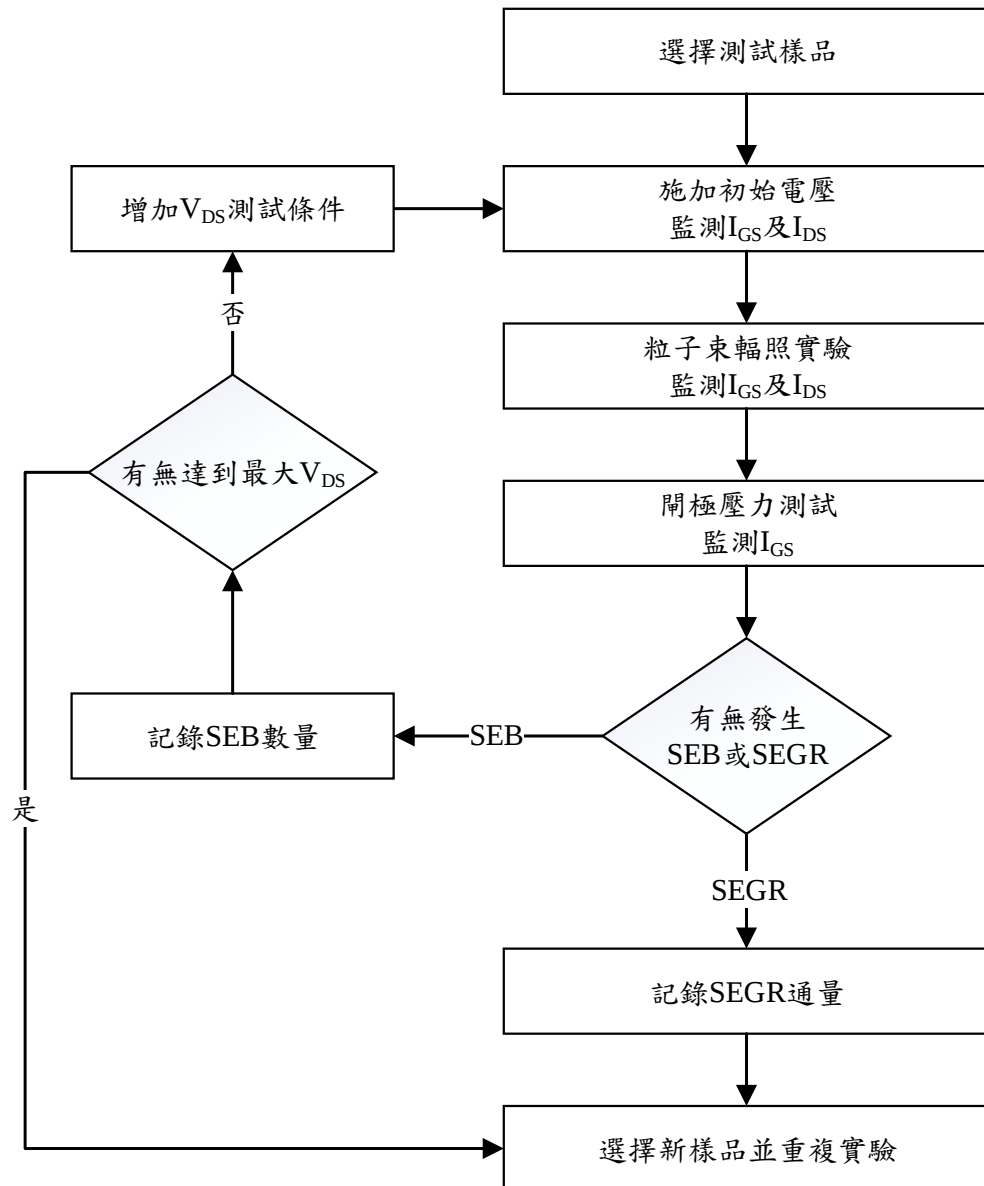


圖 3.22、SEB 及 SEGR 事件的測試流程圖

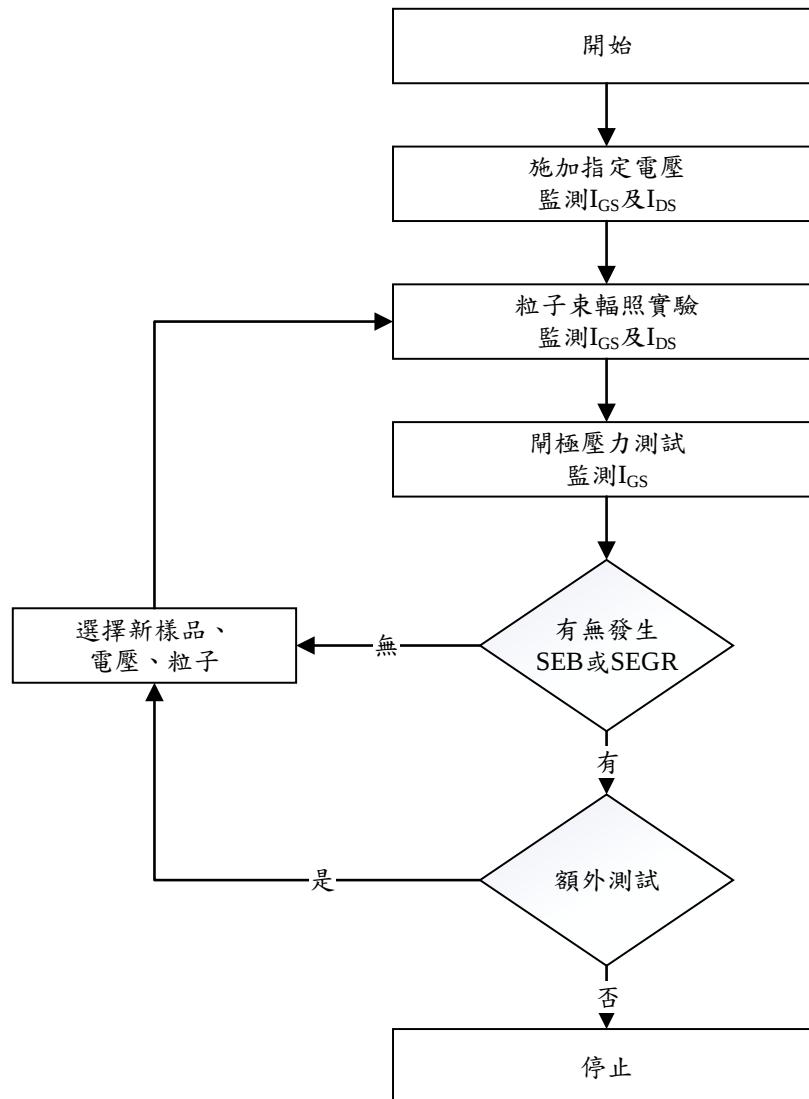


圖 3.23、SEB 及 SEGR 事件的驗證測試流程圖

肆、結論

一、抗輻射之新興記憶體元件開發

在本次的研究中，第一階段以 NH_3 電漿進行介面改善，透過電漿處理可抑制介面氧空缺並提升介電常數，可減少施加電壓過程對介面層的破壞，因此，以 NH_3 電漿處理後的 FeFET 鐵電記憶體其記憶視窗大幅提升，與對照組相比，耐久度不僅提升一個數量級更維持可用之記憶視窗，此外，減少的氧空缺也有利提升 FeFET 鐵電記憶

體切換速度，此研究成果將有助於改善現有 FeFET 鐵電記憶體可靠度不佳相關問題。而第二階段，本團隊為全球首度探討質子輻射對基於 HZO 之 FeFET 鐵電記憶體特性影響，透過直流偏壓掃描，發現質子輻射對於 FeFET 鐵電記憶體的記憶視窗影響不大，受質子輻射照射的元件甚至在小電壓掃描下具有更高的記憶視窗，此項發現可能和照射質子輻射後改變的氧空缺分布情形有關。接著，透過電壓脈衝對 FeFET 鐵電記憶體進行測試，照射不同流量的質子輻射後，在寫入速度以及 endurance 等特性皆無出現明顯改變，而進一步量測 FeFET 鐵電記憶體 retention 特性，照射質子輻射之 FeFET 衰退趨勢僅微幅增加，與未照輻射元件相比，在 10 年預測下仍保有 90% 以上的記憶視窗。綜合上述研究結果可驗證 FeFET 鐵電記憶體具有極佳的抗質子輻射能力。

二、抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究

本研究探討 MOSFET、FinFET 元件受 Co-60 輻射傷害後，對於可靠度的影響。經輻射總劑量 10 kRad 照射後，MOSFET 的飽和電流呈現崩潰現象，轉換特性的 I_{off} 增加；而 FinFET 飽和電流有些微的劣化，轉換特性幾乎不變，呈現較佳的抗輻射能力。經輻射總劑量 100 kRad 照射後，MOSFET 的串阻變大使得汲極電流的斜率變小，已無電晶體基本轉換特性；FinFET 飽和電流僅有些微的劣化，轉換特性幾乎沒有變化。因此 FinFET 很抗輻射，除了在先進 CMOS 技術是主流元件，應用到衛星電子系統也很有潛力。

本研究探討 Si₃N₄/ZrON 堆疊式電荷儲存層之元件其受鈷(Co)-60 輻射傷害後，對於多晶矽無接面式快閃記憶體的寫抹速度及可靠度的研究。結果顯示，ZrON 樣品無論是無照射輻射，或是隨著輻射

照射劑量從 10k 增加至 1M，皆具有相近的導通電流及開關電流比；且 ZrON 樣品的寫入及抹除的速度也不因輻射效應而改變，同時具有相當的記憶窗。在耐久力特性上，無論有無輻射傷害，在經過經過 10^5 次反覆的寫/抹操作後，記憶窗的變化具有相似的表現。對於電荷保持力方面，雖然輻射後會隨著輻射劑量增大而劣化，即使經過 1M 輻射劑量照射後，元件仍保有 73 % 的電荷保持力。因此，電荷儲存式快閃記憶體元件具有很好的抗輻射能力，可應用到衛星電子系統的非揮發性記憶體裝置。

三、下世代半導體材料與元件之輻射效應評估

本年度的研究主要針對寬能隙材料與元件之輻射效應進行研析，除了先行深入瞭解輻射損傷基本機制之外，也針對國際上目前 SiC 與 GaN 元件相關的研究成果進行統整比較，另也完成 SiC MOS 電容的製作及其 TID 輻射效應的初步分析。此外，為了正確評估輻射效應的影響，本研究也針對 MIL-STD 與 ESCC 等國際機構所建立的電子元件測試標準進行研析。以下即簡述本研究的重要結論如下：

- (1) TID 效應測試主要採用 Co-60 γ -ray 射源，少數研究則採用 X-ray，所施加之劑量範圍介於 0~1000 Mrad 之間。相較於接面型元件，MOSFET 元件對於 TID 輻射效應較為敏感。而適當的製程條件控制可提升 SiC MOSFET 的輻射耐受性，如：較薄的閘極氧化層、氮濃度較低的氧化層氮化製程、較高的 p-well 表面濃度等。
- (2) 為使輻射照射更貼近元件實際的操作環境，TID 輻射效應的照射條件必須適當地考量溫度、濕度、偏壓、劑量率等參數的影響。
- (3) DDD 輻射效應可藉由中子或其它高能粒子進行評估，DDD 效應造成元件劣化的主要原因為位移損傷造成元件通道區及飄移區

的載子移除現象，同時也降低載子遷移率及載子生命週期。採用較高摻雜濃度的元件可有效抑制 DDD 效應的發生。

- (4) SiC 功率元件的 SEE 效應主要的失效模式為單一事件燒毀 (SEB)，輻照效應實驗的高能粒子涵蓋中子、質子以及其它重粒子，甚至地面中子也可作為觸發源，且須建置測試電路或電荷收集量測系統來進行偵測。SiC 功率元件的 SEB 失效機率或發生截面隨外加偏壓而增加，且與元件製造商和元件結構有關。
- (5) 藉由 SiC MOS 電容的 Co-60 gamma rays 之 TID 效應的初步分析可知，gamma rays 照射會產生游離電荷並造成 C-V 特性曲線往左飄移，此係介電層捕獲電洞而形成帶正電的氧化層陷阱電荷所致。
- (6) 針對電子元件或電路之 TID 或 SEE 效應的測試與驗證，目前國際上已有部分機構針對特定的效應制訂共同認可的測試標準可供遵循。為建構可靠的測試平台以正確評估電子系統的輻射效應，應考慮參採各測試標準中所規範的測試方法與流程，依此產出具有代表性的結果。
- (7) 針對 DDD 及 SEE 效應所需的高能粒子加速器設施，目前國內相關的資源較為欠缺，建議未來應構思籌建適用的加速器設施，或整合目前可用資源發展開放式使用平台，以因應未來可能的需求。

伍、參考資料

一、抗輻射之新興記憶體元件開發

- [1] E. G. Stassinopoulos et al., "The Space Radiation Environment for Electronics," [Proc. IEEE, 76, 1423 \(1988\)](#)

- [2] J. Prinzie et al., “Low-Power Electronic Technologies for Harsh Radiation Environments,” [Nature Electronics, 4, 243 \(2021\)](#)
- [3] S. Buchner et al., “Proton Test Guideline Development–Lessons Learned,” [NASA/Goddard Space Flight Center, NEPP \(2002\)](#)
- [4] R. C. Lacoe, “Improving Integrated Circuit Performance Through the Application of Hardness-by-Design Methodology,” [IEEE Trans. Nucl. Sci., 55, 1903 \(2008\)](#)
- [5] V. K. Khanna et al., “Extreme-Temperature and Harsh-Environment Electronics: Physics, Technology and Applications,” [IOP, \(2017\)](#)
- [6] <https://www.nasa.gov/feature/goddard/2021/operations-underway-to-restore-payload-computer-on-nasas-hubble-space-telescope>
- [7] G. C. Messenger et al., “Ferroelectric Memories: A Possible Answer to the Hardened Nonvolatile Question,” [IEEE Trans. Nuc. Sci., 35, 1461 \(1988\)](#)
- [8] T. C. Macleod et al., “Satellite Test of Radiation Impact on Ramtron 512K FRAM,” [Non-Volatile Memory Technology Symposium \(NVMTS\) \(2009\)](#)
- [9] J. Muller et al., “Ferroelectric Hafnium Oxide Based Materials and Devices: Assessment of Current Status and Future Prospects,” [ECS J. Solid State Science and Technology, 4, N30 \(2015\)](#)
- [10] T. S. Böske et al., “Ferroelectricity in Hafnium Oxide Thin Films,” [Appl. Phys. Lett., 99, 102903 \(2011\)](#)
- [11] J. Y. Park et al., “A Perspective on Semiconductor Devices Based on Fluorite-Structured Ferroelectrics from the Materials-Device Integration Perspective,” [J. Appl. Phys., 128, 240904 \(2020\)](#)
- [12] S. S. Cheema et al., “Enhanced Ferroelectricity in Ultrathin Films Grown Directly on Silicon,” [Nature, 580, 478 \(2020\)](#)
- [13] S. S. Cheema et al., “Ultrathin Ferroic HfO₂–ZrO₂ Superlattice Gate Stack for Advanced Transistors,” [Nature, 604, 65 \(2022\)](#)
- [14] S. S. Cheema et al., “Emergent Ferroelectricity in Subnanometer Binary Oxide Films on Silicon,” [Science, 376, 648 \(2022\)](#)
- [15] H. Mulaosmanovic et al., “Ferroelectric Field-Effect Transistors Based on HfO₂: A Review,” [Nanotechnology, 32, 502002 \(2021\)](#)

- [16] A. I. Khan et al., "The Future of Ferroelectric Field-Effect Transistor Technology," [Nature Electronics, 3, 588 \(2020\)](#)
- [17] K. Y. Chen et al., "Excellent Reliability of Ferroelectric HfZrO_x Free from Wake-Up and Fatigue Effects by NH₃ Plasma Treatment," [Symp. VLSI Tech., 84 \(2017\)](#)
- [18] K. Y. Chen et al., "Dependence of Reliability of Ferroelectric HfZrO_x on Epitaxial SiGe Film with Various Ge Content," [Symp. VLSI Tech., 119 \(2018\)](#)
- [19] C. Y. Chan et al., "FeFET Memory Featuring Large Memory Window and Robust Endurance of Long-Pulse Cycling by Interface Engineering Using High-k AlON," [Symp. VLSI Tech., TF1.1 \(2020\)](#)
- [20] H. K. Peng et al., "Recognizing Spatiotemporal Features by a Neuromorphic Network with Highly Reliable Ferroelectric Capacitors on Epitaxial GeSn Film," [ACS Appl. Mater. Interfaces, 13, 26630 \(2021\)](#)
- [21] S. C. Yan et al., "High Speed and Large Memory Window Ferroelectric HfZrO₂ FinFET for High-Density Nonvolatile Memory," [IEEE Electron Device Lett., 42, 1307 \(2021\)](#)
- [22] M. Zanata et al., "Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature," [IEEE Trans. Nuclear Sci., 55, 3237 \(2008\)](#)
- [23] F. Huang et al., "HfO₂-Based Highly Stable Radiation-Immune Ferroelectric Memory," [IEEE Electron Device Lett., 38, 330 \(2017\)](#)
- [24] Y. Wang et al., "Proton Radiation Effects on Y-doped HfO₂-based Ferroelectric Memory," [IEEE Electron Device Lett., 39, 823 \(2018\)](#)
- [25] K. Y. Chen et al., "Ionizing Radiation Effect on Memory Characteristics for HfO₂-Based Ferroelectric Field-Effect Transistors," [IEEE Electron Device Lett., 40, 1370 \(2019\)](#)
- [26] W. Zhang et al., "Impact of Radiation Effect on Ferroelectric Al-Doped HfO₂ Metal-Ferroelectric-Insulator-Semiconductor Structure," [IEEE Access, 108121, 8 \(2020\)](#)
- [27] H. Bae et al., "Sub-ns Polarization Switching in 25nm FE FinFET toward Post CPU and Spatial-Energetic Mapping of Traps for Enhanced Endurance," [IEDM, 677 \(2020\)](#)

- [28] W. Xiao et al., “Performance Improvement of $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ -Based Ferroelectric-Field-Effect Transistors with ZrO_2 Seed Layers,” [IEEE Electron Device Lett., 40, 714 \(2019\)](#)
- [29] C. Liu et al., “ $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ -Based Ferroelectric Field-Effect Transistors with HfO_2 Seed Layers for Radiation-Hard Nonvolatile Memory Applications,” [IEEE Trans. Electron Devices, 68, 4368 \(2021\)](#)
- [30] H. K. Peng et al., “Reduced Asymmetric Memory Window Between Si-Based n- and p-FeFETs With Scaled Ferroelectric HfZrO_x and AlON Interfacial Layer,” [IEEE Electron Device Lett., 42, 835 \(2021\)](#)
- [31] D. Kleimaier et al., “Demonstration of a p-Type Ferroelectric FET With Immediate Read-After-Write Capability,” [IEEE Electron Device Lett., 42, 1774 \(2021\)](#)
- [32] H. K. Peng et al., “Improved Reliability and Read Latency Under Radiation Observed in HfZrO_x Based p-FeFETs With AlON Interfacial Layer,” [IEEE Electron Device Lett., 43, 494 \(2022\)](#)
- [33] 巫勇賢, “邁向高密度儲存應用-鐵電記憶體的原理、挑戰與展望,” [閎康科技技術專欄](#) (2002)
- [34] H. J. Cho et al., “Novel Nitrogen Profile Engineering for Improved $\text{TaN}/\text{HfO}_2/\text{Si}$ MOSFET Performance,” [IEDM Tech. Dig., 665 \(2001\)](#)
- [35] T. Ali et al., “High Endurance Ferroelectric Hafnium Oxide-Based FeFET Memory Without Retention Penalty,” [IEEE Trans. Electron Devices, 65, 3769 \(2018\)](#)
- [36] H. Liu et al., “ ZrO_2 Ferroelectric FET for Non-Volatile Memory Application,” [IEEE Electron Device Lett., 40, 1419 \(2019\)](#)
- [37] T. Ali et al., “A Multilevel FeFET Memory Device Based on Laminated HSO and HZO Ferroelectric Layers for High-Density Storage,” [IEDM, 665 \(2019\)](#)
- [38] H. Mulaosmanovic et al., “Ferroelectric FETs with 20-nm-thick HfO_2 Layer for Large Memory Window and High Performance,” [IEEE Trans. Electron Devices, 66, 3828 \(2019\)](#)
- [39] M. Hoffmann, et al., “Stabilizing the Ferroelectric Phase in Doped Hafnium Oxide,” [J. Appl. Phys., 118, 072006 \(2015\)](#)

- [40] R. Cao, et al., “Effects of Capping Electrode on Ferroelectric Properties of $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ Thin Films”, [IEEE Electron Devices Letters, 39, 1207 \(2018\)](#)
- [41] P. J. Liao et al., “Characterization of Fatigue and Its Recovery Behavior in Ferroelectric HfZrO_2 ,” [Symp. VLSI Tech., T6-3 \(2021\)](#)
- [42] T. Gong et al., “ $10^5\times$ Endurance Improvement of FE-HZO by an Innovative Rejuvenation Method for 1z Node NV-DRAM Applications,” [Symp. VLSI Tech., T16-1 \(2021\)](#)
- [43] H. K. Peng et al., “Improved Immunity to Sub-Cycling Induced Instability for Triple-Level Cell Ferroelectric FET Memory by Depositing HfZrO_x on NH_3 Plasma-Treated Si,” [IEEE Electron Device Lett., Early Access \(2022\)](#)
- [44] Y. Wang et al., “Proton Radiation Effects on Y-Doped HfO_2 -Based Ferroelectric Memory,” [IEEE Electron Device Lett., 39, 823 \(2018\)](#)
- [45] H. Mulaosmanovic et al., “Impact of Read Operation on the Performance of HfO_2 -Based Ferroelectric FETs,” [IEEE Electron Device Letters, 41, 1420 \(2020\)](#)
- [46] E. Yurchuk et al., “Charge-Trapping Phenomena in HfO_2 -Based FeFET-Type Nonvolatile Memories,” [IEEE Transactions on Electron Devices, 63, 3501 \(2016\)](#)
- [47] T. Ali et al., “Impact of Ferroelectric Wakeup on Reliability of Laminate based Si-doped Hafnium Oxide (HSO) FeFET Memory Cells,” [2020 IEEE International Reliability Physics Symposium \(IRPS\), 1 \(2020\)](#)

二、抗輻射之金氧半場效電晶體與快閃記憶體元件之製程研究

- [1] M. Agostinelli, et al., Leakage-Delay Tradeoff in FinFET Logic Circuits: A Comparative Analysis With Bulk Technology, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 18(2), 232 (2010).
- [2] B. H. Lee, et al., ‘Characteristics of TaN gate MOSFET with ultrathin hafnium oxide (8Å-12Å)’, *IEEE International Electron Devices Meeting*, 39, (2000).
- [3] D. Fischer et al, “ The effect of dopants on the dielectric constant of HfO_2 and ZrO_2 from first principles”, *Appl. Phys. Lett.* 92, 012908 (2008).
- [4] C. H. Fu, et al, “A higher-k tetragonal HfO_2 formed by chlorine plasma treatment at interfacial layer for metal-oxide-semiconductor devices”, *Applied Physics Letters* 101, 032105 (2012).
- [5] C. Y. Chen et al., “Improved Erasing Speed in Junctionless Flash Memory

Device by HfO₂/Si₃N₄ Stacked Trapping Layer”, *IEEE Electron Device Lett.* 34(8), 993 (2013).

- [6] H. K. Fang, et al., “Impacts of Electrical Field in Tunneling Layer on Operation Characteristics of Poly-Ge Charge-Trapping Flash Memory Device”, *IEEE Electron Device Lett.* 41(12), 1766 (2020).

三、下世代半導體材料與元件之輻射效應評估

- [1] S.J. Pearton et al., “Review—Radiation Damage in Wide and Ultra-Wide Bandgap Semiconductors”, *ECS Journal of Solid State Science and Technology* 10, 055008 (2021).
- [2] B. Ozpineci and L. M. Tolbert, “Comparison of Wide-Bandgap Semiconductors for Power Electronics Applications”, *ORNL/TM-2003/257* (2003).
- [3] F. Nava et al., “Silicon Carbide and Its Use as A Radiation Detector Material”, *Meas. Sci. Technol.* 19, 102001 (2008).
- [4] A. Ionascut-Nedelcescu et al., “Radiation Hardness of Gallium Nitride”, *IEEE Trans. Nucl. Sci.* 49, 2733-2738 (2002).
- [5] H.Y. Xiao et al., “Threshold Displacement Energy in GaN: Ab Initio Molecular Dynamics Study”, *Journal of Applied Physics* 105, 123527 (2009).
- [6] S. Kuboyama et al., “Anomalous Charge Collection in Silicon Carbide Schottky Barrier Diodes and Resulting Permanent Damage and Single-Event Burnout”, *IEEE Trans. Nucl. Sci.* 53, 3343 (2006).
- [7] E. Mizuta et al., “Investigation of Single-Event Damages on Silicon Carbide (SiC) Power MOSFETs”, *IEEE Trans. Nucl. Sci.* 61, 1924 (2014).
- [8] S. Kuboyama et al., “Single-Event Burnout of Silicon Carbide Schottky Barrier Diodes Caused by High Energy Protons”, *IEEE Trans. Nucl. Sci.* 54, 2379 (2007).
- [9] T. Shoji et al., “Analysis of Neutron-Induced Single-Event Burnout in SiC Power MOSFETs”, *Microelectronics Reliability* 55, 1517 (2015).
- [10] H. Asai et al., “Terrestrial Neutron-Induced Single-Event Burnout in SiC Power Diodes”, *IEEE Trans. Nucl. Sci.* 59, 880 (2012).
- [11] H. Asai et al., “Tolerance Against Terrestrial Neutron-Induced Single-Event Burnout in SiC MOSFETs”, *IEEE Trans. Nucl. Sci.* 61, 3109 (2014).
- [12] A. Akturk et al., “Radiation Effects in Commercial 1200 V 24 A Silicon Carbide

- Power MOSFETs”, *IEEE Trans. Nucl. Sci.* 59, 3258 (2012).
- [13] S. Popelka et al., “Effect of Neutron Irradiation on High Voltage 4H-SiC Vertical JFET Characteristics: Characterization and Modeling”, *IEEE Trans. Nucl. Sci.* 61, 3030 (2014).
 - [14] S.J. Pearton et al., “Review—Ionizing Radiation Damage Effects on GaN Devices”, *ECS Journal of Solid State Science and Technology*, 5, Q35 Q60 (2016).
 - [15] S.J. Pearton et al., “Radiation Effects in GaN-Based High Electron Mobility Transistors”, *J. Mater.* 67, 1601 (2015).
 - [16] A. Kalavagunta et al., “Electrostatic Mechanisms Responsible for Device Degradation in Proton Irradiated AlGaIn/GaN HEMTs”, *IEEE Trans. Nucl. Sci.* 55, 2106 (2008).
 - [17] B.I. Kharisov, O.V. Kharissova, “Main Ionizing Radiation Types and Their Interaction with Matter”, *Radiation Synthesis of Materials and Compounds*, 1-20 (2013).
 - [18] J.R. Schwank et al., “Radiation Effects in MOS Oxides”, *IEEE Trans. Nucl. Sci.* 55, 1833 (2008).
 - [19] G. S. Was, *Fundamentals of Radiation Materials Science - Metals and Alloys*, Springer, Berlin, Germany, 2007.
 - [20] D. Hu et al., “Impact of Different Gate Biases on Irradiation and Annealing Responses of SiC MOSFETs”, *IEEE Trans. Electronic Devices* 65, 3720 (2018).
 - [21] P. Hazdra et al., “Radiation Resistance of High-Voltage Silicon and 4H-SiC Power p-i-n Diodes”, *IEEE Trans. Electronic Devices* 68, 202 (2021).
 - [22] C. Brisset et al., “4H-SiC MESFETs Behavior After High Dose Irradiation”, *RADECS 99*, 289-294 (1999).
 - [23] Q. Yu et al., “Application of Total Ionizing Dose Radiation Test Standards to SiC MOSFET MOSFETs”, *IEEE Trans. Nucl. Sci.* 69, 1127 (2022).
 - [24] E.X. Zhang et al., “Bias-Temperature Instabilities and Radiation Effects on SiC MOSFETs”, *ECS Transactions* 35, 369-380 (2011).
 - [25] K. Gao et al., “Degradation Behavior and Mechanism of SiC Power MOSFETs by Total Ionizing Dose Irradiation under Different Gate Voltages”, *WiPDA Asia*, 46-50 (2021).

- [26] X. Li et al., “Degradation of Radiation-Hardened Vertical Double-Diffused Metal-Oxide-Semiconductor Field-Effect Transistor During Gamma Ray Irradiation Performed After Heavy Ion Striking”, *IEEE Electron Device Letters* 41, 216 (2020).
- [27] C.X. Zhang et al., “Effects of Bias on the Irradiation and Annealing Responses of 4H-SiC MOS Devices”, *IEEE Trans. Nucl. Sci.* 58, 2925 (2011).
- [28] A. Takeyama et al., “Improvement of Radiation Response of SiC MOSFETs under High Temperature and Humidity Conditions”, *Japanese Journal of Applied Physics* 55, 104101 (2016).
- [29] S. Mitomo et al., “Optimum Structures for Gamma-Ray Radiation Resistant SiC-MOSFETs”, *Phys. Status Solidi A* 214, 1600425 (2017).
- [30] J.Y. Jiang et al., “3.3 kV Class 4H-SiC Double-Implanted MOSFET With Excellent Radiation Hardness Against Gamma Rays Using Counter-Doped Junction Termination Extension”, *IEEE Electron Device Letters* 42, 727 (2021).
- [31] F.J. Hsu et al., “Radiation Influence Comparison between SiC J MOS and DMOS”, *Proc. of ISPSD*, 146 (2020).
- [32] T. Zhang et al., “The Synergetic Effects of High Temperature Gate Bias and Total Ionization Dose on 1.2 kV SiC devices”, *Microelectronics Reliability* 88-90, 631-635 (2018).
- [33] J.M. McGarrity et al., “Silicon Carbide JFET Radiation Response”, *IEEE Trans. Nucl. Sci.* 39, 1974 (1992).
- [34] C.J. Scozzie et al., “Silicon Carbide FETs for High Temperature Nuclear Environments”, *IEEE Trans. Nucl. Sci.* 43, 1642 (1996).
- [35] P. Hazdra et al., “Radiation Resistance of High-Voltage Silicon and 4H-SiC Power p-i-n Diodes”, *IEEE Trans. Elec. Dev.* 68, 202 (2021).
- [36] L. Zhang et al., “Neutron radiation effect on 4H-SiC MESFETs and SBDs”, *Journal of Semiconductors* 31, 114006 (2010).
- [37] G. Ko et al., “Electrical Characterizations of Neutron-irradiated SiC Schottky Diodes”, *Korean J. Chem. Eng.* 26, 285-287 (2009).
- [38] P. Dong et al., “Effects of Neutron Irradiation on the Static and Switching Characteristics of High-Voltage 4H-SiC p-type Gate Turn-off Thyristors”, *IEEE Trans. Elec. Dev.* 66, 3910 (2019).

- [39] D.S. Chao et al., “Influence of Displacement Damage Induced by Neutron Irradiation on Effective Carrier Density in 4H-SiC SBDs and MOSFETs”, *Japanese Journal of Applied Physics* 58, SBBD08 (2019).
- [40] P. Hazdra et al., “Displacement Damage and Total Ionisation Dose Effects on 4H-SiC Power Devices”, *IET Power Electronics*, 3910 (2019).
- [41] A.A. Lebedev et al., “Effect of High Energy (15MeV) Proton Irradiation on Vertical Power 4H-SiC MOSFETs”, *Semicond. Sci. Technol.* 34, 045004 (2019).
- [42] J. Vobecky et al., “ON-State Characteristics of Proton Irradiated 4H-SiC Schottky Diode: The Calibration of Model Parameters for Device Simulation”, *Solid-State Electronics* 94, 32-38 (2014).
- [43] S. Popelka et al., “Effect of Electron Irradiation on 1700V 4H-SiC MOSFET Characteristics”, *ICSCRM* (2015).
- [44] J. Vobecky et al., “Impact of Electron Irradiation on the ON-State Characteristics of a 4H-SiC JBS Diode”, *IEEE Trans. Elec. Dev.* 62, 1964 (2015).
- [45] M. Usman et al., “Impact of Ionizing Radiation on the SiO₂/SiC Interface in 4H-SiC BJTs”, *IEEE Trans. Elec. Dev.* 59, 3371 (2015).
- [46] B. Luo et al., “Influence of 60Co γ -rays on DC Performance of AlGaIn/GaN High Electron Mobility Transistors”, *Appl. Phys. Lett.* 80, 604 (2002).
- [47] C. Schwarz et al., “Gamma Irradiation Impact on Electronic Carrier Transport in AlGaIn/GaN High Electron Mobility Transistors”, *Applied Physics Letters* 102, 062102 (2013).
- [48] H.C. Chiamori et al., “Effects of Radiation and Temperature on Gallium Nitride (GaN) Metal Semiconductor-Metal Ultraviolet Photodetectors”, *Proc. of SPIE* 9113, 911304 (2014).
- [49] I.H. Lee et al., “Carrier Removal Rates and Deep Traps in Neutron Irradiated n-GaN Films”, *Journal of The Electrochemical Society* 158, H866-H871 (2011).
- [50] R. Sun et al., “Degradation Mechanism of Schottky P-GaN Gate Stack in GaN Power Devices under Neutron Irradiation”, *Appl. Phys. Lett.* 119, 133503 (2021).
- [51] L. Lv et al., “Fast and Thermal Neutron Radiation Effects on GaN PIN Diodes”, *IEEE Trans. Nucl. Sci.* 64, 643 (2017).

- [52] A.Y. Polyakov et al., “Deep Traps in GaN-based Structures as Affecting the Performance of GaN Devices”, *Materials Science and Engineering R* 94, 1-56 (2015).
- [53] B.D. Weaver et al., “On the Radiation Tolerance of AlGaIn/GaN HEMTs”, *ECS Journal of Solid State Science and Technology*, 5, Q208 (2016).
- [54] J. Chen et al., “Effects of Applied Bias and High Field Stress on the Radiation Response of GaN/AlGaIn HEMTs”, *IEEE Trans. Nucl. Sci.* 62, 2423 (2015).
- [55] N.E. Ives et al., “Effects of Proton-Induced Displacement Damage on Gallium Nitride HEMTs in RF Power Amplifier Applications”, *IEEE Trans. Nucl. Sci.* 62, 2417 (2015).
- [56] A. Kalavagunta et al., “Impact of Proton Irradiation-Induced Bulk Defects on Gate-Lag in GaN HEMTs”, *IEEE Trans. Nucl. Sci.* 56, 3192 (2009).
- [57] A. Stocco et al., “Proton Induced Trapping Effect on Space Compatible GaN HEMTs”, *Microelectronics Reliability* 54, 2213 (2014).
- [58] B.D. Weaver et al., “Displacement Damage Effects in AlGaIn/GaN High Electron Mobility Transistors”, *IEEE Trans. Nucl. Sci.* 59, 3077 (2012).
- [59] L. Scheick et al., “Displacement Damage-Induced Catastrophic Second Breakdown in Silicon Carbide Schottky Power Diodes”, *IEEE Trans. Nucl. Sci.* 51, 3193 (2004).
- [60] C. Felgemacher et al., “Cosmic Radiation Ruggedness of Si and SiC Power Semiconductors”, *Proc. of ISPSD*, 51 (2016).
- [61] P.S. Gromova et al., “Heavy-Ion-Induced Single Event Burnout in SiC Schottky Diodes: Safe Operating Area”, *Proc. of MIEL*, 71 (2019).
- [62] K. Niskanen et al., “Impact of Electrical Stress and Neutron Irradiation on Reliability of Silicon Carbide Power MOSFET”, *IEEE Trans. Nucl. Sci.* 67, 1365 (2020).
- [63] A. Griffoni et al., “Neutron-Induced Failure in Silicon IGBTs, Silicon Super-Junction and SiC MOSFETs”, *IEEE Trans. Nucl. Sci.* 59, 866 (2012).
- [64] K. Rashed et al., “Terrestrial Neutron Induced Failure in Silicon Carbide Power MOSFETs”, *IEEE Radiation Effects Data Workshop (REDW)*, 1-4 (2014).

- [65] P.J. McWhorter and P.S. Winokur, “Simple Technique for Separating the Effects of Interface Traps and Trapped-oxide Charge in Metal-Oxide-Semiconductor Transistors”, *Appl. Phys. Lett.* 48, 133 (1986).
- [66] M. Yoshikawa et al., “Effects of Gamma-ray Irradiation on Cubic Silicon Carbide Metal-Oxide-Semiconductor Structure”, *Journal of Applied Physics* 70, 1309 (1991).
- [67] S.C. Witczak et al., “Charge Separation Technique for Metal-Oxide-Silicon Capacitors in the Presence of Hydrogen Deactivated Dopants”, *Journal of Applied Physics* 87, 8206 (2000).