

行政院原子能委員會
委託研究計畫研究報告

3D 矽穿孔(TSV)技術在微型化模組之應用
3D TSV (Through Silicon Via) for micro-module application

計畫編號：1052001INER008

受委託機關(構)：國立交通大學

計畫主持人：張翼 教授

聯絡電話：0936842470

E-mail address： edc@nctu.edu.tw

協同主持人：

研究期程：中華民國 105 年 4 月至 105 年 12 月

研究經費：新臺幣 47.5 萬元

核研所聯絡人員：魏子傑

報告日期：105 年 12 月 21 日

目錄

| | |
|--|-----|
| 中文摘要..... | I |
| ABSTRACT..... | III |
| 壹、計畫緣起與目的..... | 1 |
| 一、矽化合物半導體穿孔技術背景介紹..... | 2 |
| 二、為何選擇 SIC 背穿孔(BACKSIDE VIA)技術..... | 5 |
| 三、不同背穿孔製程的比較..... | 8 |
| 四、背穿孔製程所面臨的問題..... | 9 |
| (一)柱狀殘留物所導致的問題..... | 11 |
| (二)微溝渠所導致的問題..... | 15 |
| 五、背穿孔製程簡介..... | 17 |
| (一)基板薄化製程簡介..... | 18 |
| (二)乾蝕刻製程簡介..... | 20 |
| 六、藉由背穿孔來提升元件的效能..... | 23 |
| 貳、研究方法與過程..... | 25 |
| 一、氮化鎵長在碳化矽(GAN ON SIC)前晶粒製程技術背景介紹..... | 25 |
| 二、背穿孔製程綜述..... | 26 |
| (一)鑲嵌製程..... | 27 |
| (二)晶片薄化製程..... | 28 |
| (三)乾蝕刻光罩的製作..... | 30 |
| (四)ICP 乾蝕刻製程..... | 31 |
| (五)背穿孔製程流程..... | 35 |
| 三、元件直流(DC)和微波(RF)特性量測..... | 37 |
| 參、主要發現與結論..... | 39 |
| 一、製程參數及結果整合..... | 39 |
| 二、直流電性(DC)量測結果..... | 40 |
| 三、微波電性(RF)量測結果..... | 40 |

肆、參考文獻.....43

圖表目錄

| | | |
|-------|---|----|
| 圖 一 | AlGaIn/GaN HEMT 結構示意圖 | 4 |
| 圖 二 | 寄生電容對最大增益在不同頻率下的影響 | 6 |
| 圖 三 | 背穿孔生產主要面臨問題示意圖(a)柱狀殘留物 (b)微溝渠10 | |
| 圖 四 | 不同腔體線圈功率對柱狀殘留物形成的關係圖 | 12 |
| 圖 五 | 微小蝕刻遮蔽物 (a)柱狀殘留物 SEM (b)微管所形成之示意圖 | 14 |
| 圖 六 | 氫氣電漿的前處理 | 15 |
| 圖 七 | 不同條件的側壁蝕刻結果 | 16 |
| 圖 八 | 微溝渠和氧氣及 O ₂ 流量的關係 | 17 |
| 圖 九 | (a)研磨壓力 (b)研磨速度 (c)研磨液的濃度和 SiC 基板去除率的關係圖 | 20 |
| 圖 十 | 背穿孔的孔徑和蝕刻率關係圖 | 22 |
| 圖 十一 | 背穿孔製程對元件負載拉移的特性影響 | 24 |
| 圖 十二 | AlGaIn/GaN HEMT 射頻功率元件製作步驟 | 26 |
| 圖 十三 | 使用 B ₄ C 研磨後的背面狀況 (AFM RMS=79nm) | 29 |
| 圖 十四 | 使用 Al ₂ O ₃ 研磨後的背面狀況 (AFM RMS=2.76nm) | 29 |
| 圖 十五 | 使用 SF ₆ 製程後的背面狀況 (AFM RMS=0.7nm) | 30 |
| 圖 十六 | 最終拋光細磨後的表面之 OM 量測結果 | 30 |
| 圖 十七 | 不同 Recipe 之 SEM 量測結果 | 33 |
| 圖 十八 | 小功率之 SEM 量測結果 | 33 |
| 圖 十九 | 孔洞內材料 EDS 偵測 | 34 |
| 圖 二十 | 背穿孔製程流程圖 | 37 |
| 圖 二十一 | Agilent E5270 量測設備 | 38 |
| 圖 二十二 | SUSS PA200 Semi-Auto Probe Station 量測平台 | 38 |
| 圖 二十三 | Recipe3 之 SEM 量測結果 | 39 |
| 圖 二十四 | 背穿孔製程的 DC 量測示意圖 | 41 |
| 圖 二十五 | I-V 點測結果 | 41 |
| 圖 二十六 | 開孔前後之增益比較 | 42 |
| 圖 二十七 | 開孔前後之微波特性 | 42 |

| | | |
|-----|---|----|
| 表 一 | 不同半導體材料的電性和物性比較 | 3 |
| 表 二 | 不同 GaN 磊晶用基板比較表..... | 5 |
| 表 三 | 雷射剝蝕製程和乾蝕刻製程的背穿孔比較 | 9 |
| 表 四 | Al ₂ O ₃ , SiC, B ₄ C 及鑽石的硬度比較表..... | 19 |
| 表 五 | 蝕刻率和相關參數的關係圖..... | 21 |
| 表 六 | 使用不同的參數所得到的蝕刻速率表 | 32 |

中文摘要

作為一個前景看好的半導體材料，近年來氮化鎵在半導體產業中獲得了越來越多的關注，由於有著較大的能隙寬度、良好的電子遷移率、快速的電子飽和速度與較高溫的操作容忍度，使得氮化鎵成為製作高頻功率元件的首選材料，並可應用於太陽能發電系統中作為功率轉換元件。而隨著操作頻率的不斷提高，電路內的寄生效應對於元件表現的影響也越發顯著，為了維持良好的元件特性，如何降低電路中的寄生電感就成為了一個相當重要的課題了，而背向通孔接地製程就是其中能降低寄生電感效應的好方法。一般而言碳化矽背向通孔的製作方式有雷射剝蝕與乾式蝕刻兩種，與雷射剝蝕製程相較之下，乾式蝕刻由於需要將晶片磨薄與製作蝕刻遮罩層而使得製程步驟較為複雜，但由於是同時蝕刻所有的背向導通孔，因此當未來晶片的尺寸越來越大時乾式蝕刻的製程將會更顯效率。故本研究以乾式蝕刻的方式作為製程方法。

本研究探討了整個背向通孔的製程步驟，由一開始晶片與製程載具的黏合製程一直到通孔蝕刻完成後的背金屬電鍍。此外也探討了在碳化矽背向通孔中最常見的問題，蝕刻柱狀物的形成與避免。

製程後的直流與交流量測結果顯示了在加入了背向通孔製程後元件的直流特性並無衰減，而由高頻的量測結果則可看出元件的高頻功率表現有所提升。

透過本計畫之執行，除了應用在太陽能電池的氮化鎵功率元件減少其寄生電感外；由於太陽能電池容易累積廢熱，亦可將此技術推廣應用於太陽電池的封裝上，藉由穿孔技術增加散熱能力；並可將正負電極建置在同一側，減少接線與接觸電阻，將可提升元件於電性上的表現，增加輸出功率。

Abstract

As a promising material, GaN is getting more and more attention in semiconductor industry. Its excellent properties such as high bandgap, high electron mobility, high saturation velocity and high maximum operating temperature make it the most attractive material to fabricate high frequency and high power device, and it could be also applied to solar power systems as power inverters' component. Along with increasing operating frequency, the parasitic effect becomes more and more obvious. To improve device performance, parasitic inductance must be suppressed. One good choice to reduce parasitic inductance is backside via directly grounding process. There are two methods to fabricate SiC backside via holes, laser ablation and dry etching. Dry etching process is more complex than laser ablation due to its time-consuming thinning process and etching mask fabrication. But due to its simultaneous etching of each via hole, dry etching is more compatible with increasing wafer size. In this study, dry etching process is selected to fabricate via holes.

This study investigates the whole backside process from wafer mounting to the eventual backside metal plating. One of the most common problems in backside via dry etching process, pillar formation,

is also discussed in this study.

In solar cells, we can not only apply SiC backside via holes to GaN power devices to reduce parasitic effect but also to package to reduce heat accumulation. We can fabricate positive and negative electrodes on same side to reduce ohmic contact resistance and enhance device performance in solar cells by this technique.

壹、計畫緣起與目的

半導體產業發展至今，作為一個前景看好的半導體材料，近年來氮化鎵在半導體產業中獲得了越來越多的關注，由於有著較大的能隙寬度、良好的電子遷移率、快速的電子飽和速度與較高溫的操作容忍度，使得氮化鎵成為製作高頻功率元件的首選材料，並可應用於太陽能電池微型化模組中作為功率轉換元件。而隨著操作頻率的不斷提高，電路內的寄生效應對於元件表現的影響也越發顯著，為了維持良好的元件特性，如何降低電路中的寄生電感就成為了一個相當重要的課題了，而背向通孔接地製程就是其中能降低寄生電感效應的好方法。一般而言碳化矽背向通孔的製作方式有雷射剝蝕與乾式蝕刻兩種，與雷射剝蝕製程相較之下，乾式蝕刻由於需要將晶片磨薄與製作蝕刻遮罩層而使得製程步驟較為複雜，但由於是同時蝕刻所有的背向導通孔，因此當未來晶片的尺寸越來越大時乾式蝕刻的製程將會更顯效率。故本研究以乾式蝕刻的方式作為討論方向。

本研究探討了整個背向通孔的製程步驟，將一一討論晶片與製程載具的黏合製程一直到通孔蝕刻完成後的背金屬電鍍。此外也探討了在碳化矽背向通孔中最常見的問題，蝕刻柱狀物的形成機制與優化方法。

由背向通孔製程後的直流與交流量測結果，顯示在加入了背向通孔製程後元件的直流特性並無衰減，相信將此背向通孔製程導入高頻元件，可提升元件的高頻功率表現。

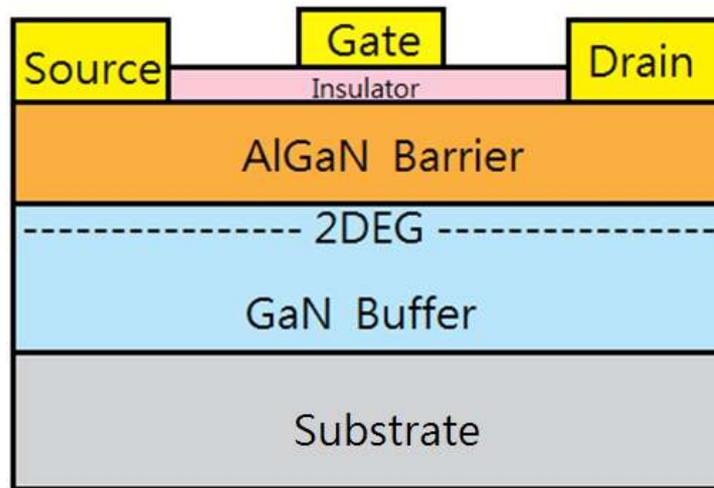
一、矽化合物半導體穿孔技術背景介紹

自以矽材料為主體的半導體元件發明以來，整個半導體產業就一直不斷的在進步。現今，在矽材料元件線寬不斷的縮小的驅勢之下，其已逐漸走向莫爾定律的終點，且元件特性已無法滿足一些特殊應用。相反的，III-V 族半導體材料，有著先天優越的物理特性，吸引著無數人的目光，使其成為未來電子元件不可或缺的材料選項之一。在所有的 III-V 族半導體材料之中，GaN(氮化鎵)[1]為下一代電子元件中，最有競爭力的一個，如表一所示，和其他材料相比，GaN 有著無數的優點，像是極高的飽和速度(saturation velocity)、高的能帶間隙(bandgap)、高崩潰電場(breakdown field)、良好的熱傳導率(thermal conductivity)及極高的操作溫度(operating temperature)。這些極佳的特性，讓 GaN 非常適合製作高頻功率元件[2]，可以滿足高頻功率元件對電子移動速度、元件功率及熱傳導的極高要求。

| 材 料 | Si | GaAs | SiC | GaN |
|---------------------------------------|------|------|-----|-----|
| Saturation velocity (10^6 cm/s) | 8.6 | 8.3 | 20 | 25 |
| Bandgap (eV) | 1.12 | 1.42 | 3.2 | 3.4 |
| Breakdown field (10^6 V/cm) | 0.3 | 0.4 | 3.5 | 3.5 |
| Thermal conductivity (W/cmK) | 1.5 | 0.46 | 4.9 | 1.3 |
| T_{\max} ($^{\circ}$ C) | 300 | 300 | 600 | 700 |

表 一 不同半導體材料的電性和物性比較

如圖一所示，GaN 高電子遷移率晶體管(high electron mobility transistor, HEMT)在高能階的 AlGa_{0.3}N(氮化鋁鎵)及低能階的 GaN 異質界面上，形成二維電子氣(two-dimensional electron gas, 2DEG)，因為二維電子氣有著極高的電子遷移速度，因此非常適合高頻電子元件的應用[3]。



圖一 AlGaN/GaN HEMT 結構示意圖

對於以 GaN 為基材的元件而言，因為大尺寸(>6 吋)的 GaN 基板目前尚未商品化且價格昂貴，所以目前用來成長 GaN 磊晶的基板主要為三大類:矽基板(Si)、藍寶石基板(Sapphire, Al₂O₃)及碳化矽基板(SiC)。

在這三大類基板材料中，SiC 是第一選擇，因為其和 GaN 有最小的晶格常數差異(Lattice mismatch)、最小的熱膨脹係數差異(Thermal Expansion Coefficient difference)及極佳的熱傳導[4,5]，相關基板的材料特性，列於表二。

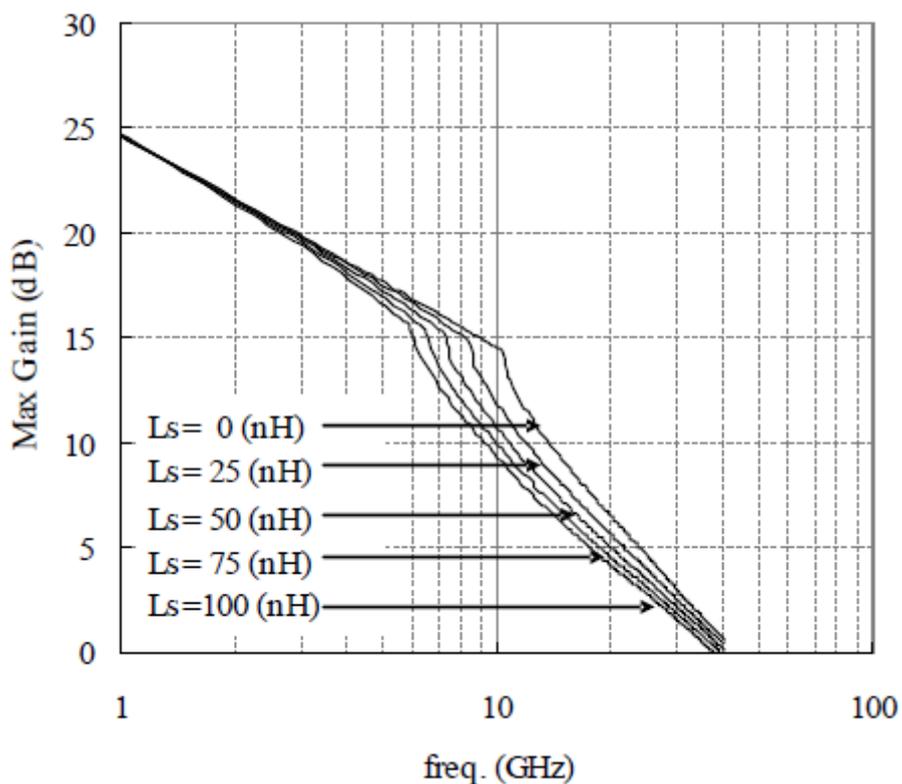
| 物理特性 | Sapphire | SiC | Si |
|--|----------|---------|---------|
| Lattice mismatch (%) | 16 | 3.5 | -16.9 |
| Thermal expansion coefficient ($10^{-6}/K$) | 7.5 | 4.2 | 2.59 |
| Difference of thermal expansion coefficient with GaN (%) | -34 | 25 | 54 |
| Thermal conductivity (W/cm-K) | 0.25 | 3.8~4.9 | 1 ~ 1.5 |

表二 不同 GaN 磊晶用基板比較表

二、為何選擇 SiC 背穿孔(Backside Via)技術

在理想的條件下，金屬導線(wires)為一理想的導體，但如從傳輸線原理(transmission line theory)來探討，金屬導線在高頻操作下，寄生電感效應(parasitic inductance effect)的存在[6]，將使元件的效能大幅下降。如圖二所示，模擬所得 GaN HEMT 在 0~100nH 的接地電感(grounding inductance)下，其最大增益(maximum gain)和頻率的關係。在 X-Band 的操作頻率下，100nH 的 GaN HEMT 的增益是夠

高的，因此此元件可以用金屬導線來連接，但在 in Ku-band 的操作頻率下，電流增益便不夠高，因此，如何減少電路中的寄生電感便成為一個重要的課題。



圖二 寄生電容對最大增益在不同頻率下的影響[10].

為了提高元件在高頻操作下的表現，背穿孔的技術因此被用來降低寄生電感[7]。

一般而言，背穿孔有四大優勢[8]:

<I> 增強熱散逸

<II> 減少寄生電感

<III> 不需要源極端的 contact pad

<IV> 不需要空橋製程(air-bridge)

元件在操作時所產生的熱，可以藉由背穿孔技術，更容易的消散，而且寄生電感，也會因較少的 Grounding path 而減小。此外，如果背穿孔製程可以精準的控制其孔洞的大小及位置，當其直徑比源極端金屬墊(source metal pad)小時，背穿孔就可以做在源極端金屬墊的背後和其直接連接，此種和源極端金屬墊直接作連接的製程，應用在離散式(discrete devices)元件時，可以直接和背部的接地金屬端(backside ground metal)作連接，所以這種製程的元件，因為沒有前端源極端金屬墊及空橋的製程，其元件尺寸可以大幅的下降。

三、不同背穿孔製程的比較

在背穿孔的製程中，主要分為二類，雷射剝蝕製程(laser ablation)和乾蝕刻製程(dry etching)[9]，雷射剝蝕製程有較高的蝕刻率、高的孔徑比(aspect ratio)及較平滑的背穿孔表面，也不需要基板薄化及黃光製程，但因為雷射剝蝕製程需一個接著一個進行背穿孔製程，所以其消耗的製程時間極長。相對於雷射剝蝕製程，乾蝕刻雖然蝕刻率較慢，且需要黃光及基板薄化二個相對複雜的製程，但乾蝕刻可以同時對所有的背穿孔進行蝕刻，所以在尺寸和高密度的晶片上，有著較少製程時間的優勢。而且背穿孔和傳統的半導體製程具有相容性，並不需要額外的投資昂貴的雷射剝蝕製程機台。此外，乾蝕刻製程對於所要蝕刻的材料有著極高的選擇比(selectivity)，這樣可以大幅的降低蝕刻穿孔的機率。表三為這二種製程的比較。

| 雷射剝蝕製程 | 乾蝕刻製程 |
|---|---|
| <p>1. Etch via holes sequentially</p> <p>2. High etching rate</p> <p>3. Can achieve high aspect ratio</p> <p>4. Simple process flow - no needs of wafer thinning & lithography</p> <p>5. Smooth via hole morphology</p> | <p>1. Etch via holes simultaneously</p> <p>2. High density of via holes in a large wafer area available</p> <p>3. Compatible with conventional semiconductor process - no need of extra investment in process equipment</p> <p>4. Selective to the front side metal - no risk of etch through</p> |

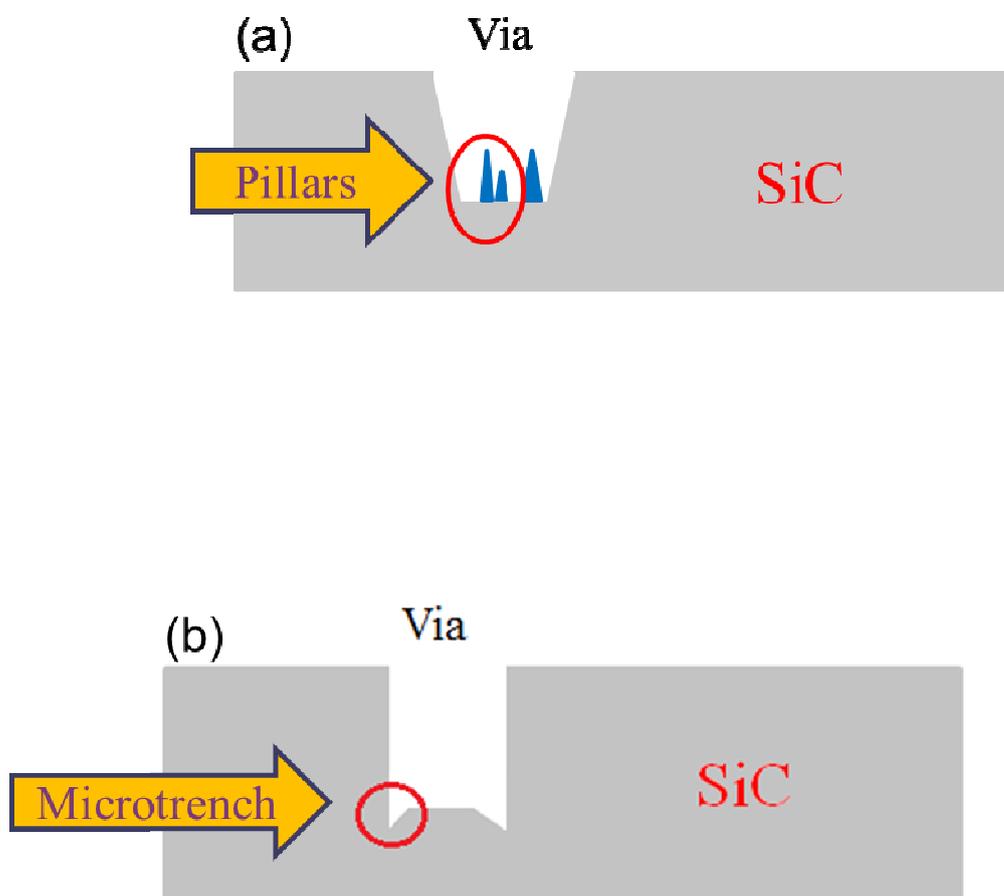
表 三 雷射剝蝕製程和乾蝕刻製程的背穿孔比較

四、背穿孔製程所面臨的問題

背穿孔生產時主要面臨二個問題，1)柱狀殘留物(pillar)及 2)微溝渠(microtrench)的形成。柱狀殘留物會在孔洞的底部形成，並且會

阻礙背穿孔蝕刻的進行。而微溝渠的形成，會導致前製程的金屬墊被穿蝕造生產產品信賴性的問題。

為了製作良好的背穿孔，以上所提的二個問題必需被解決，圖三為此二種問題的圖示。



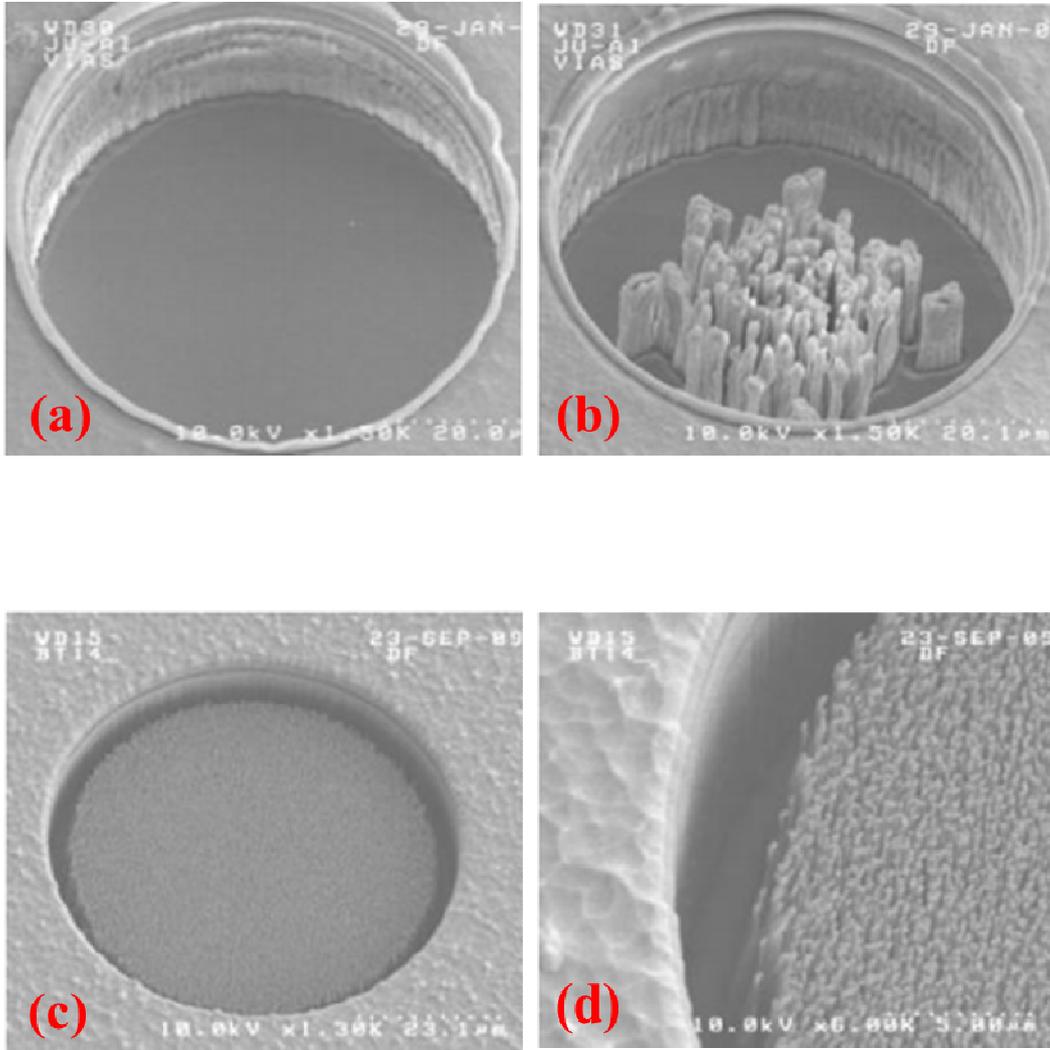
圖三 背穿孔生產主要面臨問題示意圖 (a)柱狀殘留物 (b)微溝渠

(一)柱狀殘留物所導致的問題

在 SiC 的背穿孔乾蝕刻製程中，柱狀殘留物的形成是一個很常見的主要 defect，柱狀殘留物會在背穿孔的底部形成，而且會阻礙蝕刻製程的進行，使得 SiC 無法去除乾淨，導致後段的金屬化製程無法和前段的源極墊進行導通。

第一種柱狀殘留物的形成機制是因為低的腔體線圈功率[14]，如線圈功率低於臨界值，在背穿孔的底部就會有柱狀殘留物形成，

圖四為不同腔體線圈功率對柱狀殘留物形成的關係，條件(b)及(c)的腔體線圈功率分別是(a)的 45%及 32%。

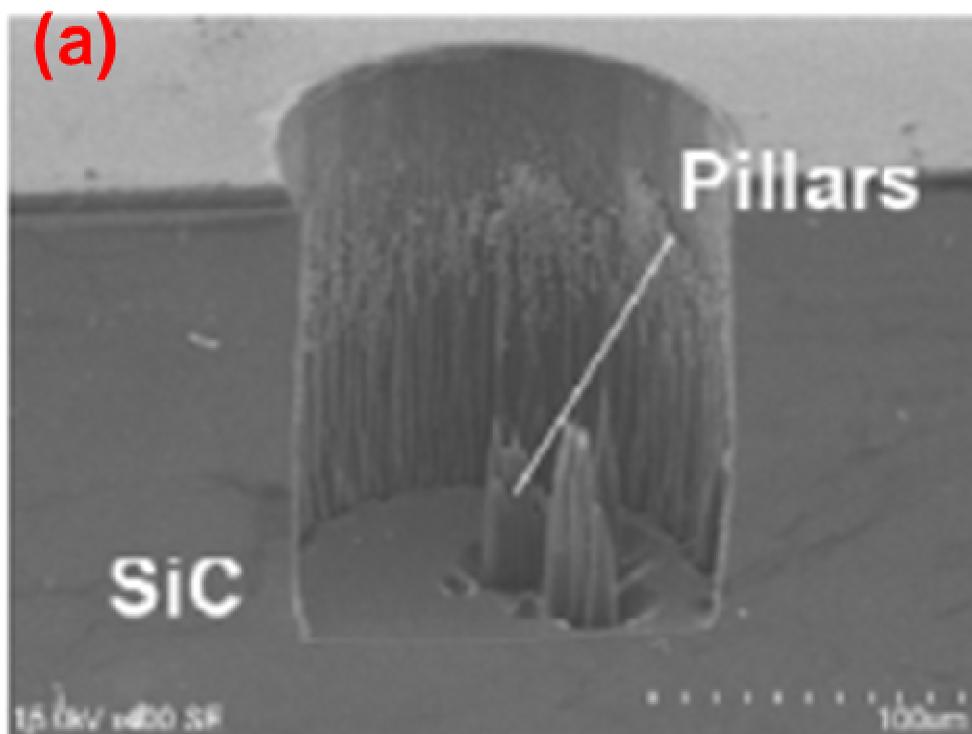


圖四 不同腔體線圈功率對柱狀殘留物形成的關係圖
(a)高 (b)低 (c)更低 (d)圖 c 局部放大[14]

除了腔體線圈功率外，另一個柱狀殘留物形成的機制導因於微溝渠(Microtrench)效應。微溝渠主要有二個來源，一是非揮發物的再

沉積或是 SiC 本身所內含蝕刻較慢的缺陷。非揮發物的再沉積包含了蝕刻製程中的產物或是從腔體回濺的沉積物。

微管(Micropipe)便是 SiC 基板中，所內含蝕刻較慢的缺陷之一，微管因為 SiC 有不同的化學計量(stoichiometry)，所以其蝕刻率較慢，而且也容易被鎳矽氟化合物所保護(NiSiF pasivated)，而鎳矽氟化合物是一種非揮發且不易蝕刻的物質[15]，所以在蝕刻中，會在表面形成微小的蝕刻遮蔽物(micromask)，在背穿孔的底部形成柱狀殘留物。所以在蝕刻製程參數的優化時，要避免鎳金屬被濺射到背穿孔的底部。圖五便是微小的蝕刻遮蔽物所形成的柱狀殘留物。



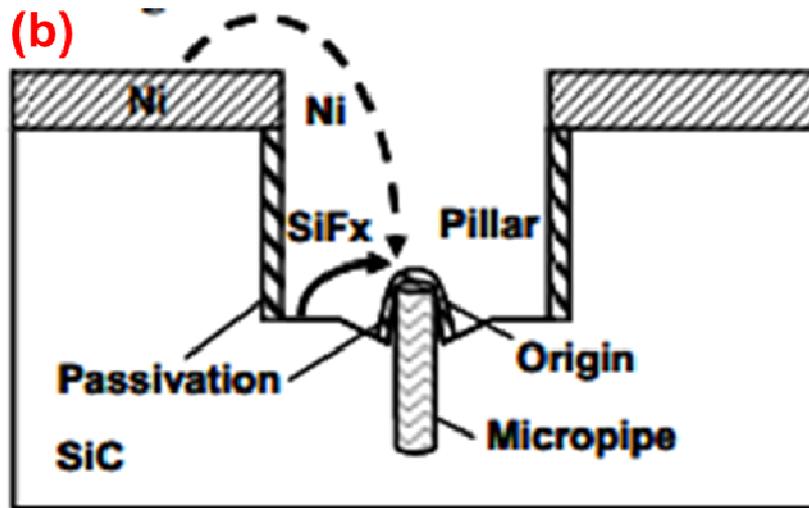
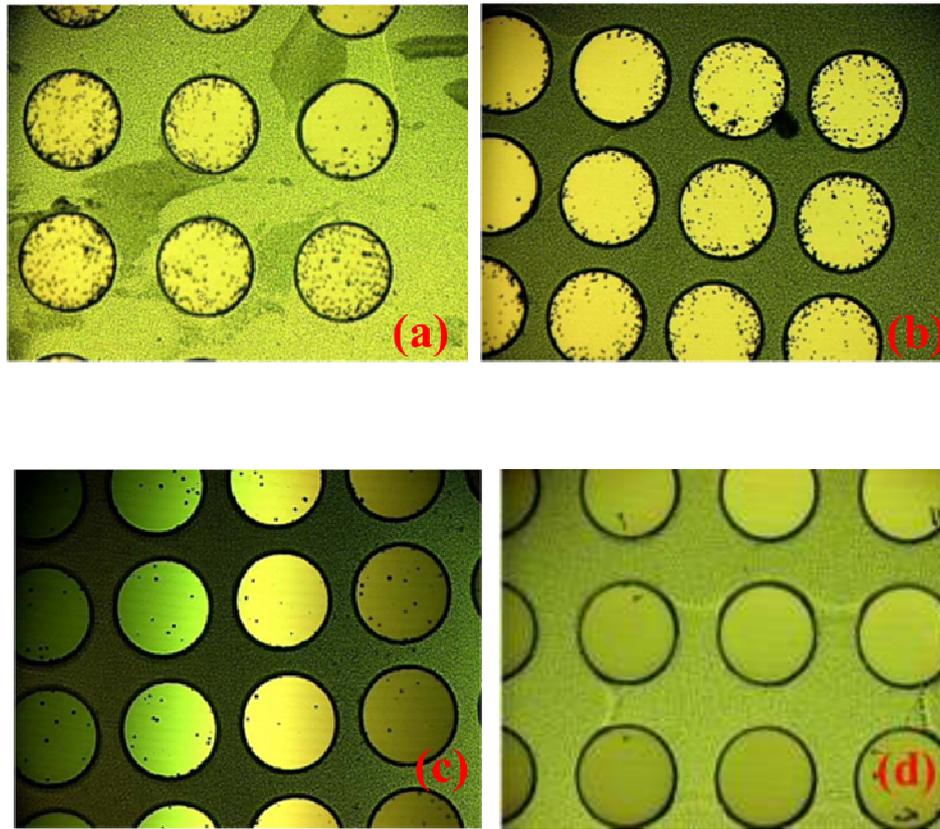


圖 五 微小蝕刻遮蔽物 (a)柱狀殘留物 SEM (b)微管所形成之示意圖[15]

在製程中，插入氫氣電漿的處理，可以有效的防止柱狀殘留物的產生，這種在製程開始前的清潔步驟(Pre-clean)可以清除表面的缺陷，而這些缺陷便是微小蝕刻遮蔽物的來源。如圖六中所示，藉由適當的前清潔步驟，可以大幅的減少柱狀殘留物 50%，由此一結果，我們更可以斷定，微小蝕刻遮蔽物很大的部份來自於表面的缺陷。



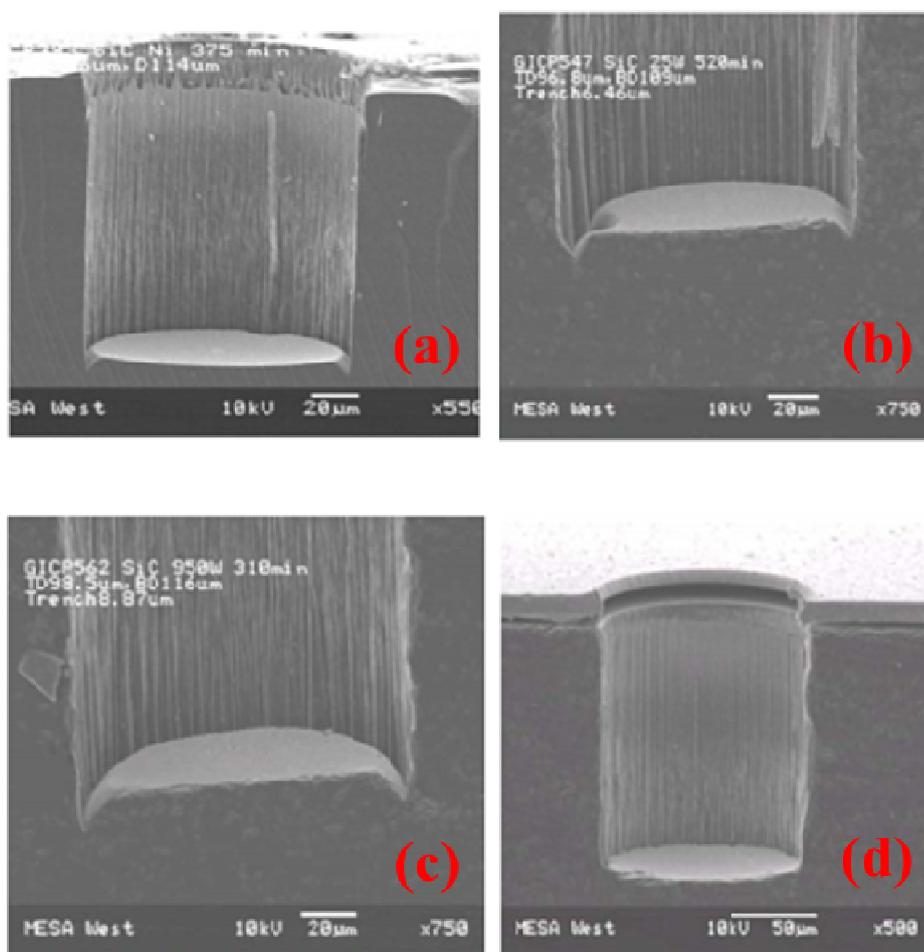
圖六 氫氣電漿的前處理

(a) 500W/100W 2 分鐘 (b) 300W/250W 2 分鐘 (c) 500W/250W 2 分鐘
(d) 750W/100W 5 分鐘[18]

(二)微溝渠所導致的問題

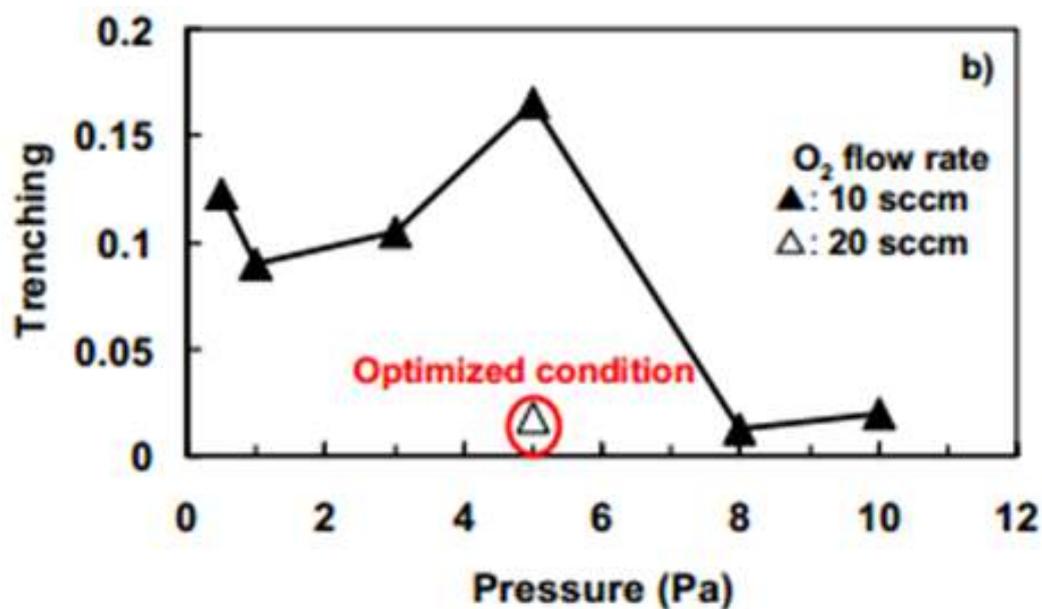
除了柱狀殘留物外，在背穿孔底部邊緣所形成的微溝渠是另一個背穿孔製程中主要的問題，微溝渠會導致前段製程中的金屬墊被擊穿，在元件操作時，造成信賴性的問題。

一般相信，微溝渠的形成，和陽離子撞擊累積在背穿孔側壁上的陰離子有關。為了解決此一問題，增加製程氣體壓力是其中一個方法，如圖七所示，藉由增加製程氣體壓力，減低陽離子撞擊背穿孔側壁的強度，所以微溝渠就不會形成了。



圖七 不同條件的側壁蝕刻結果
 線圈功率/載盤功率/氣體壓力 (a) 750W/100W/7mTorr (b)
 750W/25W/7mTorr (c) 950W/50W/7mTorr (d)
 750W/100W/12mTorr[18]

雖然藉由增加製程氣體壓力可以減少微溝渠的形成，但卻會使得蝕刻速率下降，所以一般也用調整氣體流量來減少微溝渠並保持同樣的蝕刻率。藉由增加氧氣的流量到 SiF_6 的 5% 到 10%，微溝渠的現象便可以減少。圖八為相關的實驗結果。



圖八 微溝渠和氧氣及 O_2 流量的關係[15]

五、背穿孔製程簡介

由於 GaN 有高的崩潰電壓、高的飽合速度、及極高的操作溫度，所以 GaN 元件日漸的吸引許多人的目光。如前所述，在眾多的基板中，不考慮成本的前提下，以 SiC 為基板進行 GaN 相關的製程，可以得到最佳的高頻功率元件。為了增加下一個世代 GaN-base 元件

的特性，將背穿孔整合製作在 SiC 基板上，將是一個很好的選擇。藉由背穿孔的製程，可以直接將前端的源極墊(source pad)和後端的金屬及接地端連接在一起。此外也可大幅的提高熱散逸的效能，並且可以大幅的降低寄生電容的效應，所以高頻元件的特性可以大幅的提升。當背穿孔的製程達到相當的成熟度後，背穿孔可以直接的製作在源極端的正下方，和源極端的金屬墊直接搭接，如此一來，空橋製程便可被省略。

(一)基板薄化製程簡介

開始進行背穿孔蝕刻製程前，我們必需先將 SiC 基板進行薄化，因於 SiC 基板非常的硬、脆且具有相當的耐化學腐蝕性，所以 SiC 是最難加工的材料之一[11]。由於 SiC 極端的硬，所以傳統用來薄化的材料氧化鋁(Al_2O_3)已不適用於 SiC 的薄化製程，因此，硬度更高的人工鑽石便成為最好的選擇之一，但人工鑽石的價格非常的昂貴，所以 B_4C 便成為替代的選項。 B_4C 價錢比人工鑽石便宜很多，且 B_4C 的硬度也足夠用來對 SiC 基板進行薄化製程。表四為這些材料的硬度比較表。在這個研究中，我們將使用 B_4C 粉末，來對 SiC 基板進行薄化製程。除了 B_4C 粉末薄化外，高速鑽石研磨輪也是另一個常用的製程手法之一。[12]

| Material | Knoop value |
|--------------------------------|-------------|
| Al ₂ O ₃ | 2100 |
| SiC | 2480 |
| B ₄ C | 2750 |
| Diamond | 7000 |

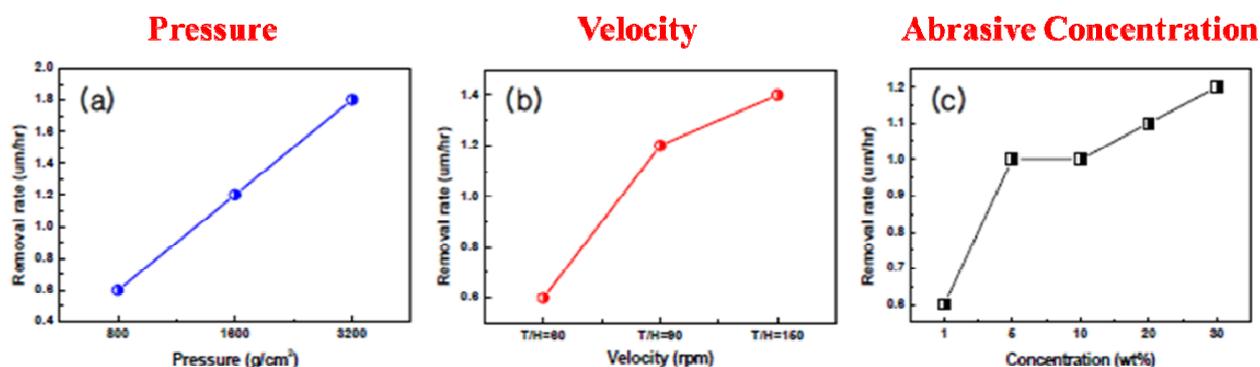
表 四 Al₂O₃, SiC, B₄C 及鑽石的硬度比較表

根據 Preston 方程式:

- Preston equation : $R.R = k * P * v$
- R.R : 基板表面去除率
- k : 研磨常數
- P : 研磨壓力
- v : 基板及研磨墊的相對速度

薄化製程研磨時的去除率(removal rate)和研磨壓力、基板及研磨墊的相對速度有關，圖四為不同的實驗條件和 SiC 基板去除率的關係圖。由圖九(a)及圖九(b) 我們可得知，去除率和和研磨壓力、基板及研磨墊的相對速度有關呈正相關，此結果符合 Preston 方程

式。由圖九(c)可得知，當研磨液的濃度上升時，SiC 基板去除率也會上升。



圖九 (a)研磨壓力 (b)研磨速度 (c)研磨液的濃度和 SiC 基板去除率的關係圖

(二)乾蝕刻製程簡介

在製作背穿孔乾式蝕刻之前，鎳金屬(Ni)常用來當成乾蝕刻的硬光罩(hard mask layer)以保護背穿孔的其他區域，會選擇鎳金屬來當 Hark mask 主要是因為鎳和 SiC 有很好的乾蝕刻選擇比。

在硬光罩的製程之後，接下來會對硬光罩開口的部份，進行背穿孔蝕刻製程，對背穿孔製程而言，蝕刻率(etching rate)和蝕刻後背穿孔的形狀皆很重要，所以製程參數的掌控就很重要，像是蝕刻腔

體氣壓、線圈功率及承載盤的功率，皆會對背穿孔的蝕刻率有很大的影響。表五為蝕刻率和相關參數的關係圖。

一般而言，較高的功率(Bias power)可以得到較高的蝕刻率，但會降低蝕刻的選擇比，因此需加厚以鎳金屬作成的硬光罩層。

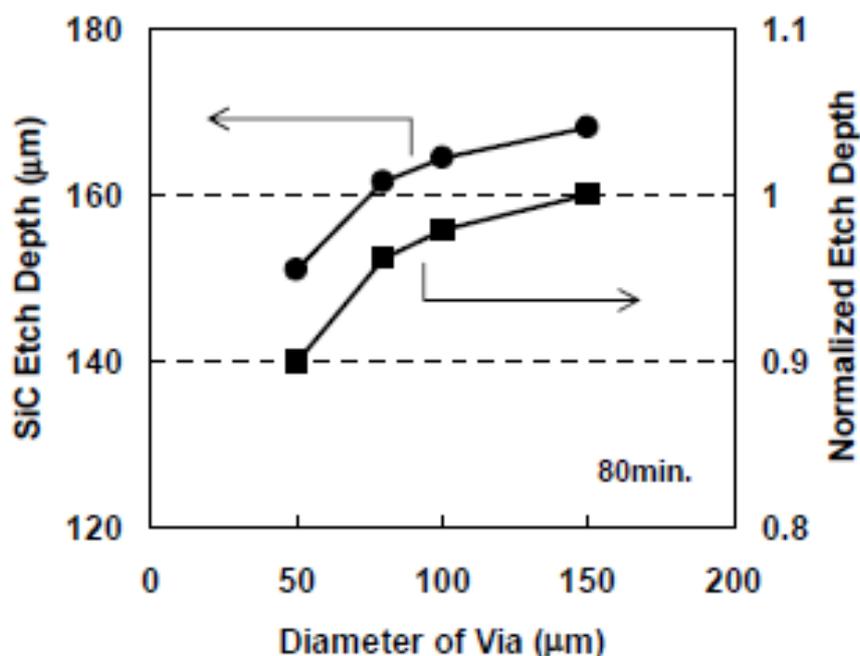
| 製程參數 | 蝕刻率 | 和鎳的選擇比 | 和氮化鎵的選擇比 | 側壁(sidewall)的品質 |
|-------------------------|-----|--------|----------|-----------------|
| Bias power | ↑↑ | ↓↓ | ↓↓ | ↔ |
| Dilution with He | ↓ | ↓ | ↓ | ↑ |
| Pressure | ↑ | ↑↑ | ↑ | ↑ |
| Ar addition | ↑ | ↓↓ | ↓↓ | ↓↓ |

表 五 蝕刻率和相關參數的關係圖[16]

此外，較高的功率也會在 SiC 基板上生成較高的溫度，雖然較高的基板溫度可以有較高的蝕刻速率[13]，但過高的基板溫度會將製程晶片和承載晶片中間的接合劑質溶化(一般以蠟為接合劑)，

這樣就無法進行後續的製程，所以如何在高功率和高的基板溫度作取捨以得到最快蝕刻速度，是很重要的一個研究課題。

除了功率和基板溫度外，背穿孔的直徑也是一個會影響蝕刻速度的重要的參數，當背穿孔的孔徑加大時，製程中的電漿可以更容易的進入孔洞中，所以蝕刻率會因此而上升，圖十為背穿孔的孔徑和蝕刻率的關係圖。



圖十 背穿孔的孔徑和蝕刻率關係圖[15]

含氟氣體的電漿會和 SiC 中的矽和碳反應，形成 SiF_x and CF_x 產物，因此 SF_6 是一個在 SiC 乾蝕刻中常見的反應物。乾蝕刻腔體中，

也會加入少量的氧氣，用來和碳反應，形成 CO_x 化合物，因此加入氧氣在腔體中，也可提高 SiC 的蝕刻率。

六、藉由背穿孔來提升元件的效能

藉由背穿孔來進行元件中線路的連接，不只可以有較佳的熱散逸效果，而且也不需要複雜的前段內部電路的設計及相對應的空橋結構，所以可以有較簡單的電路設計及生產流程，所有的源極墊可以直接藉由背穿孔接地，所以原本因導線接線所產生的寄生電容可以避免。如此一來，高頻元件的效能可以藉由背穿孔製程大大的提升，圖十一為背穿孔製程對附加功率效率(power added efficiency, PAE)、功率增益(power gain)及輸出功率(output power)的影響。

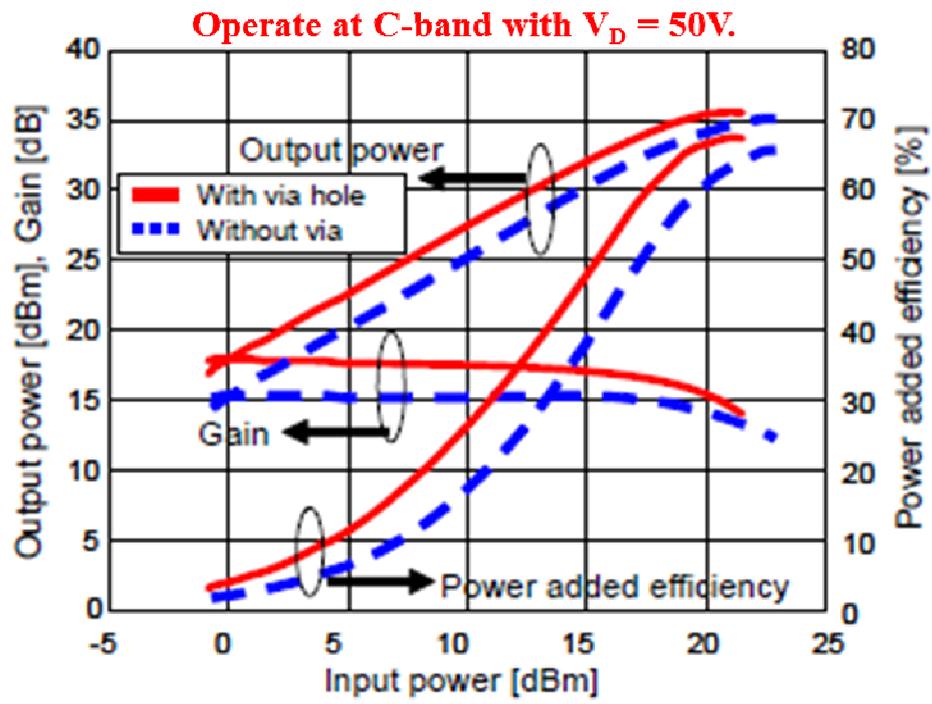


圖 十一 背穿孔製程對元件負載拉移的特性影響[19]

貳、研究方法與過程

矽穿孔技術是近幾年在發展 3D IC 時所使用的技術，目前也還在發展中，其目的是要將各種不同材料的製程晶粒，由之前的各自封裝，發展至現今的在封裝前先整合，可減少 IC 使用的面積，又可提升 IC 的傳輸速度，在幾奈米的穿孔洞，需在其中做出傳輸線...，在文獻資料中有許多的方法及專利都有說明。與我們現在的碳化矽背穿孔有些相似，但有些條件又十分不同，如碳化矽基板非常堅硬，所以難施工，相似之處是穿孔的製程方法是接近的，目前都還在實驗中。

一、氮化鎵長在碳化矽(GaN on SiC)前晶粒製程技術背景介紹

為了驗證磊晶材料之電性特性，我們也製作了HEMT元件。圖十二為AlGaIn/GaN HEMT射頻功率元件的製作步驟，在沒有背穿孔的製程時，是以此空橋製程技術減少寄生電感的問題，也是目前實驗室較多人使用的晶粒製程技術，為避免源極墊(Source pad)在高頻時產生寄生電感，所以使用此空橋製程；此製程雖可減少寄生電感的問題，但空橋製程在更高頻時還是會有寄生電感的問題，且製程繁瑣，耗用成本也高，所以需要發展一種可減小寄生電感，又可簡化製程的新技術-背向穿孔技術。

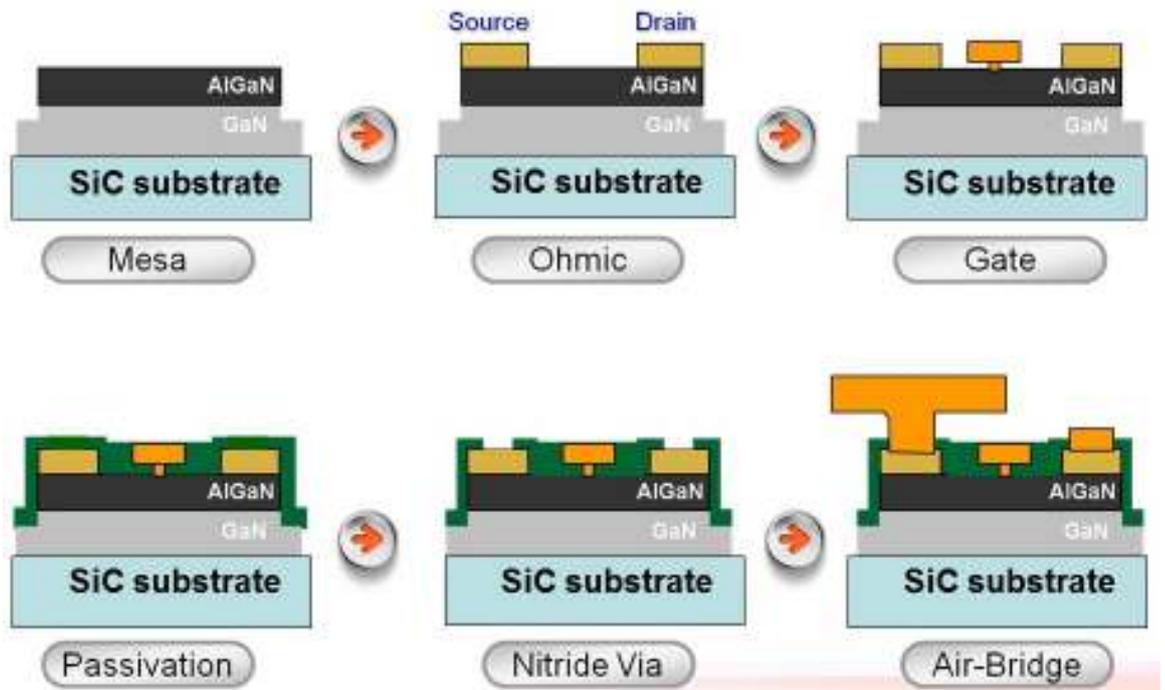


圖 十二 AlGaN/GaN HEMT 射頻功率元件製作步驟

二、背穿孔製程綜述

在完成前段元件的製造後，良好的後段製程將可提升元件的特性。因 2 吋碳化矽基板價格昂貴，在做完磊晶製程及前段元件製程之後單片價格比起矽製程的片子會高出許多，所以我們將 2 吋晶片切成 4 小片做實驗，原本想切成 9 片甚至 12 片以降低成本，增加實驗結果，但碳化矽的硬度太高，所以用高速水刀切晶片的刀片磨耗非常快，且容易失敗，切越小片，邊緣碎裂的程度越高，不得已只能切成 4 小塊做實驗；待製程能力純熟後再放入完整片子測試。

在晶片進行背穿孔製程前，需要進行晶片薄化，需用熔點較高的臘來黏著承載片(Holding Carrier)及已完成前段的製程磊晶片

(Front Side Devices)。接下來，前段製程晶片的厚度將會被薄化至 70 毫米以進行接續的背穿孔蝕刻製程，前段製程晶片在整個背穿孔蝕刻製程完成並準備切割前，不會被取下來(De-mounted)，任何不適當的製程步驟，輕則減低後段背穿孔蝕刻製程良率，重則可能將前段製程晶片整片毀壞，所以後段製程的每一個步驟是非常的重要的。接下來，將對每一個步驟進行說明。

(一)鑲嵌製程

後段製程的第一個步驟是鑲嵌製程(Mountain process)，在完成前段元件製程後，晶片需要黏貼在承載(Carrier wafer)晶片上以便進行後段的背穿孔製程並對前段元件結構進行保護。前段製程晶片和承載晶片，在進行鑲嵌製程前需要先用 ACE 和 IPA 進行清潔，以將表面的灰塵和油漬去除。如果表面的灰塵沒有完全的去除，殘留的灰塵會導致晶片間有不均勻的應力，這會造成在鑲嵌製程中產生晶片破片的機率。此外，這些殘留的灰塵也有可能在接下來的晶片薄化的過程中，造成晶片破裂。在晶片清潔之後，用旋轉塗佈的方式，將高熔點的臘塗在承載晶片下，相較於傳統的臘其熔點只有 120°C，這裏所使用的高熔點臘，其熔點有 160°C，在完成旋轉塗佈後，接著和前段製程晶片進行貼合(Bonding)，其製程條件為在 170°C

下施以 $1.9E-1$ mBar 的壓力並持續 25 分鐘，待介面已完全黏貼後再降溫至室溫，降壓後取出晶片。

(二)晶片薄化製程

在前段製程晶片和承載用 SiC 晶片貼合後，要將前段製程晶片厚度減薄到 70 毫米左右，才可進行背穿孔乾蝕刻製程。整個薄化的步驟，包含二個程序，研磨(Lapping)和拋光(Polishing)。一開始，前段製程晶片會先將厚度從 500 毫米研磨到 70 毫米，研磨所使用的研磨液為 600 Grit 的碳化硼(B4C) 研磨液，如前所提碳化矽的硬度高，所以在研磨時須非常久的時間才能磨薄，所以我們試圖調整轉速，由 15rpm 增加至 150rpm，再增加至 300rpm，但已到機台極限已無法再增快，當轉速增加，研磨的速度也有增加，產生高熱可增加研磨速度但也增加研磨液的使用，雖研磨時間有減少很多，但高熱是否會影響製程，會是個須審慎思考的問題，為避免產生高溫使黏貼的臘融化，所以還是先用低轉速的製程，避免產生高熱。接下來再用 9 毫米的氧化鋁(Al_2O_3)被用來進行拋光製程，因研磨產生的刮痕有深淺，但碳化矽因硬度的關係，比矽晶片均勻，沒有明顯的深淺問題。拋光的最後一個步驟，會使用 SF1 研磨拋光液進行細拋光。在依序完成這三個研磨和拋光的步驟後，表面的粗糙度可以達到 RMS 0.7 毫米，圖十三是用碳化硼(B4C)研磨背面於 70 奈米後的

背面狀況，用 AFM 量測其粗糙度 $RMS=79nm$ ，；之後用氧化鋁粉 (Al_2O_3) 研磨，用 AFM 量測其 $RMS=2.76nm$ ，如圖十四；之後再用 SF1 拋光後的圖十五 AFM 量測，圖十六顯微鏡 500 倍確認背面粗糙度有改善。

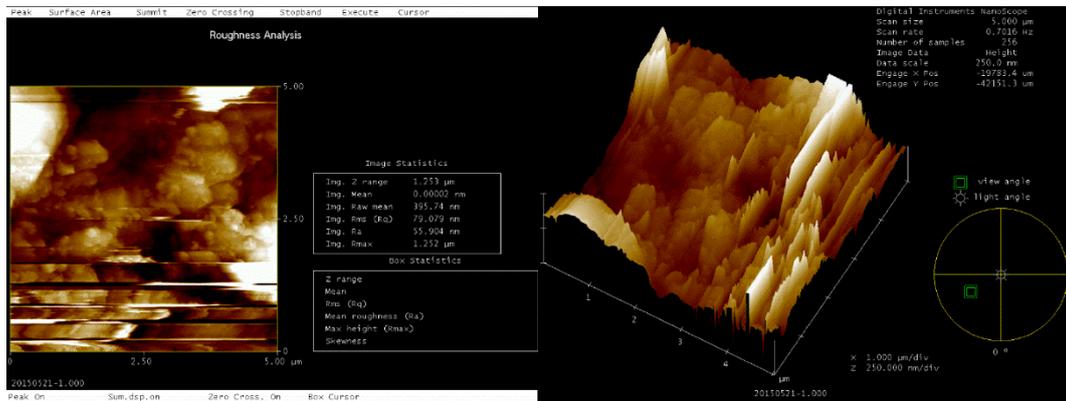


圖 十三 使用 B4C 研磨後的背面狀況 (AFM $RMS=79nm$)

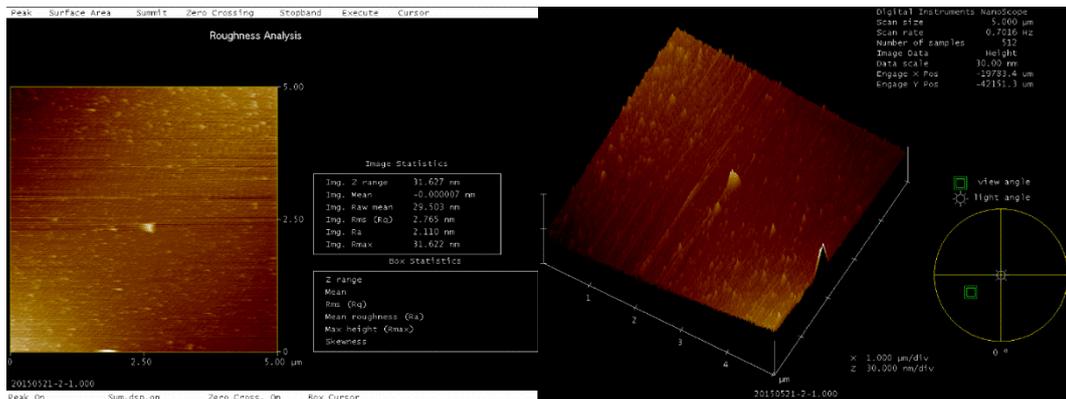


圖 十四 使用 Al_2O_3 研磨後的背面狀況 (AFM $RMS=2.76nm$)

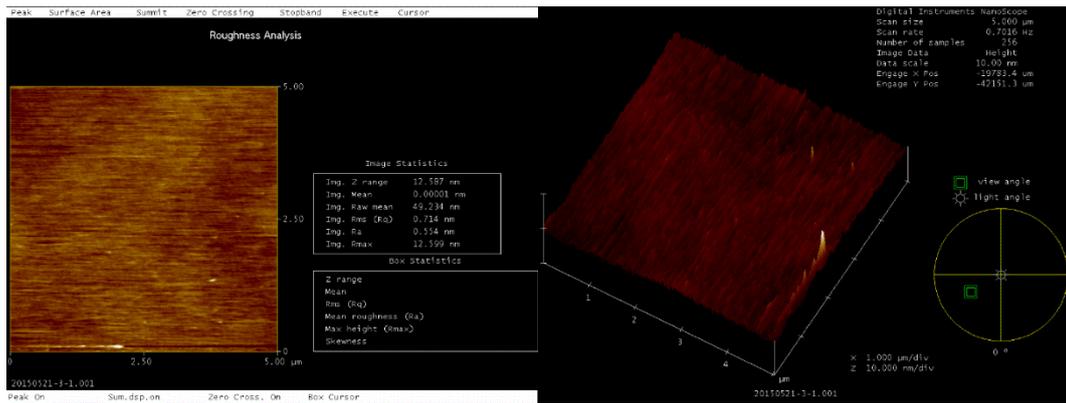


圖 十五 使用 SF1 製程後的背面狀況 (AFM RMS=0.7nm)

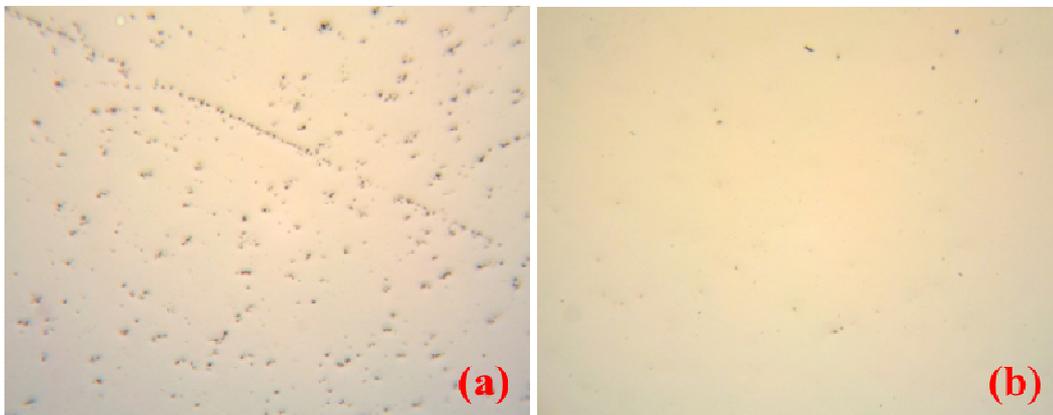


圖 十六 最終拋光細磨後的表面之 OM 量測結果
(a)使用 SF1 製程前 (b)SF1 製程使用後

(三)乾蝕刻光罩的製作

因為背穿孔乾蝕刻的時間較長(需要蝕刻 70.2um 的厚度)，且在蝕刻的過程中有通入氧氣當製程氣體，所以傳統由光阻所形成的硬光罩並不適用在 SiC 背穿孔乾蝕刻，因鎳和 SiC 有著很高的選擇比，所以鎳在 SiC 的背穿孔乾蝕刻是一種很好的硬光罩。我們使用黃光的 lift-off 製程來製作鎳的硬光罩:首先以 ACE 及 IPA 清潔研磨後的

晶片，然後將 AZ5214E 以旋轉塗佈的方式，製作在晶片的背面並定義出背穿孔的位置(因碳化矽是透明基板，所以我們可由正面光罩來定義 source pad 的位置)，光阻會在接觸墊(Contact Pad)後方，形成柱狀圖形，接著以 E-Gun 蒸鍍鈦/金的種子層(Ti/Au seed layer)，並在其上電鍍鎳，最後再用 ACE 將光阻去除，如此一來背穿孔的位置便已定義完成。

(四)ICP 乾蝕刻製程

在此一研究中，我們使用 ICP 電漿系統來進行 SiC 背穿孔製程，過程中會通入 SF₆ 和 O₂ 氣體，含有氟氣體的電漿可以用來蝕刻 SiC，其會形成 SiF_x 及 CF_x 的化合物，而 O₂ 可以和碳反應，形成 CO 或是 CO₂，所以反應速率可以保持，不會隨著時間而下降，腔體壓力和電功率會影響蝕刻的速率，目前實驗的參數如表六，得到 Recipe 2 有最快的蝕刻速率。

| Recipe | SF ₆ :O ₂ / Pressure [Pa] | Power (W) (Coil / Bias) | Etching rate (μm / min) |
|--------|---|----------------------------|----------------------------|
| 1 | 10:1 / 5 | 2000 / 1000 | 0.98 |
| 2 | 4:1 / 5 | | *0.98~ 1.25 |
| 3 | 4:1 / 9 | | 0.9 |
| 4 | 4:1 / 5 | 1600 / 300 | 0.3~ 0.35 |

表 六 使用不同的參數所得到的蝕刻速率表

此 4 種參數結果的 SEM 側面圖如圖十七，共有 4 種結果，可看出 Recipe 2 的蝕刻速率最快，可蝕刻深度 37.5um，蝕刻開口 51um，但蝕刻的界面都不好，且電功率高會使腔體溫度變高，會使磊晶層型變，會衍生許多問題，只有 Recip 4 的介面最平滑，所以調整更小的電功率，用較久的時間以確認是否有更好的介面，結果如圖十八所示，產生嚴重的柱狀殘留物(Pillar formation)的問題。

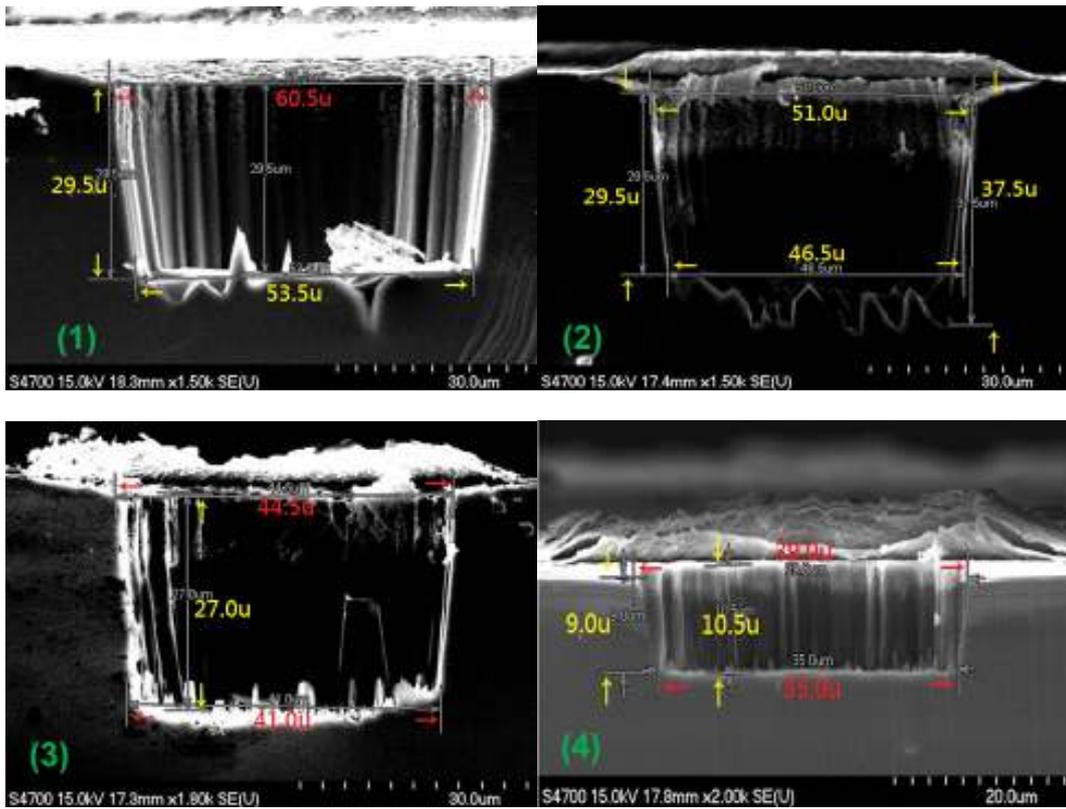


圖 十七 不同 Recipe 之 SEM 量測結果

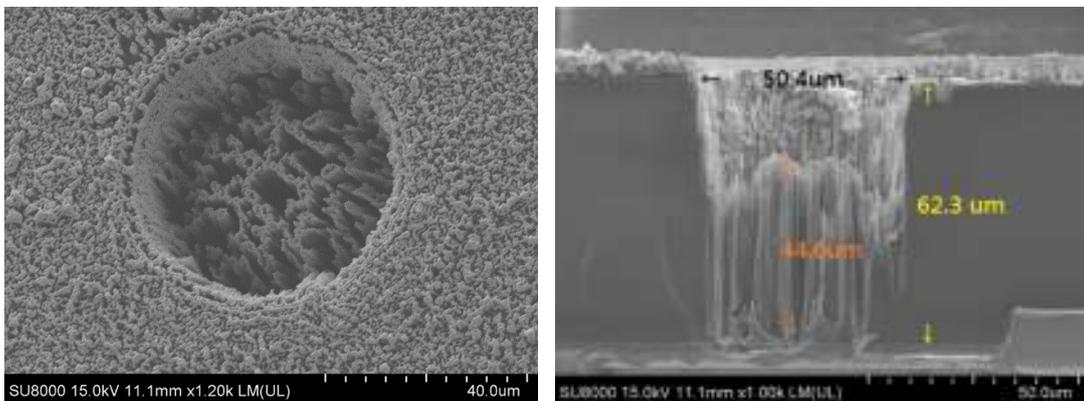


圖 十八 小功率之 SEM 量測結果

在 SiC 的背穿孔蝕刻製程中，柱狀殘留物的形成(Pillar formation)和溝渠效應(Trench Issues)是二個最主要問題，在背穿孔底部所形成

的柱狀殘留物，會造成背穿孔中有金屬化殘留物，導致蝕刻無法有效的進行，而溝渠效應會導致前段金屬墊被擊穿，而造成線路的斷路，在我們的實驗中，柱狀殘留物是我們所面臨到的主要問題。因為 GaN 和 SiC 有很高的選擇比，所以前段製程的 GaN 磊晶層可以用來當成 SiC 基板的蝕刻阻障層，而鎳的硬光罩層要在 GaN 磊晶層蝕刻前被移除，若沒有先把鎳的硬光罩除去就會如圖十九而殘留金屬材料(NiSiF)使柱狀殘留物很難被清除，若先移除鎳的硬光罩，便可以避免蝕刻過程中產生副產物和 GaN 磊晶層產生其他的金屬化合物的問題。使用 KI₂ 和 HF 來移除電鍍形成的 Ti/Au 種子層，鎳金屬也可以同時被移除乾淨。

在晶片清潔後，我們以 Cl₂ 來對 GaN 的磊晶層進行蝕刻，因 Cl₂ 對 SiC 基板的選擇比比較低所以會被當成蝕刻阻障層。

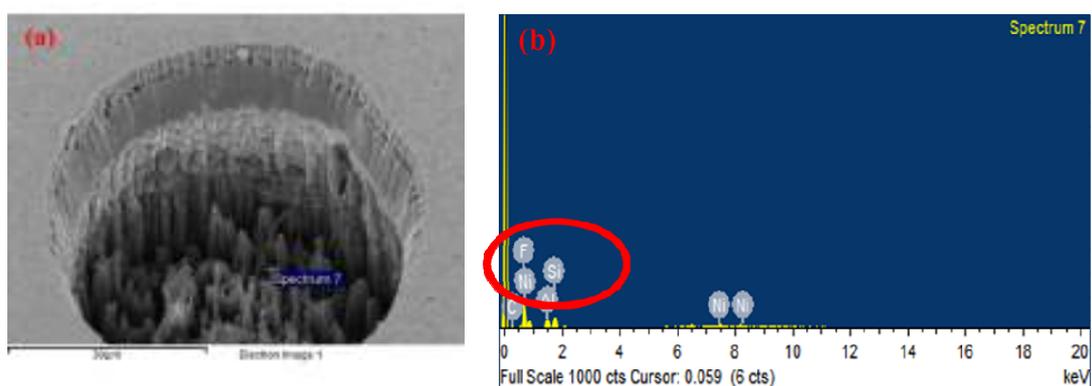
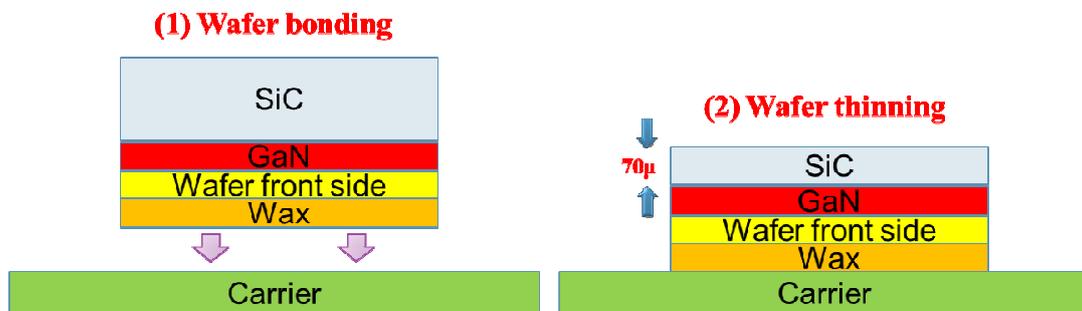


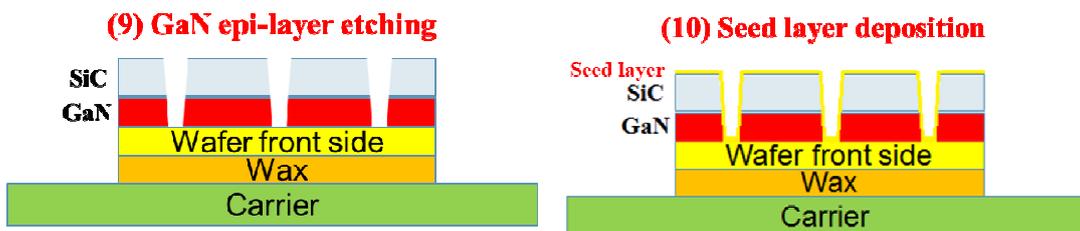
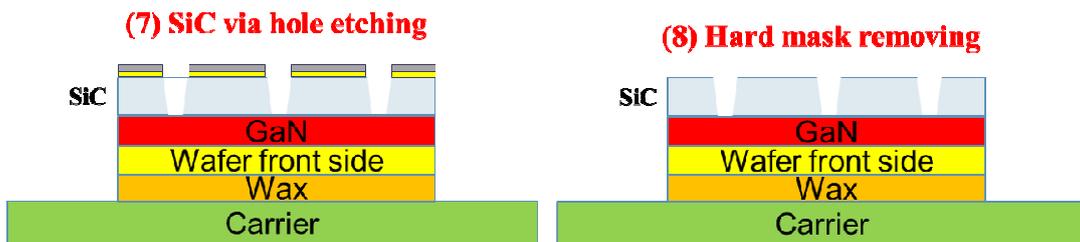
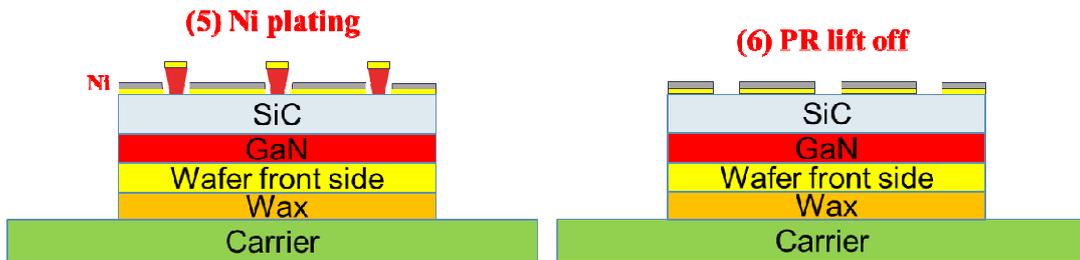
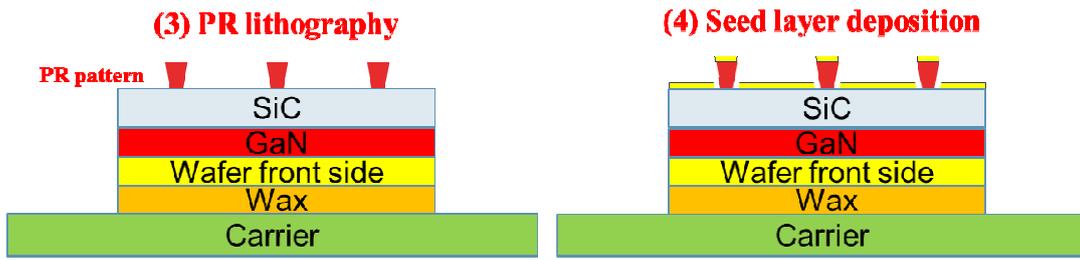
圖 十九 孔洞內材料 EDS 偵測

(五)背穿孔製程流程

在元件的製作流程中，背穿孔是最後一個步驟，任何背穿孔錯誤的製程參數，都會將前面的元件製作的心血付之一炬，所以在背穿孔的製程中，我們必需格外的小心。整個背穿孔製程流程如下，先將前段製程晶片鑲嵌在承載晶片上，再將前段製程晶片進行晶片薄化，直到厚度達到 70 微米以內，在完成鍍金屬的硬光罩層後，SiC 的基板和 GaN 的磊晶層將會被各別的蝕刻，接下來以 ACE 和 IPA 進行清潔，完成後，以濺鍍的方式鍍上 Ti/Au 的種子層各 500/2500 Å，接著再電鍍金，並達到 4 微米。再以 KII2 將背面的街道定義出來，如此一來，便可以將前段晶片和承載晶片分離，如圖二十是全部背穿孔的完整製程示意圖。

最後一個步驟，是將元件進行切割，但在切割前須做 DC 量測，確認電性結果良好，不須再做任何的重工，就可進行切割。以上便是所有的背穿孔製程步驟。





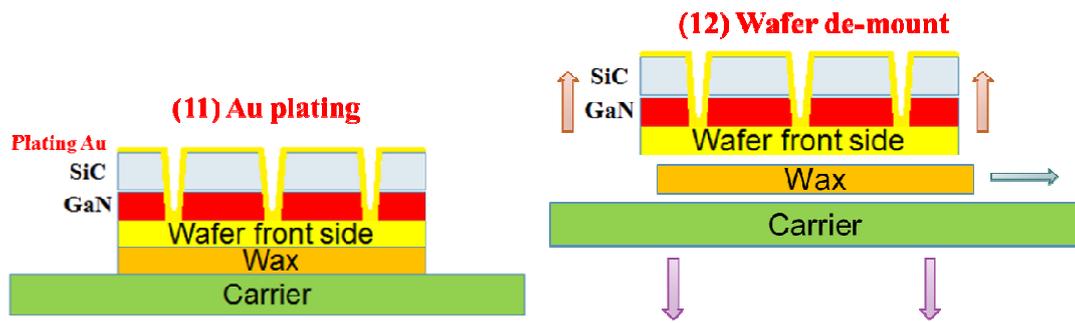


圖 二十 背穿孔製程流程圖

三、元件直流(DC)和微波(RF)特性量測

在進行背穿孔製程前後，都會量測直流和微波特性，DC 量測可以得到電流-電壓特性(I-V characteristics)和傳導(transconductance, Gm)等元件特性，在這裏，我們使用 Agilent E5270，如圖二十一和 SUSS PA200 Semi-Auto Probe Station，如圖二十二，來進行 DC 的量測。我們也會量測相關的 RF 特性，像是輸出功率(Output power, Pout)、功率增益(Power Gain)及功率使用效能(Power added efficiency, PAE)，用以確認背穿孔製程真的改善了元件的微波特性。



圖 二十一 Agilent E5270 量測設備

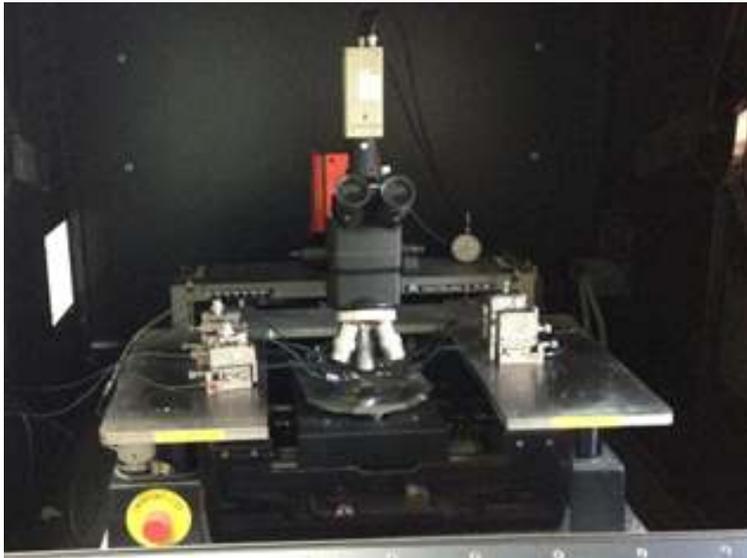
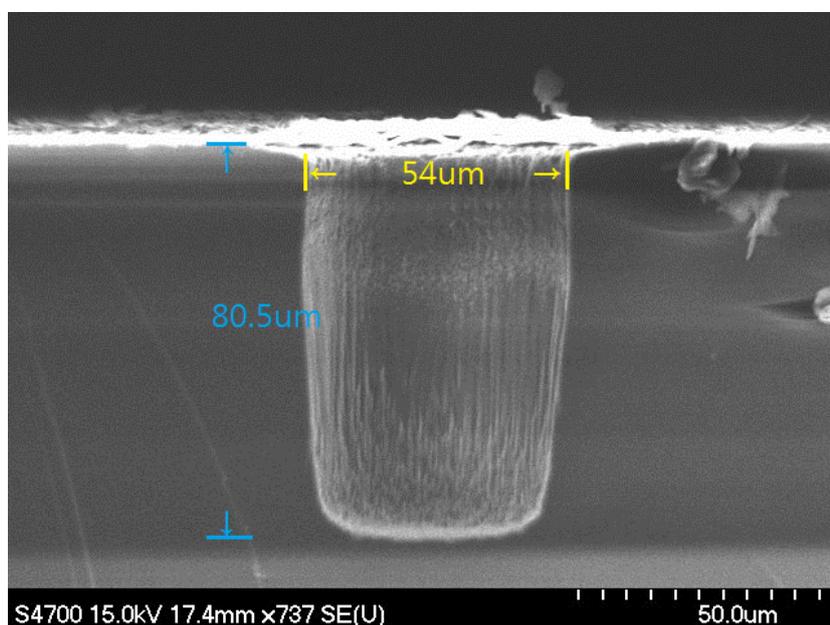


圖 二十二 SUSS PA200 Semi-Auto Probe Station 量測平台

參、主要發現與結論

一、製程參數及結果整合

在以上 ICP 乾蝕刻製成的 4 種參數去做變化，結果都不如預期；但我們將第 3 種參數，就是用 4:1 的 SF_6/O_2 的氣體比例，腔體用 9Pa 的壓力，功率 Coil / Bias 是 2000/1000，蝕刻率約在 $0.89\mu\text{m}/\text{min}$ ，蝕刻時間為 90min，就可以得到如圖二十三的蝕刻孔洞，其直徑為 $54\mu\text{m}$ ，深度為 $80.5\mu\text{m}$ ，完全符合當初的要求，沒有柱狀殘留物(Pillar formation)和溝渠效應 (Trench Issues) 的溝槽。但此製成有一重要的問題是正面黏固的蠟會被融化，目前還在找可以承受此製程所產生的高溫的蠟，以克服此問題。



圖二十三 Recipe3 之 SEM 量測結果

二、直流電性(DC)量測結果

在晶片量測方面是使用 DC 量測，機台是 Agilent E5270 配合 SUSS PA200 Semi-Auto Probe Station(自動點測平台)，其點測是用 2 支點測棒，從正面的 Source 電極做點測，如圖二十四的示意圖可看出其工作方式。當我們量測孔洞到孔洞間的阻值其阻值在 0.68Ω ，當電壓由 0 到 1 伏特其電流的表現由圖二十五可看出其 I-V 的點測結果呈等比例的增加，表示此製程沒有寄生電感的問題，就可以確認我們的 SiC 背穿孔製程是成功的。

在做背孔前已有做電性量測，比較其前後的電測結果都沒有衰減如圖二十六，使用 1 伏特的閘極電壓(V_g)時其飽和電流為 600mA，結果和做背穿孔製程前相同；此外，崩潰電壓還是大於 100 伏特，且其增益(G_m)還是相同，所以背穿孔製程有其可行性。

三、微波電性(RF)量測結果

在微波特性量測也是做開孔前和開孔後的電性量測比較，如圖二十七所示，比較開孔製程前後的比較，從輸出功率(P_{out}) 從 36dBm (3.3W/mm)上升至 36.9dBm (4.1W/mm)，功率增益(gain)也從 14.5dB 上升至 17dB，功率使用效能(Power added efficiency, PAE) 也由 45%上升至 46%。由以上數值的表現可知在 SiC RF power 製程做背穿孔製程可改善電性結果。

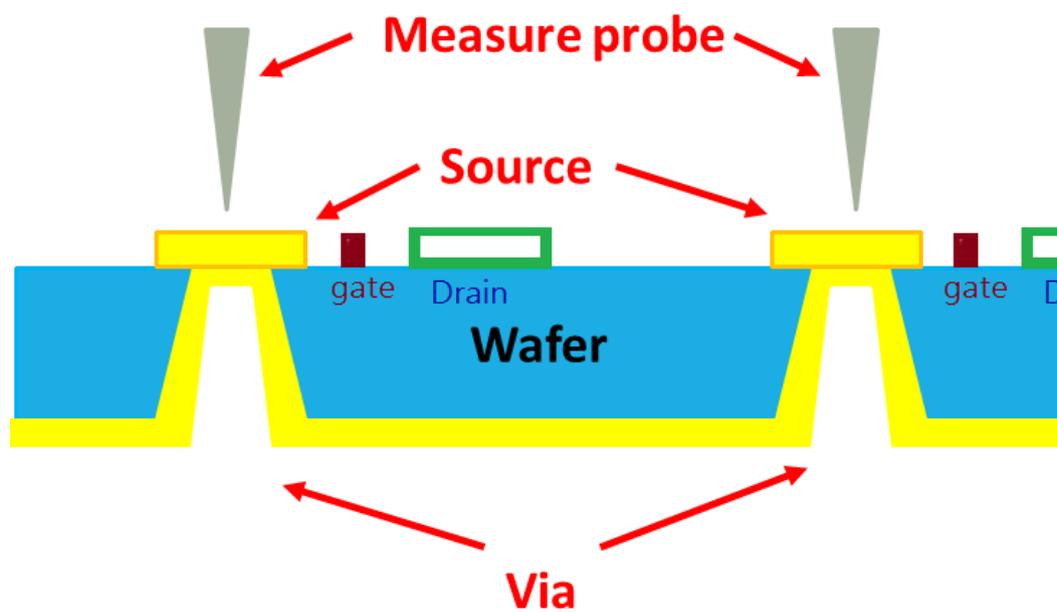


圖 二十四 背穿孔製程的 DC 量測示意圖

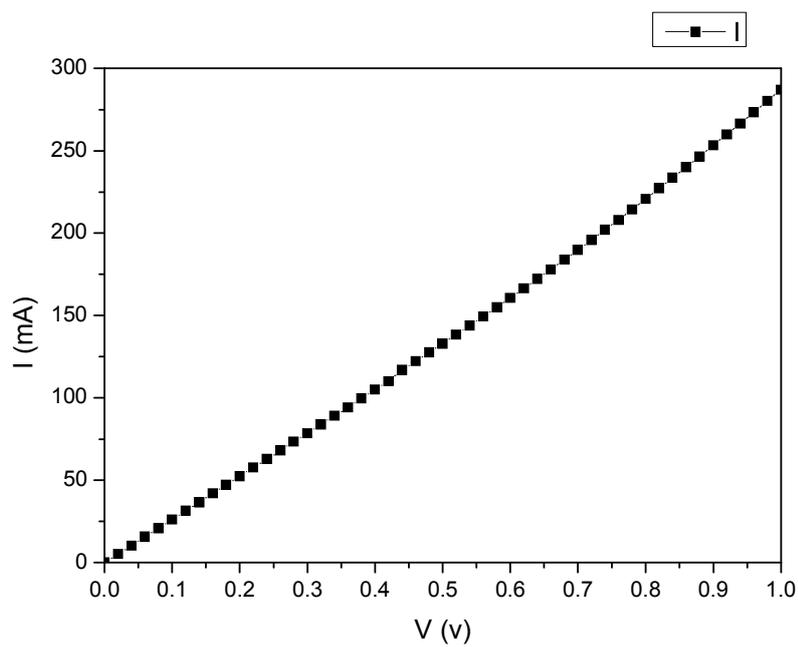


圖 二十五 I-V 點測結果

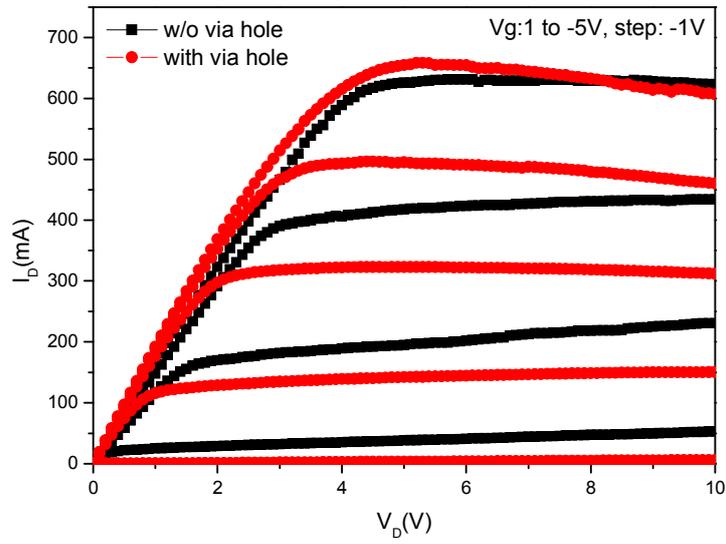


圖 二十六 開孔前後之增益比較

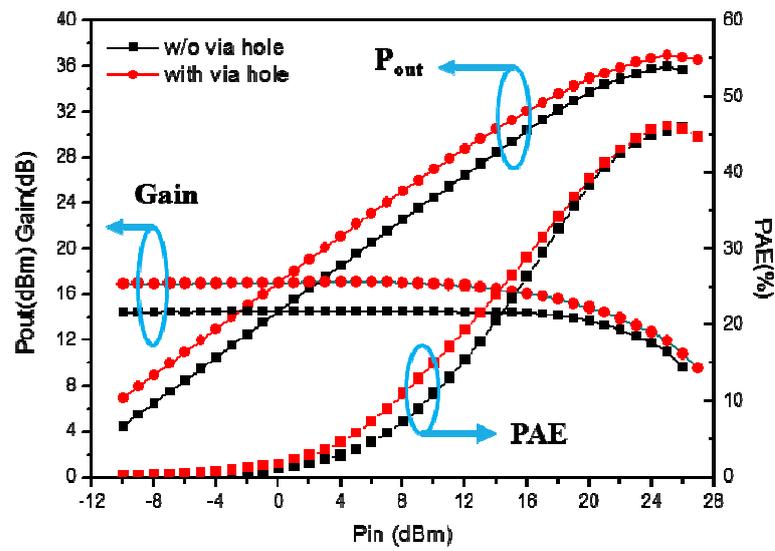


圖 二十七 開孔前後之微波特性

肆、参考文献

- [1] K. Joshin, T. Kikkawa, S. Masuda, and K. Watanabe, "Outlook for GaN HEMT Technology," *Fujitsu Sci. Tech. J*, vol. 50, pp. 138-143, 2014.
- [2]. T. Kikkawa, K. Joshin, and M. Kanamura, "GaN device for highly efficient power amplifiers," *Fujitsu Sci. Tech. J*, vol. 48, pp. 40-46, 2012.
- [3] N. Z. Yahaya, M. B. K. Raethar, and M. Awan, "Review on gallium nitride HEMT device technology for high frequency converter applications," *Journal of Power Electronics*, vol. 9, pp. 36-42, 2009.
- [4] S.-J. Cho, C. Wang, and N.-Y. Kim, "Comparative analysis of electrical characteristic AlGaIn/GaN HEMT on Si (111) and 4H-SiC for X-band high power application," in *Microwave Integrated Circuits Conference (EuMIC), 2012 7th European*, 2012, pp. 409-412.
- [5] S. Standard, "self-heating effect simulation on GaN HFET Devices-4H-SiC and Sapphire substrate comparison," *Volume*, vol. 19, p. 7.

- [6] D. Farias, F. Rose, and J. R. Selin, "Modeling source inductance in FETs," in *Microwave Symposium Digest. 2000 IEEE MTT-S International*, 2000, pp. 1793-1796.
- [7] M. Musser, F. van Raay, P. Bruckner, W. Bronner, R. Quay, M. Mikulla, *et al.*, "Individual source vias for GaN HEMT power bars," in *Microwave Integrated Circuits Conference (EuMIC), 2013 European*, 2013, pp. 184-187.
- [8] L. Liu, C. Chang, W. Wu, S. Pearton, and F. Ren, "Circular and rectangular via holes formed in SiC via using ArF based UV excimer laser," *Applied Surface Science*, vol. 257, pp. 2303-2307, 2011.
- [9] H. Stieglauer, G. Bödege, D. Ötlin, M. Ilgen, H. Blanck, and D. Behammer, "Process benchmarking of SiC backside via manufacturing for GaN HEMT technology," in *Proceedings of CS-MANTECH Conference*, 2009.
- [10] K. Takagi, S. Takatsuka, Y. Kashiwabara, S. Teramoto, K. Matsushita, H. Sakurai, *et al.*, "Ku-band AlGaN/GaN-HEMT with over 30% of PAE," in *Microwave Symposium Digest, 2009. MTT'09. IEEE MTT-S International*, 2009, pp. 457-460.

- [11] W. Cheng, Y. Yin, Y. Li, H. Zhang, S. Zhang, L. Wang, *et al.*, "Discussion on the lapping and polishing process of 4H-SiC wafer," in *Nano/Micro Engineered and Molecular Systems (NEMS), 2013 8th IEEE International Conference on*, 2013, pp. 841-844.
- [12] F.-w. HUO, D.-m. GUO, R.-k. KANG, and F. Guang, "Nanogrinding of SiC wafers with high flatness and low subsurface damage," *Transactions of Nonferrous Metals Society of China*, vol. 22, pp. 3027-3033, 2012.
- [13] X. Lu, J. Ning, Y. Qin, Q. Qiu, Z. Chuanwu, Y. Ying, *et al.*, "Substrate temperature effect on F⁺ etching of SiC: Molecular dynamics simulation," *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, vol. 267, pp. 3235-3237, 2009.
- [14] J.-A. Ruan, S. Roadman, and W. Skelton, "Low RF power SiC Substrate Via etch," 2010.
- [15] N. Okamoto, T. Ohki, S. Masuda, M. Kanamura, Y. Inoue, K. Makiyama, *et al.*, "SiC backside via-hole process for GaN HEMT

MMICs using high etch rate ICP etching," in *CS MANTECH Conf. Dig.* 7, 2009.

[16]A. Barker, K. Riddell, H. Ashraf, D. Thomas, C.-H. Chen, Y.-F. Wei, *et al.*, "Advances in Back-side Via Etching of SiC for GaN Device Applications," 2013.

[17]H. Lee, S. Jeong, H. Seo, B. Park, J. Oh, H. Jeong, *et al.*, "Experimental Analysis on CMP Mechanism of Single Crystal SiC," in *Planarization/CMP Technology (ICPT), 2007 International Conference on*, 2007, pp. 1-5.

[18]L. Voss, K. Ip, S. Pearton, R. Shul, M. Overberg, A. Baca, *et al.*, "SiC via fabrication for wide-band-gap high electron mobility transistor/microwave monolithic integrated circuit devices," *Journal of Vacuum Science & Technology B*, vol. 26, pp. 487-494, 2008.

[19]K. Hayashi, T. Moriwaki, and K. Yamamoto, "MITSUBISHI ELECTRIC," 2009.