

**行政院原子能委員會**  
**委託研究計畫研究報告**

**電子卡片元件老化和可靠度評估**

**Evaluation of aging and reliability of electronic devices in printed  
circuit boards**

**計畫編號：1002001INER025**

**受委託機關(構)：清華大學工程與系統科學系**

**計畫主持人：張廖貴術**

**聯絡電話：03-5742674**

**E-mail address：lkschang@ess.nthu.edu.tw**

**核研所聯絡人員：徐耀東**

**報告日期：100年11月29日**

目 錄 .....	I
中文摘要.....	1
英文摘要.....	2
壹、計畫緣起與目的.....	3
一、核能電廠安全要求.....	3
二、電子卡片的老化.....	3
三、國際上的重要性.....	5
四、研究目的.....	6
貳、研究方法與過程.....	7
一、固態邏輯控制介面系統.....	7
(一) Introduction.....	7
(二) 操作說明.....	7
(三) 操作說明原理.....	7
(四) 邏輯板.....	9
二、AUXILIARY LOGIC MODULE(ALM).....	10
(一) 資料分析.....	10
(二) CMOS 元件功能分析.....	10
(三) 實驗設備與材料.....	15
(四) 實驗量測步驟.....	15
參、主要發現與結論.....	17
一、HEX INVERTING SCHMITT TRIGGER.....	17
二、HEX INVERTER.....	18
三、電子元件活化能.....	19
四、結論.....	19
肆、參考文獻.....	32

## 中文摘要

根據美國核能電廠操作研究所之調查，儀電系統電子卡片引起之急停大約佔全部急停之 15%。核能電廠儀電系統電子卡片的老化劣化評估是很重要的研究課題，係就核能電廠使用重要儀電系統之電子卡片，探討並建立其老化評估的方法及設備是相當有用且必須的。本研究計畫之主要目的，係就核三廠固態邏輯介面控制系統之 Auxiliary Logic Module(ALM)電子卡片的關鍵元件 Hex inverting Schmitt Trigger 與 Hex Inverter，進行老化實驗和使用壽命評估。本計畫完成國內核能電廠電子卡片老化劣化資料之蒐集，老化評估方法之建立，元件使用壽命評估等，期望增進核能電廠營運安全，進而提昇我國之核能科技。

**關鍵詞:** 核能電廠、電子卡片、元件、老化、劣化

## **Abstract**

According to the investigation of Institute of Nuclear Plant Operation (INPO), the accidents caused by the printed circuit boards of electrical instrument systems are about 15% in all reactor trips. It is necessary to study and build up the assessment procedures and facility for the printed circuit boards of the instrumental system used in a nuclear power plant. Since the assessment of aging and degradation effects on printed circuit boards of the instrumental system in a nuclear power plant (NPP) is a very important research topic, the main aim of this project is to carry out the aging test and lifetime assessment for Hex inverting Schmitt Trigger and Hex Inverter in Auxiliary Logic Module (ALM) of SSILS in Maanshan NPP. Some major tasks have been completed such as, the survey of printed circuit boards of the instrumental system used in a NPP, the set-up of evaluation method for aging test, the assessment of lifetime for the key devices, which may improve the safety of operation in a NPP and promote the technology and science of nuclear in this country.

**keywords:** nuclear power plant, electronic card, device, aging, degradation

## 壹、計畫緣起與目的

### 一、核能電廠安全要求

根據美國核能電廠操作研究所之調查(Institute of Nuclear Plant Operation, INPO)，對儀電系統電路卡片引起急停之調查，結果顯示於 2008 年共有 6 次，約佔全部 48 次急停的 13%；於 2007 年共有 8 次，約佔全部 51 次急停的 16%。由於儀電系統電路卡片所引起之急停，於 2005 ~ 2007 年共有 32 次，大約佔 15%。因此，核能電廠控制系統電子卡片的零組件老化劣化問題，是很重要的研究課題。核能電廠因為儀控電子卡片的故障或誤動作，可能造成電廠工作人員的困擾以及電廠營運上的損失，甚至發生電廠非預期性的跳機。國內現有的核能電廠皆已運作多年，許多控制系統電子卡片的零組件已有老化現象，因而若引起系統異常及故障事件，對電廠正常營運影響很大。因此，如何找出有效的對策，預防電子卡片故障之產生，降低其故障率，進而增進核電廠控制系統的可靠度為一項重要之研究課題。

### 二、電子卡片的老化

電子卡片經過長期使用後，其功能特性表現即容易出現衰變的現象，此乃受制於其使用環境因素對電子卡片特性產生老化的影響。為掌握電子卡片使用的可靠度，就必須要了解造成電子卡片特性老化的限制因素，並進而尋求預防改善之道。從文獻的報導中得知，電子卡片的可靠度常由電子元件所決定。而電子元件的可靠度被定義為該電子元件得以滿足其原先設計功能的能力，並常以可供使用的年數予以表示。又與可靠

度相關的失效現象常被發現來自於內在應力與外在應力的影響所產生的失效機制(failure mechanism )，這些失效機制常常造成電子元件的損壞，以至於發生電子元件起使電壓漂移(threshold voltage shift)，大漏電流(leakage current)，過度時間延遲(time delay)，或雜訊過大(noise)等現象，這些現象之組合也是間接或直接造成電子卡片特性產生老化的主因。

雖然電子零組件的種類相當多，其構成材料亦有所不同，但經過長時間使用後，受到各種不同應力的影響常造成該元件的組成產生變化，形成所謂的「質變」現象，此時若繼續加以使用則更容易受到來自於工作環境溫度及濕度的影響，加速其質變速度，最終造成電子零組件特性功能失效的結果。因此，調整變化電子零組件工作環境溫度及濕度的方法，常被一般的電子零組件製造廠商利用於早期篩選淘汰已具潛在質變的不良品，藉以提昇電子零組件產品使用的可靠度。另一方面，電子卡片電路設計的缺失亦為常見的電子卡片失效的主要肇因。然而在日常的工作環境中，前述肇因所產生的失效現象不易被查覺，唯有在工作環境產生變化時，電子卡片老化與電路設計缺失造成的失效現象才會逐一浮現。

在核電廠電子卡片預知維護技術中，為及早發掘電子卡片失效的潛在肇因，防範電子卡片失效的產生，一般除了進行加速電子卡片老化實驗外，同時也發展運用變化環境溫度與電子卡片量測相結合的測試方法，並驗證其為電子卡片預知維護的可行性。

應用於核能電廠安全相關系統之重要電子卡片組件，係用

以保護、控制反應爐或安全相關設備，以防止事故發生，因此此類組件特性對核能電廠運轉安全影響深遠。由於核能電廠儀電電子卡片組件在安裝期間，會經歷許多老化環境，包括溫度、濕度和輻射環境等等，這些老化環境將導致儀電組件之電氣特性或材料之物理特性隨著時間而劣化，進而影響電子卡片安全功能。

過去經驗顯示，儀電電子卡片組件的老化使得許多安全相關系統之運轉與維護面臨極大的困境。由於安全相關系統在確保核能電廠運轉安全和效益上，佔有重要地位，因此電子卡片組件老化問題的解決已變得日益迫切。

### 三、國際上的重要性

國際原子能總署（International Atomic Energy Agency, IAEA）之儀電工作小組曾於 1998 年在維也納召開研討會，初步確立核能電廠儀電組件老化管理導則，並選擇感測器、電纜及接頭、電驛、電子元件等四項，作為探討對象，闡述其老化機制、發展中的測試與評估方法，以及老化管理相關技術和策略，以期降低儀電組件老化帶來的威脅。

目前國內運轉中之核能電廠，其安全相關儀電組件維護均面臨著老化與淘汰兩項根本問題。一般而言，老化係因儀電組件之物理特性隨時間改變，而淘汰係因儀電組件之原始製造商已不生產且無法提供備品及後續維修服務。依據我國核能管制法規規定，這些安全相關儀電組件必須依據美國聯邦法規 10CFR50 附錄 B 品保要求製造，並通過嚴謹驗證程序後才能使用。

#### 四、研究目的

核能電廠因為儀控電子卡片的故障或誤動作，可能造成電廠工作人員的困擾以及電廠營運上的損失，甚至發生電廠非預期性的跳機。國內現有的核能電廠皆已運作多年，許多控制系統電子卡片的零組件已有老化現象，因而若引起系統異常及故障事件，對電廠正常營運影響很大。

由於核能電廠儀電電子卡片組件在使用期間，會經歷許多老化環境，包括溫度、濕度和輻射環境等等，這些老化環境將導致儀電組件之電氣特性或材料之物理特性隨著時間而劣化，進而影響電子卡片安全功能。

本研究計畫之主要目的，係就核三廠固態邏輯介面控制系統之 Auxiliary Logic Module 電子卡片的關鍵元件 Hex inverting Schmitt Trigger 與 Hex Inverter，進行老化實驗和使用壽命評估。老化實驗相關數據能可供電廠參考，能在電子卡片實際運作之環境溫度中，預估元件之壽限，在元件性能衰退前及早更換老化元件，能夠增加電子卡片系統安全，並預防電子卡片故障之產生，降低其故障率，進而增進核電廠控制系統的可靠度，以預防發生電廠非預期性的跳機，對電廠安全問題考量與正常營運影響很大。



## 貳、研究方法與過程

對固態邏輯介面控制系統中 Auxiliary Logic Module(ALM) 電子卡片之關鍵元件 Hex inverting Schmitt Trigger 與 Hex Inverter 之研究。

### 一、Solid State Interposing Logic System 固態邏輯控制介面系統

敘述固態邏輯控制介面系統、操作說明、原理以及相關組成。

#### (一) Introduction

固態邏輯控制介面系統(SSILS)是一種控制系統，作為發電廠中所有程序設備的遙控之用。它除了做為控制程序設備狀態(status)的指示(on or off)，同時還包括不正常操作的指示。在 SSILS 中包含了一系列耐震的邏輯控制櫃及有關的遙控開關。同時 SSILS 的結構是由一組三個櫃所組成，包含了兩個邏輯櫃與一個端接櫃。

#### (二) 操作說明

固態邏輯控制介面系統(SSILS)的操作，以及隨後動作的電廠流程設備，是由在主控制室的控制開關來執行。有一些控制開關位於遙控制站。這些控制開關裝在控制盤上。開關上的指示燈，使操作員對全廠流程設備的使用狀況瞭若指掌。按鈕開關執行流程設備的受電/失電操作。

#### (三)操作說明原理

SSILS 控制和監視設備的操作。控制/監視設備包括一連串的邏輯櫃，在主控制室的指示型按鈕，包括操作開關和指示燈，作為電廠的控制與指示。當控制開關按下時，一個接

地訊號送到對應的控制緩衝器。控制緩衝器實際上就是光電隔離器，用以防止控制線上的雜訊影響到控制迴路。控制緩衝器輸出到邏輯板以執行模板所決定的命令，假如邏輯模式已決定，而且所選定的設備操作需求條件達到，邏輯板將有輸出通過到達端接端中的電驛。現場緩衝模板也包含光電隔離器，以隔離邏輯板和電驛迴路雜訊。

對從現場來的狀態信號，經由端接櫃內的終端板，在經由現場緩衝器中光電隔離器，到達邏輯模板。經過邏輯模板處理再將狀態信號，通過控制緩衝器板，送到相關的指示型控制開關。



訊號處理指示圖

控制緩衝器	• CBM etc.
邏輯板	• SOV、MOV、NRS、ALM etc.
光電隔離器	• FBM(FBM-01、FBM-03、FBM32)、ROM.

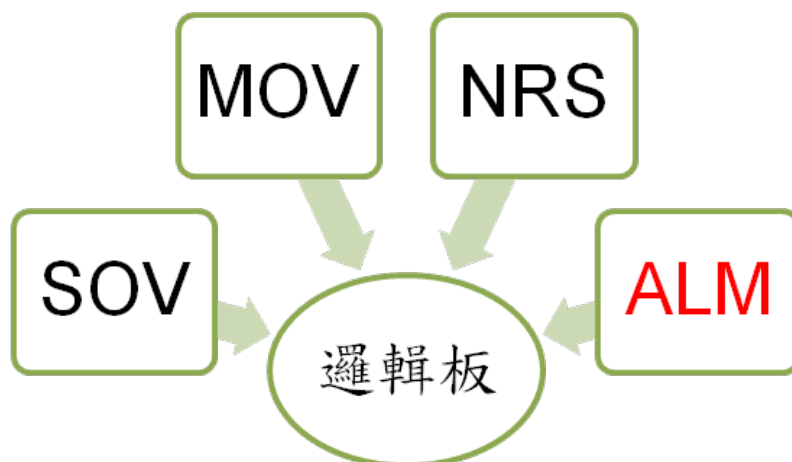
#### (四)邏輯板

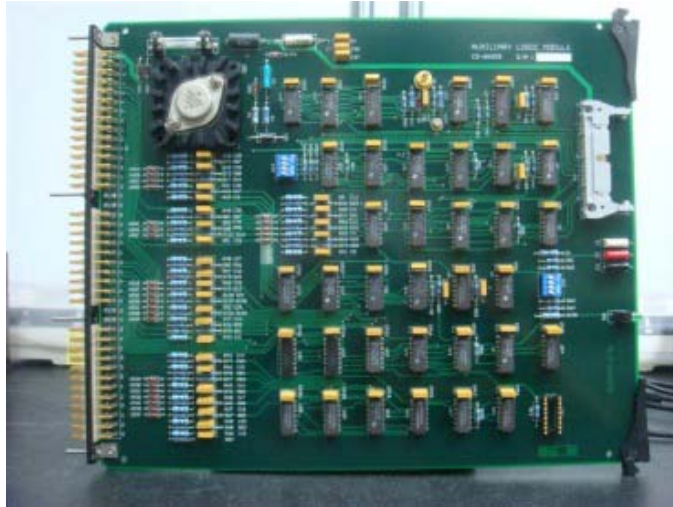
##### 1. 萬用邏輯板(ULM)

萬用邏輯板(ULM)，供各類電廠程序設備遙控之用。這萬用邏輯模板可讓幾種控制信號輸入，視情況不同而又輸出不同的控制訊號以適應不同的控制邏輯，使用者可以從邏輯櫃內之程式接線盤，選擇所要的輸入或輸出的數量或種類。萬用邏輯板(ULM)有 SOV(電磁操作閥)、MOV(馬達操作閥)、NRS(不可反轉式的馬達啓動器)等。除了上述所列的萬用邏輯板外，尚有其他種類的邏輯板，使 SSILS 更富有彈性。

##### 2. 輔助邏輯板(ALM)

輔助邏輯板(ALM)包含許多邏輯元件(定時器、反向器)，在萬用邏輯板上的輔助邏輯元件不夠裡用時，加裝一輔助邏輯模板以輔助萬用邏輯板(ULM)中邏輯電路元件之不足。





Auxiliary Logic Module(ALM) 實體照片

## 二、Auxiliary Logic Module(ALM)

根據核三廠電子卡片 Auxiliary Logic Module(ALM)的歷年檢修紀錄，選取關鍵元件分析，並進行相關可靠度實驗。

### (一) 資料分析

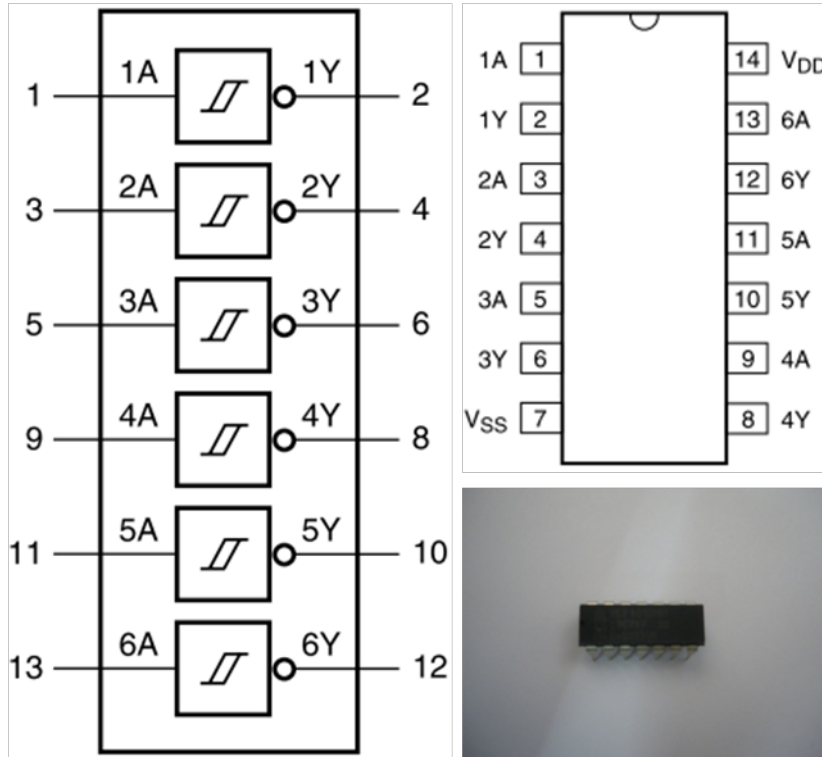
統計核三廠 SSILS-ALM 電子卡片歷年檢修紀錄如表 1，我們可以發現 Hex inverting Schmitt Trigger 和 Hex Inverter 為更換最多的 IC 元件，於是後續研究進行這兩種 IC 元件可靠度實驗。

### (二) CMOS 元件功能分析

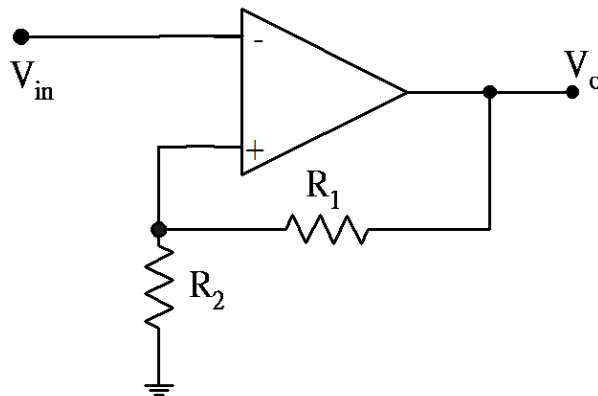
對 Hex inverting Schmitt Trigger 和 Hex Inverter 的功能進行分析，來決定研究的參數。

#### 1. Hex inverting Schmitt Trigger

Hex inverting Schmitt Trigger 是由六組反相施密特觸發電路所組成。



Functional diagram & Pin configuration



Inverting Schmitt Trigger Circuit

(1) 當輸入為正飽和時，即  $V_O = +V_{sat}$  時

非反向輸入端之上臨界電壓(voltage of upper threshold)

為  $V_U = \frac{R_2}{R_1 + R_2} V_{sat} = \beta V_{sat}$  上式  $\beta = \frac{R_2}{R_1 + R_2}$  為反相施密特觸

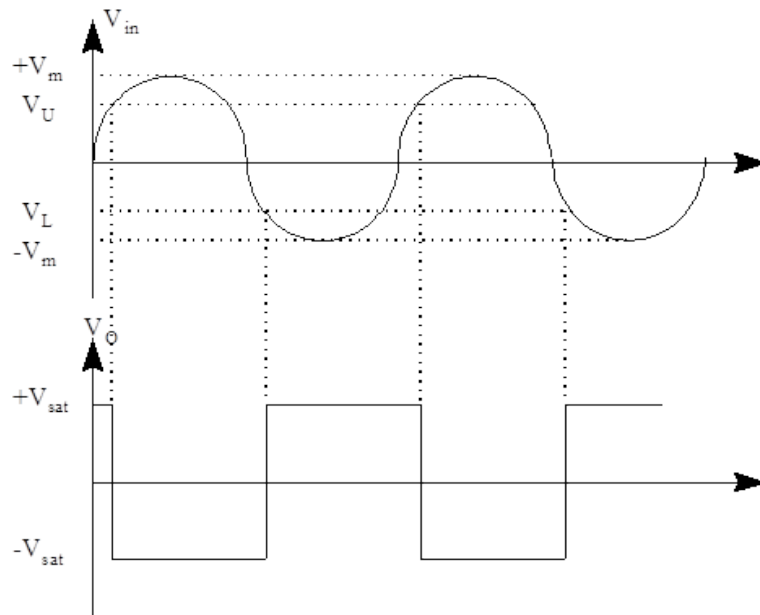
發電路之正回授因數值(positive feedback factor)。輸出要

由  $+V_{sat}$  轉態為  $-V_{sat}$  之條件為  $V_{in} > V_U$ ，

即  $V_{in} > \frac{R_2}{R_1 + R_2} V_{sat}$ 。

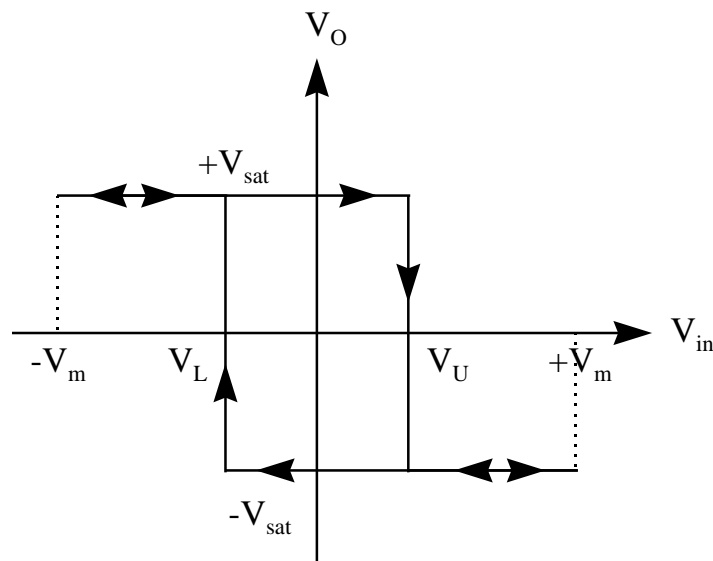
(2) 當輸入為負飽和時，即  $V_O = -V_{sat}$  時

非反向輸入端之下臨界電壓 (voltage of lower threshold) 為  $V_L = \frac{R_2}{R_1 + R_2}(-V_{sat}) = (-V_{sat}) \times \beta$  輸出要由  $-V_{sat}$  轉態為  $+V_{sat}$  之條件為  $V_{in} < V_L$ ，即  $V_{in} < \frac{R_2}{R_1 + R_2} V_{sat}$ 。



Input & output waveforms

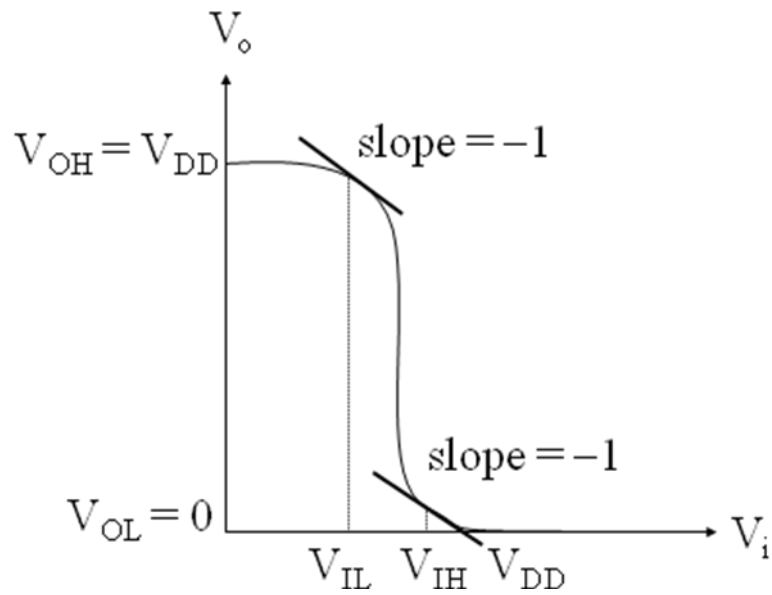
綜合以上分析比較，可知道上臨界電壓與下臨界電壓為對稱相等(即  $V_U < V_L$ )，其完整電路及輸入-輸出轉移特性曲線，如下圖所示。因為反相施密特觸發電路之轉移特性曲線具有封閉性的磁滯效應(hysteresis effect)，故稱為磁滯曲線，且曲線變化方向為順時針旋轉，其中  $V_H$  定義為磁滯電壓又稱為磁滯寬度，即  $V_H = V_U - V_T = 2V_{sat} \times \beta$ 。



當輸入  $V_{in}$  為一弦波信號或其他非方波信號時，若輸入信號電壓大小超過上或下臨界電壓( $V_U$  或  $V_L$ )時，其輸出信號為方波，如圖一所示。故反相施密特觸發電路又稱為波形整形電路，其功能特性可應用於方波產生電路。

## 2. Hex Inverter

當輸入  $V_{in}$  為低電壓時，則輸出  $V_{out}$  為高電壓，當輸入  $V_{in}$  為高電壓時，則輸出  $V_{out}$  為低電壓，典型的反相器輸入電壓與輸出電壓的關係圖，稱為電壓轉換曲線， $V_{IH}$ (可容許之最小高電位輸入電壓) 及  $V_{IL}$ (可容許之最大低電位輸入電壓) 定義為 VTC 中斜率等於  $-1$  所對應的兩個輸入電壓。當  $V_i \geq V_{IH}$  或  $V_i \leq V_{IL}$ ，反相電路皆能正確將輸入電壓反相。當則進入模糊區間，理想的情形在轉換過程中能無延遲精確的翻轉，但實際元件中存在轉換的過渡區，此時反相電路無法將輸入電壓正確反相，是實際應用時必須避免發生的情況，其延遲特性是元件性能測量的指標。



### 3. 主要量測參數-propagation delay

時脈觸發邊緣到正反器輸出所需的時間稱為傳遞延遲時間(propagation delay time)，輸出電壓由高至低者以  $t_{PHL}$  表示，輸出電壓由低至高者以  $t_{PLH}$  表示，兩者時間不一。

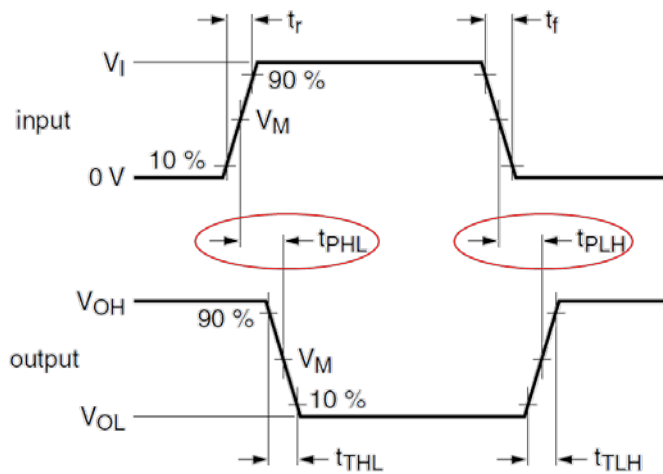
#### (1) $t_{PHL}$ (high-to-low propagation delay)

輸入方波信號轉換電壓後，直到輸出信號由高電位 ( $V_{OH}$ ) 下降至  $\frac{(V_{OH} + V_{OL})}{2}$  所需的時間。

#### (2) $t_{PLH}$ (low-to-high propagation delay)

輸入方波信號轉換電壓後，直到輸出信號由低電位 ( $V_{OL}$ ) 上升至  $\frac{(V_{OH} + V_{OL})}{2}$  所需的時間。





### (三) 實驗設備與材料

#### 1. 設備表

儀器名稱	數量
示波器	* 1
電源供應器	* 1
信號產生器	* 1
加熱台	* 1

#### 2. 材料表

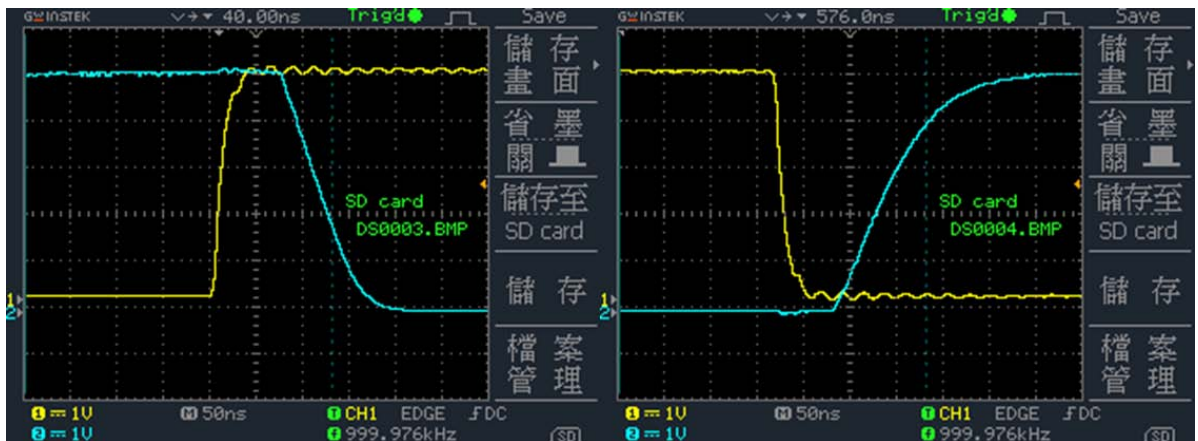
名稱	規格	數量
積體電路 IC	CD40106	* n
積體電路 IC	CD4069	* n
矽油		* 1
燒杯	100 ml	* 1
溫度計	-50~300°C	* 1

### (四) 實驗量測步驟

步驟一：依前述元件之電路接線，直流供應電源為 5V，並將訊號產生器的輸出振幅設為 5V 且頻率為 1MHz 的方波作為電路的輸入信號。

步驟二：以示波器的 CH1 和 CH2 分別觀察電路的輸入信號和輸出信號波形。

步驟三：由輸入信號和輸出信號之波形，記錄  $t_{PHL}$  和  $t_{PLH}$ 。



Actual Waveforms ( Input waveform :yellow , Output waveform :blue )

## 參、主要發現與結論

從核三廠電子卡片 ALM 的歷年檢修紀錄，選取關鍵元件 Schmitt Trigger 與 Inverter 之 Thermal Aging 實驗，讓 Schmitt Trigger 與 Inverter 分別在五種不同溫度環境下，觀察元件的老化現象。溫度高容易老化達到訂定的允收準則，本實驗環境溫度設置為 200°C 以上的高溫，使元件老化現象加速呈現，根據元件性能老化的曲線，可訂定出不同的允收準則，再由公式計算出其活化能，並推估元件壽限。

### 一、Hex inverting Schmitt Trigger

實驗中量測 Schmitt Trigger 的 high-to-low propagation delay(圖 1)，將量測數據作 polynomial fitting(圖 2)可發現傳輸延遲時間隨著加熱時間增加而上升之趨勢，並可訂出  $t_{PHL}$  5% 與 10% degradation 的允收準則，如圖 3 所示。圖 4 所示  $t_{PHL}$  老化時間與溫度關係，經 Arrhenius model 計算出各別的活化能為 0.63 eV (10%) 與 0.67 eV (5%)。如圖 5 所示將高溫量測到的數據作線性外插後，推估出各個溫度之 lifetime，並訂出十年限，在 70°C 的環境中使用，其 lifetime 可長達十年。在環境溫度 50°C 使用下可符合電廠運作五十年的需求。量測 low-to-high propagation delay 時(圖 6)，將量測數據作 polynomial fitting(圖 7)可發現與先前相同趨勢，傳輸延遲時間隨著加熱時間增加而上升，且老化現象更明顯，可訂出  $t_{PLH}$  5%、10%、15% 與 20% degradation 的允收準則，如圖 8 所示。圖 9 所示  $t_{PLH}$  老化時間與溫度關係，經 Arrhenius model 計算出各別的活化能為 0.53 eV

(20%)、0.53 eV (15%)、0.50 eV (10%)、與 0.53 eV (5%)。如圖 10 所示同樣將高溫量測到的數據作線性外插後，再推估出各個溫度之 lifetime，並訂出十年限，在 50°C 的環境中使用，其 lifetime 可長達十年。在環境溫度 20°C 使用下可符合電廠運作五十年的需求。

## 二、Hex Inverter

實驗中量測 Inverter 的 high-to-low propagation delay(圖 11)，將量測數據作 polynomial fitting(圖 12)可發現傳輸延遲時間隨著加熱時間增加而上升之趨勢，並可訂出  $t_{PHL}$  5% 與 10% degradation 的允收準則，如圖 13 所示。圖 14 所示  $t_{PHL}$  老化時間與溫度關係，經 Arrhenius model 計算出各別的活化能為 0.57 eV (10%) 與 0.59 eV (5%)。如圖 15 所示將高溫量測到的數據作線性外插後，推估出各個溫度之 lifetime，並訂出十年限，在 55°C 的環境中使用，其 lifetime 可長達十年。在環境溫度 30°C 使用下可符合電廠運作五十年的需求。量測 low-to-high propagation delay 時(圖 16)，將量測數據作 polynomial fitting(圖 17)可發現與先前相同趨勢，傳輸延遲時間隨著加熱時間增加而上升，可訂出  $t_{PLH}$  5%、與 10% degradation 的允收準則，如圖 18 所示。圖 19 所示  $t_{PLH}$  老化時間與溫度關係，經 Arrhenius model 計算出各別的活化能為 0.50 eV (10%) 與 0.48 eV (5%)。如圖 20 所示同樣將高溫量測到的數據作線性外插後，再推估出各個溫度之 lifetime，並訂出十年限，在 45°C 的環境中使用，其 lifetime 可長達十年。在環境溫度 20°C 使用下可符合電廠運作五十年的需求。

### 三、電子元件活化能

活化能一般是選取相當的試件，在不同溫度下執行加速壽命試驗，所獲得的數據經過迴歸分析，可以得到壽命與溫度的關係，根據此一關係即可推算活化能。由美國軍規標準電子設備可靠度預估手冊(MIL-HDBK-217F)中，指出各種常用電子元件之活化能，如表 2 所示，如 MOS ROM(0.60 eV)、VHSIC CMOS(0.35 eV)、Bipolar ROM(0.60 eV)等，與 Schmitt Trigger 和 Inverter 做 Aging 實驗萃取出之活化能值(0.48~0.67 eV)比較之下差異不大。

### 四、結論

就核三廠固態邏輯介面控制系統之 Auxiliary Logic Module 電子卡片的關鍵元件 Hex inverting Schmitt Trigger 與 Hex Inverter，進行老化實驗和使用壽命評估。老化實驗相關數據能可供電廠參考，能在電子卡片實際運作之環境溫度中，預估元件之 lifetime，在元件性能衰退前及早更換老化元件，能夠增加電子卡片系統安全，並預防電子卡片故障之產生，降低其故障率，進而增進核電廠控制系統的可靠度，以預防發生電廠非預期性的跳機，對電廠安全問題考量與正常營運影響很大。

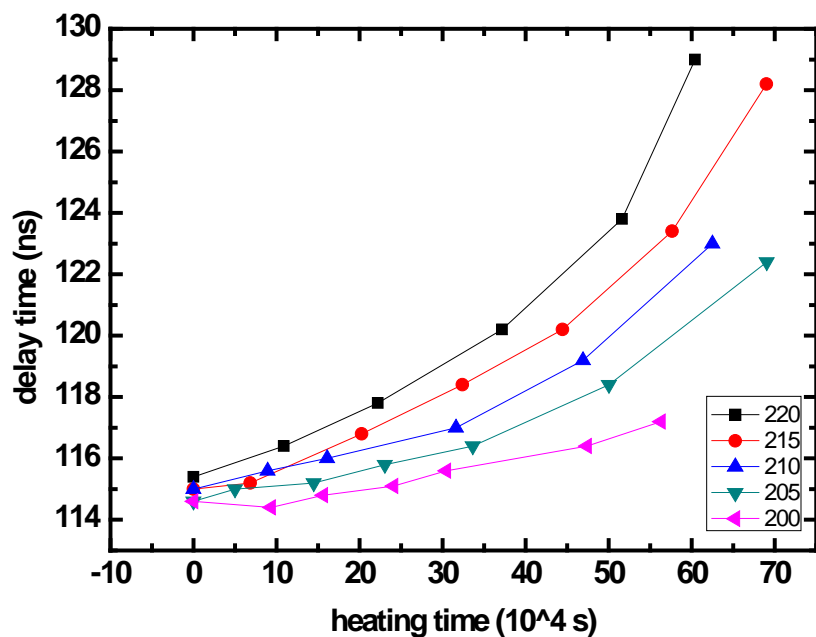


圖 1 在五種不同環境溫度(200、205、210、215、220 °C)，實際量測  $t_{PHL}$  之值。

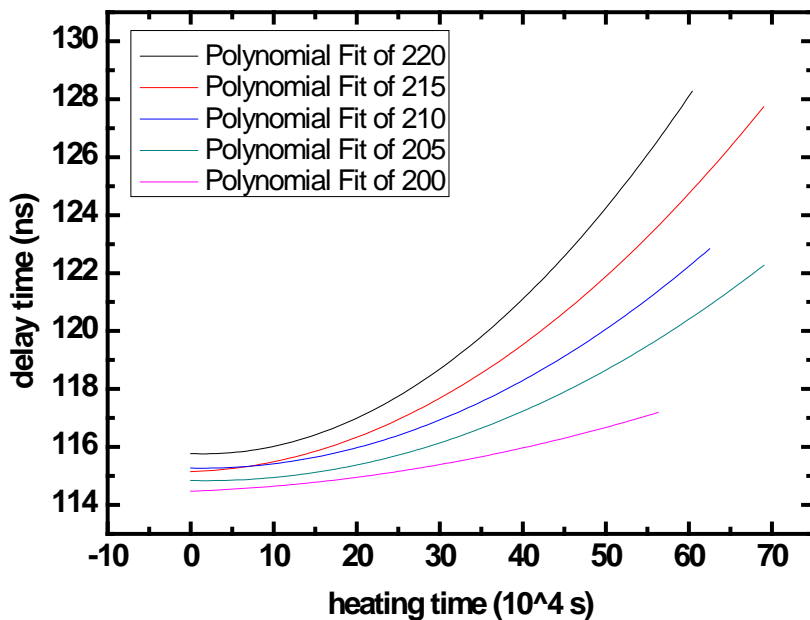


圖 2 將圖 1 之量測點作 polynomial fitting。

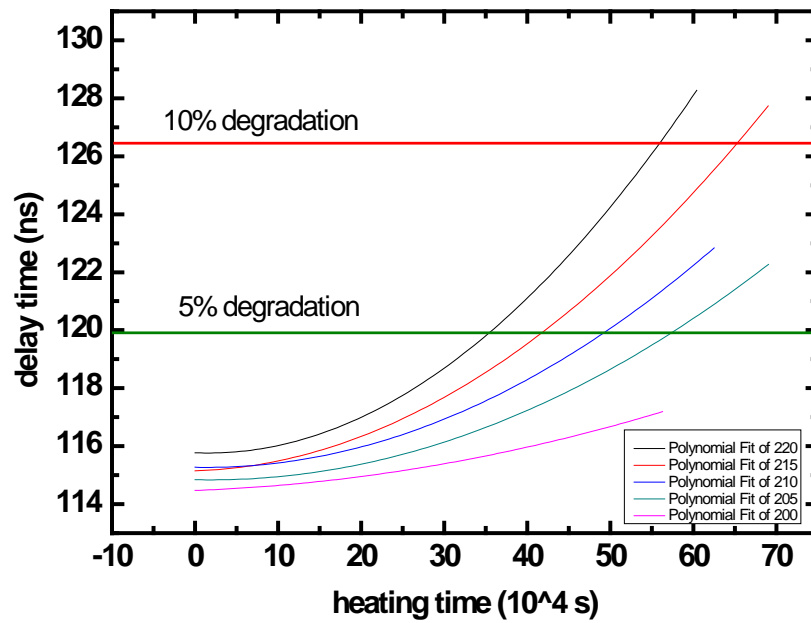


圖 3 在五種不同環境溫度(200、205、210、215、220 °C)，觀察  $t_{PHL}$  隨時間變化。將量測點作 polynomial fitting 並訂出 5%與 10% degradation 之允收準則。

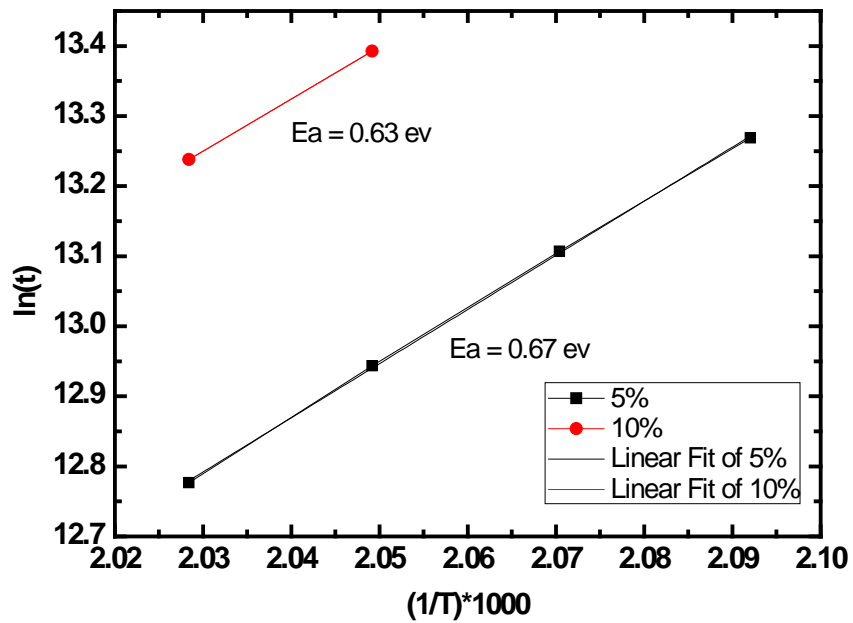


圖 4 由圖 3 訂出 5%與 10%之允收準則得到各個溫度對應之 lifetime，藉由 Arrhenius model 計算出各活化能。

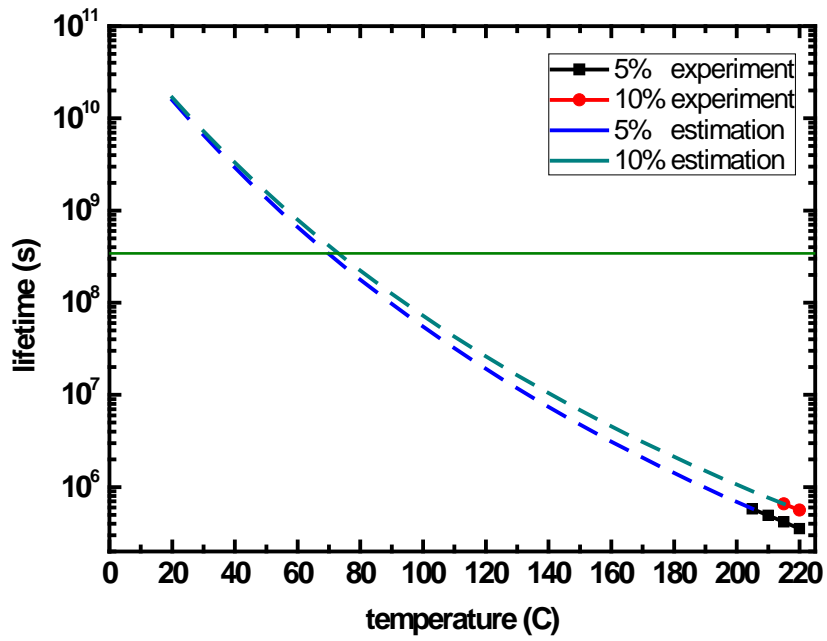


圖 5 對圖 4 作線性外插後推估的 lifetime，並訂出 10 年線。

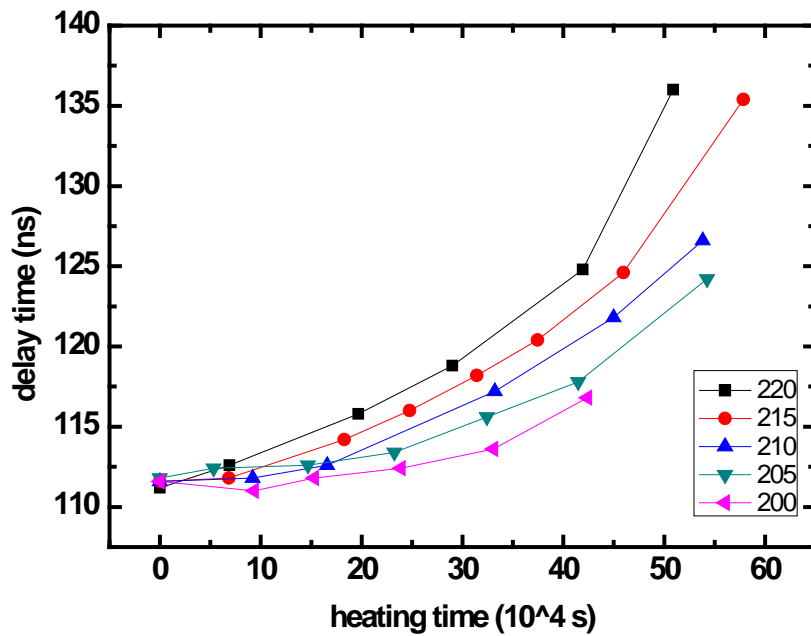


圖 6 在五種不同環境溫度(200、205、210、215、220)，實際量測  $t_{PLH}$  之值。



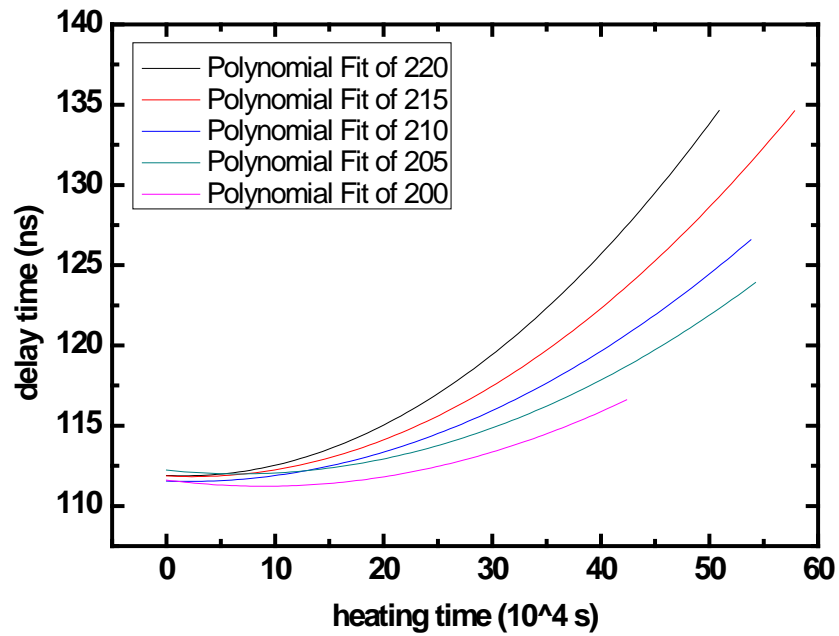


圖 7 將圖 6 量測點作 polynomial fitting。

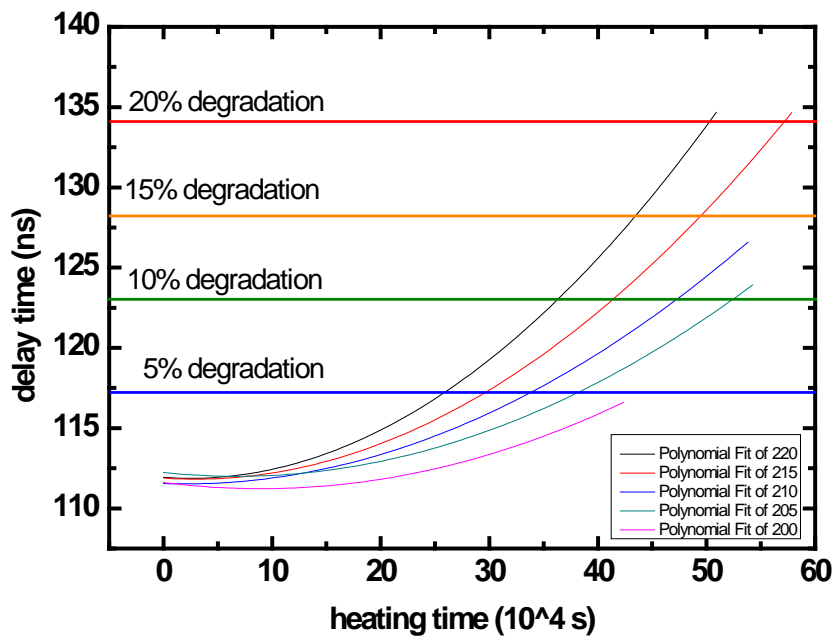


圖 8 在五種不同環境溫度(200、205、210、215、220)，觀察  $t_{PLH}$  隨時間變化。將量測點作 polynomial fitting 並訂出 5%、10%、15%與 20% degradation 之允收準則。

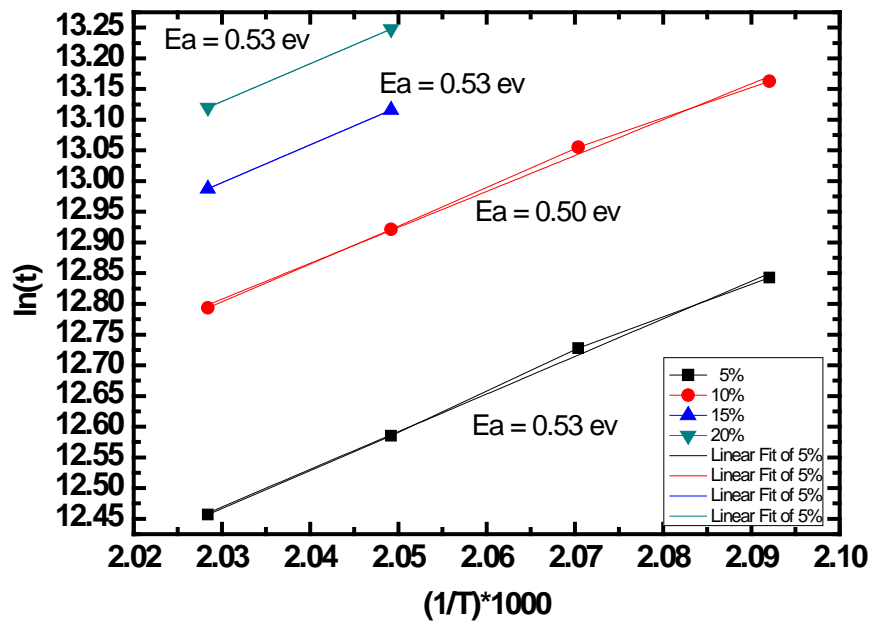


圖 9 由圖 8 訂出 5%、10%、15%與 20%之允收準則得到各個溫度對應之 lifetime，藉由 Arrhenius model 計算出各活化能。

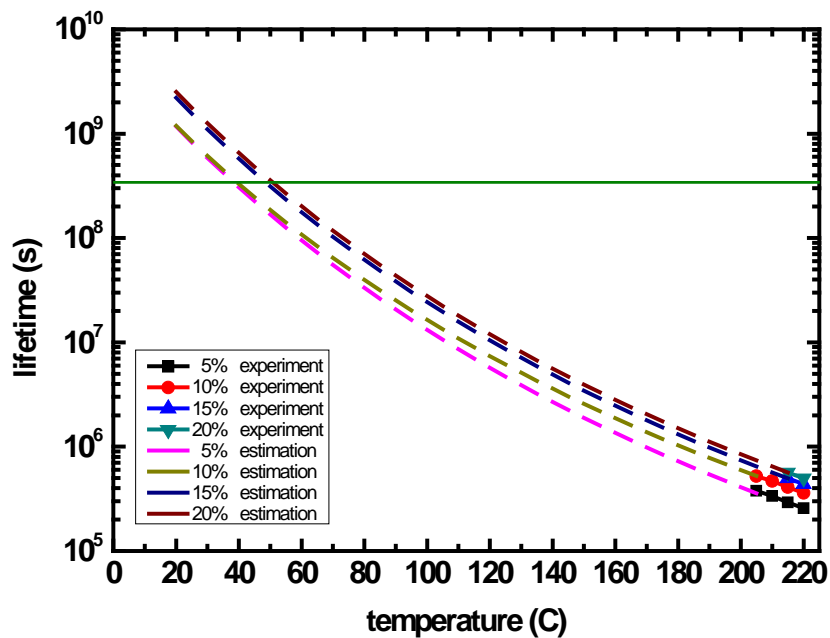


圖 10 對圖 9 作線性外插後推估的 lifetime，並訂出 10 年線。

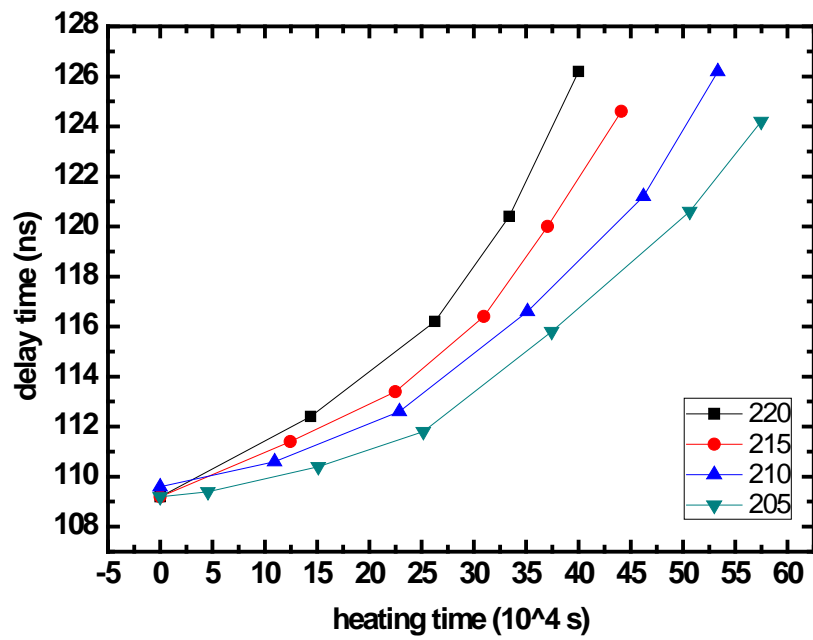


圖 11 在四種不同環境溫度(205、210、215、220°C)，實際量測  $t_{PHL}$  之值。

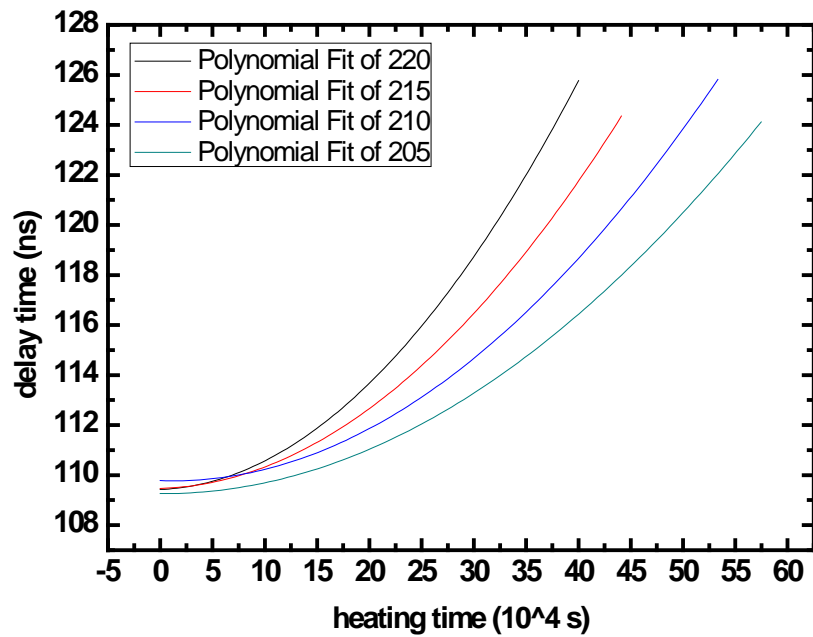


圖 12 將圖 11 之量測點作 polynomial fitting。

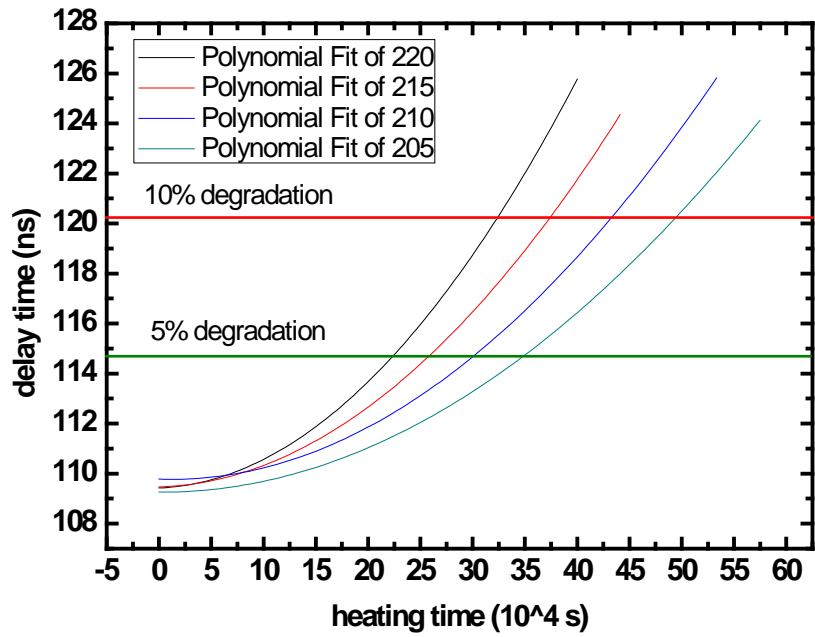


圖 13 在四種不同環境溫度(205、210、215、220°C)，觀察  $t_{PHL}$  隨時間變化。將量測點作 polynomial fitting 並訂出 5%與 10% degradation 之允收準則。

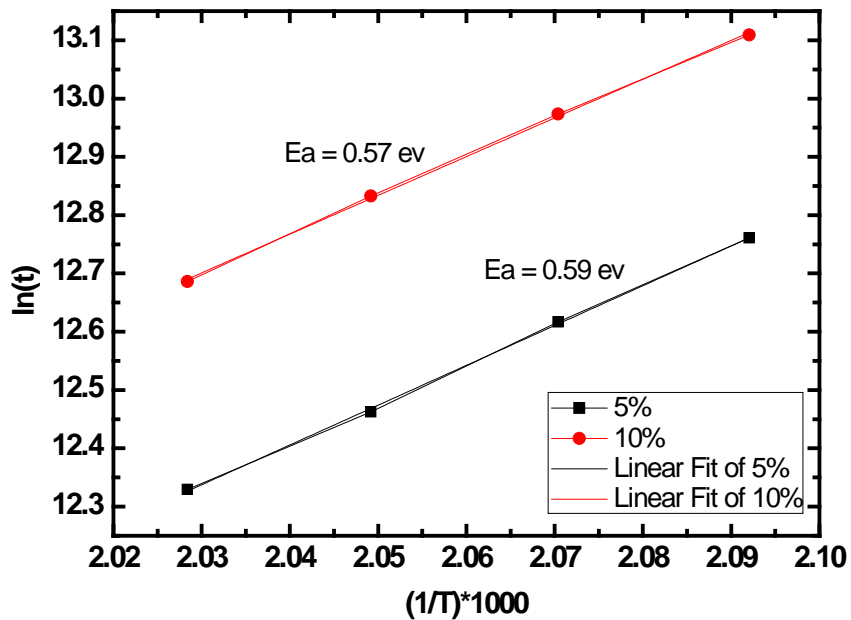


圖 14 由圖 13 訂出 5%與 10%之允收準則得到各個溫度對應之 lifetime，藉由 Arrhenius model 計算出各活化能。

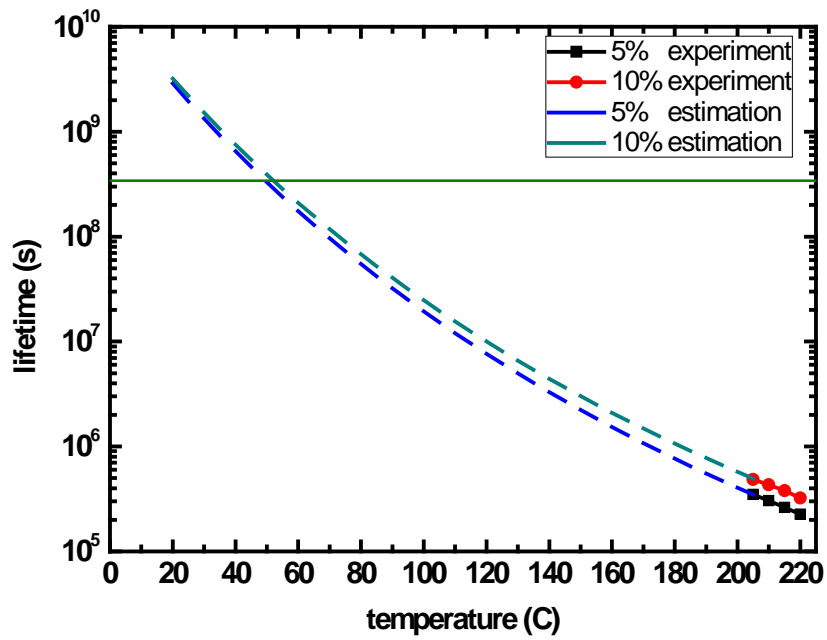


圖 15 對圖 14 作線性外插後推估的 lifetime，並訂出 10 年線。

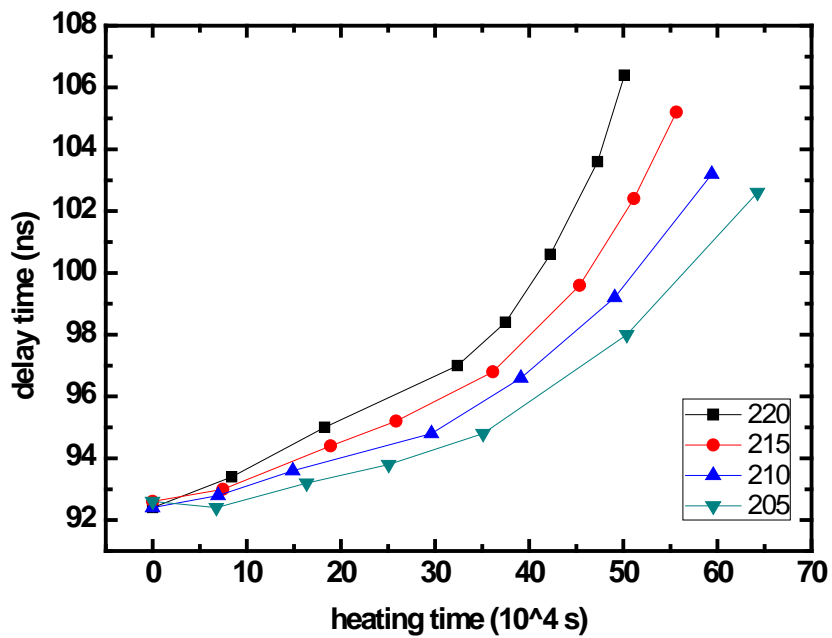


圖 16 在四種不同環境溫度(205、210、215、220°C)，實際量測  $t_{PLH}$  之值。

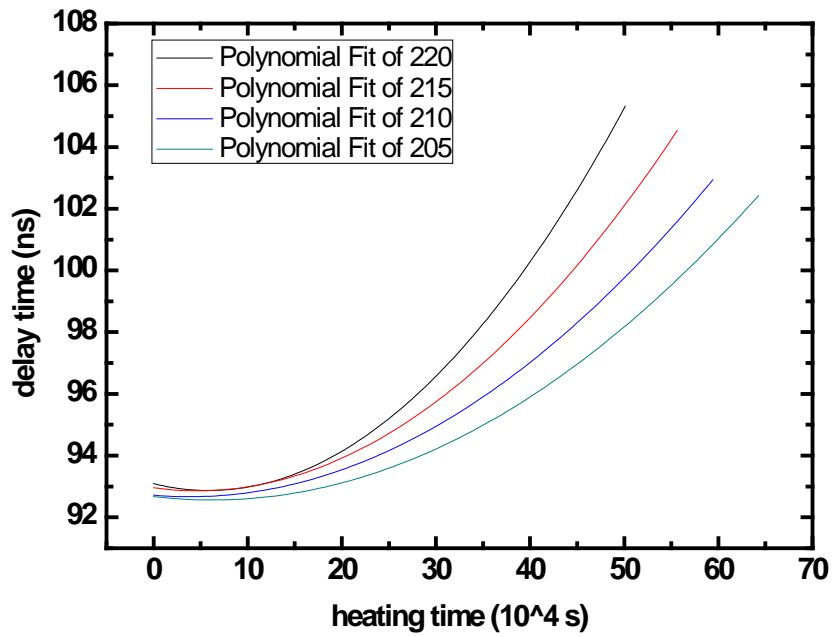


圖 17 將圖 16 之量測點作 polynomial fitting。

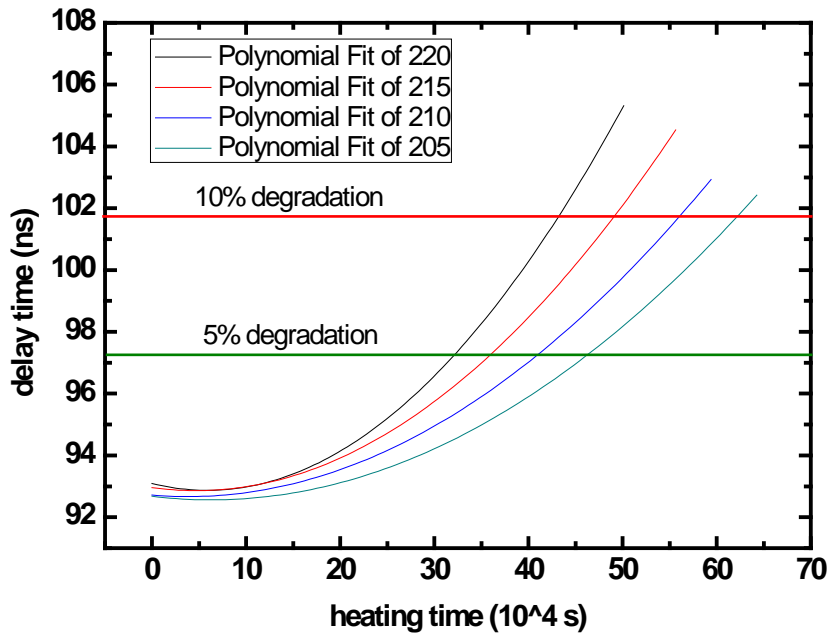


圖 18 在四種不同環境溫度(205、210、215、220°C)，觀察  $t_{PLH}$  隨時間變化。將量測點作 polynomial fitting 並訂出 5%與 10% degradation 之允收準則。

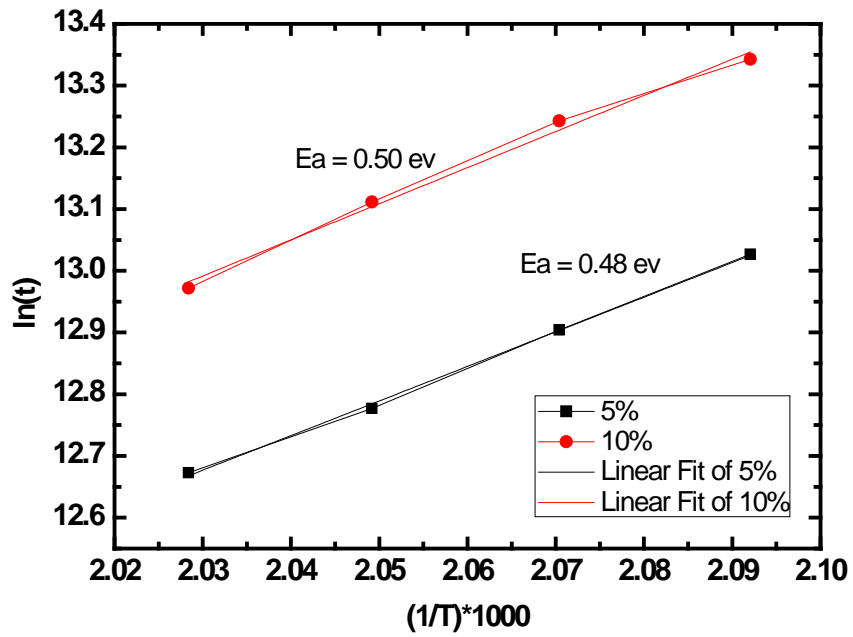


圖 19 由圖 18 訂出 5%與 10%之允收準則得到各個溫度對應之 lifetime，藉由 Arrhenius model 計算出各活化能。

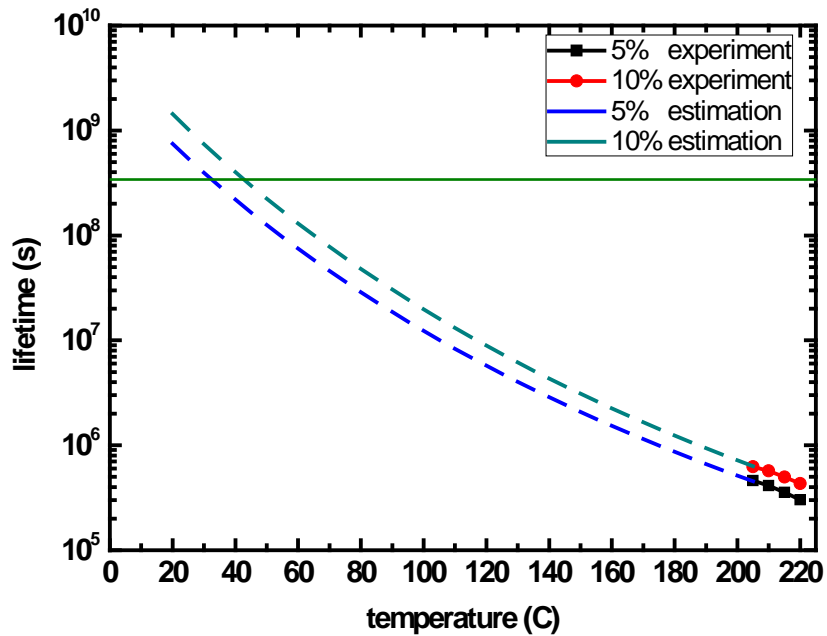


圖 20 對圖 19 作線性外插後推估的 lifetime，並訂出 10 年線。

表 1: 核三廠 SSILS-ALM 電子卡片歷年檢修記錄摘錄

卡片名稱	S/N	檢修日期	更換零件	檢修日期	更換零件	檢修日期	更換零件	備註
ALM	0024	80年1月25日	U22, C35	81年3月18日	U46			
ALM	0033	81年9月23日	C33					
ALM	0034	83年10月21日	U39, U29, C17	84年1月12日	U39, C17			
ALM	0035	80年4月13日	U33, U18	82年11月12日	U39, U10			
ALM	0037	87年10月22日	U18					
ALM	0042	78年1月12日	U28					
ALM	0044	86年3月13日	U22, C17	87年10月13日	U30			
ALM	0046	77年10月18日	U42					
ALM	0092	78年1月12日	U15					
ALM	0095	84年11月18日	C17	90年3月26日	U39			
ALM	0099	77年11月28日	U2					
ALM	0100	77年11月24日	U23	81年3月18日	C19			
ALM	0101	78年9月13日	U18	80年2月27日	U13	84年11月22日	U37	
ALM	0102	77年11月25日	C20					
ALM	0103	78年4月17日	U23	81年3月10日	U11			



表 2: 各種技術材料與零件之活化能

Technology, Material or Part	Ea	Technology, Material or Part	Ea
TTL, ASTTL, CML, HTTL, FTTL, DTL, ECL, ALSTTL	0.40	F, LTTL, STTL	0.45
BiCMOS, LSTTL	0.50	III, I <sup>3</sup> L, ISL	0.60
Digital Gate/Logic Arrays, Programmable Logic Arrays	0.40	Floating Gate Prorammmable Logic Arrays	0.35
Digital MOS, Digital Gate Logic Arrays, VHSIC CMOS,	0.35	Linear (Bipolar & MOS), Linear Gate Logic Arrays	0.65
Bipolar Microprocessors	0.40	MOS Microprocessor	0.35
MOS ROM, EEPROM, EAPROM, DRAM, SRAM Memories	0.60	Bipolar ROM, PROM, SRAM Memories	0.60
GaAs MMIC active device	1.50	GaAs Digital active device	1.40
Control and Detection Structure of Magnetic Bubble Memories	0.80	Memory Storage Area of Magnetic Bubble Memories	0.55
General Purpose Analog Diode, Switching Diode, Fast Recovery Diode, Power Rectifier Diode, Transient Suppressor(Varistor)	0.27	Voltage Regulator, Voltage Reference, Current Regulator	0.17
Gunn/Bulk Effect Diode, Tunnel and Back (inc. Mixers, Detectors), PIN, Schottky Barrier (inc. Detectors) and Point Contact, Varactor and Step Recovery	0.18	Si IMPATT HF Diodes	0.45
Bipolar Low Frequency Transistors	0.18	N-Channel and P-Channel Si FET	0.17
Unijunction Transistor	0.21	Bipolar, Microwave RF Transistor	0.18
Power, Microwave, RF Bipolar Transistors - Gold Metallization	0.25	Power, Microwave, RF Bipolar Transistor - Aluminum Metallization	0.50
GaAs Low Noise, Driver and Power FETs	0.39	High Frequency Si FET	0.17
Thyristors and SCRs	0.27	Photodetectors, Opto-isolators, Emitters	0.24
Alphanumeric Display	0.24	Laser Diodes with Optical Flux Densities	0.40
Fixed, Film Network Resistors	0.35		

#### 肆、參考文獻

1. TR5-43 ,TR5-47 , Review of Circuit Card/Board Related Failures That Contributed to Automatic and Manual Scrams
2. H. S. Blanks, "Temperature dependence of component failure rate," *Microelectronics and Reliability*, vol. 20 (1980) 219-246.
3. M. Campbell, "Monitored burn-in improved VLSI reliability," *Computer design* vol. 24 (1985) 143-144.
4. C. Canali, F. Fatini, S. Gavrighi, and A. Senin, "Reliability problems in TTL-LS devices," *Microelectronics and Reliability*, vol. 21 (1981) 637-651.
5. K. L. Chiang, P. O. Lauritzen, "Thermal instability in very small p-n junctions," *IEEE Transactions in Electron Devices*, ED-18, (1970) 94-97.
6. S. S. Dimitrijevic, N. D. Stojadinovic, and Z. D. Prucic, "Analysis of temperature dependence of CMOS transistors, threshold voltage," *Microelectronics and Reliability*, vol. 31 (1981) 33-37.
7. D. L. Denton, and D. M. Blythe, "The impact of burn-in on IC reliability," *The Journal of Environmental Sciences*, vol. 29 (1986) 19-23.
8. B. L. Draper, D. W. Palmer, "Extension of high temperature electronics," *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, CHMT-2, (1979) 399-404.
9. F. P. Heiman, and H. S. Miller, "Temperature dependence of n-type MOS transistors," *IEEE Transactions in Electron Devices*, ED-12, (1965) 142-148.
10. S. E. Nordquist, J. W. Haslett, and F. N. Trifimenkoff, "High temperature leakage current suppression in CMOS integrated circuits,"

- Electronics Letters, vol. 25 (1989) 1133-1135.
11. 李春林, “臺灣電力公司核能二廠局部能階偵測系統電子卡片 INER-LPRM-1、INER-LPRM-2、及 INER-LPRM-3 檢證程序書,” 第一版, 編號 CGID-DP-86005, Feb, 1998, 1-54.
  12. Datasheet CD40106BF3A - CMOS HEX SCHMITT TRIGGERS - Texas Instruments.
  13. 劉榮超, “電子卡片研製與驗證 ppt”中科院電子系統所.
  14. 7300 印刷電路板研製檢證規範.
  15. 徐懷瓊、曾樹湖、孫元龍, “儀控技術叢書之二-固態邏輯介面控制系統”
  16. 彭鴻霖, “可靠度技術手冊 失效物理分析技術”
  17. MIL-HDBK-217F \_Reliability Prediction of Electronic Equipment, 35-36.
  18. Kececioglu, D. and Jacks, J. Q., “The Arrhenius, Eyring, inverse power law and Combination models in accelerated testing”, Reliability Engineering,(1983)
  19. Parker, T. P. and Webb, C. W., “A Study of Failure Identified During Board Level Environmental Stress Testing,” IEEE Transaction on Components, Hybrids and Manufacturing Technology, Vol. 15, No. 6, pp. 1086-1092(1992).
  20. Robert R. Dixon, “Thermal Aging Predictions From An Arrhenius Plot With Only One Data Point”, IEEE Transactions on Electrical Insulation Vol. EI-15 No.4, August 1980.