

行政院原子能委員會
委託研究計畫研究報告

複合型光電記憶體節能薄膜之製程開發與研究

The process development of thin film energy-saving RRAM devices

計畫編號：1062001INER023

受委託機關(構)：國立中山大學

計畫主持人：張鼎張 教授

聯絡電話：07-5252000-3708

E-mail address：tcchang3708@gmail.com

研究期程：中華民國 106 年 1 月至 106 年 12 月

研究經費：新臺幣 48 萬元

核研所聯絡人員：王敏全 博士

報告日期：106 年 11 月 13 日

目錄：

目錄	2
中文摘要	3
英文摘要	4
壹、計畫緣起與目的	5
貳、研究方法與過程	10
參、主要發現與結論	11
肆、參考文獻	41

中文摘要

本計畫目標為高性能/節能電阻式記憶體元件製作與物理機制研究。電阻式記憶體元件因擁有低的操作功耗、高操作速度、低成本、非揮發性及高度可微縮性，未來極有機會整合目前已面臨發展瓶頸的各式記憶體元件，成為通用記憶體。目前電阻型記憶體並沒有統一且明確的物理機制，導致材料選擇與結構設計方向不明確。在電阻型記憶體的轉態機制方面，就屬高低電阻狀態的形成、設定與重新設定電阻狀態過程的機制最為關鍵，本實驗室於轉態機制研究已經有相當不錯的初步成果。透過本計畫的執行，將完整分析元件熱場與電場模型以及可靠度劣化機制，並透過新材料的引入(如電漿改質，不同金屬微量摻雜等)進一步提升元件性能及降低功耗，並製作出高性能/節能電阻式記憶體元件以應用於物聯網。

關鍵字: 節能、電阻式記憶體元件、可靠度

Abstract

The object of this project is to fabricate high performance/energy-saving RRAM device and establish RRAM physical model. RRAM stood out with its low operation power, fast operation speed, low production cost, and scalability, making it the most promising candidate as a universal memory. For the development of RRAM, a major obstacle is the non-uniform mechanism of physical and reliability degradation in its resistance switching process resulting in unclear orientation of materials selection and structure design. For the key resistance switching process, Forming, Set and Reset process, our group had plenty of breakthrough discoveries on mechanism investigation. Through the execution of this project, the thermal and electrical field model and reliability degradation mechanism will be analyzed in detail, and novel materials will be introduced (ex. plasma treatment, metal doping.) to improve the performance and reduce the power consumption. In the project, we proposed for fabricating a high performance/ energy-saving RRAM device for the applications of IoT.

Keywords: energy-saving, RRAM, reliability

壹、計畫緣起與目的

電阻式記憶體

電阻式記憶體(RRAM)結構為金屬-絕緣層-金屬(Metal-Insulator-Metal, MIM)。電阻絲理論(Filament theory)是其代表性機制，但除此之外尚無一套完整的模型能夠解釋電阻切換時的機制。目前普遍認為RRAM的操作方式為，在一開始時給予元件一外加偏壓，使氧化物絕緣層形成導通路徑，此時絕緣層會變為低阻態(Low Resistance State, LRS)，而在此過程通常需要限制電流，避免元件永久崩潰，此步驟稱之為**Forming**。接下來，利用給予元件偏壓控制氧離子氧化導通路徑，使導通路徑阻斷，進而從低電阻態(LRS)回到高電阻態(High Resistance State, HRS)，此過程稱為**Reset**；而再次給予小於Forming所需的電壓即可將阻斷的導通路徑重新連接，進而從高阻態(HRS)再次回到低阻態(LRS)，此步驟稱為**Set**。來回操作**Set與Reset process**就可以達成RRAM的寫入與抹除，RRAM的操作流程如圖1所示。若以操作方式區分，可分為兩種特性：(a)單極性(unipolar)操作，Set和Reset時操作電壓極性相同，另一種為(b)雙極性(bipolar)操作，Set和Reset分別需要相反的電壓極性來完成。而在讀取方面主要是藉由一微小的讀取電壓來判讀不同的電阻值以分辨數位訊號0和1，如圖2所示。[1-3]

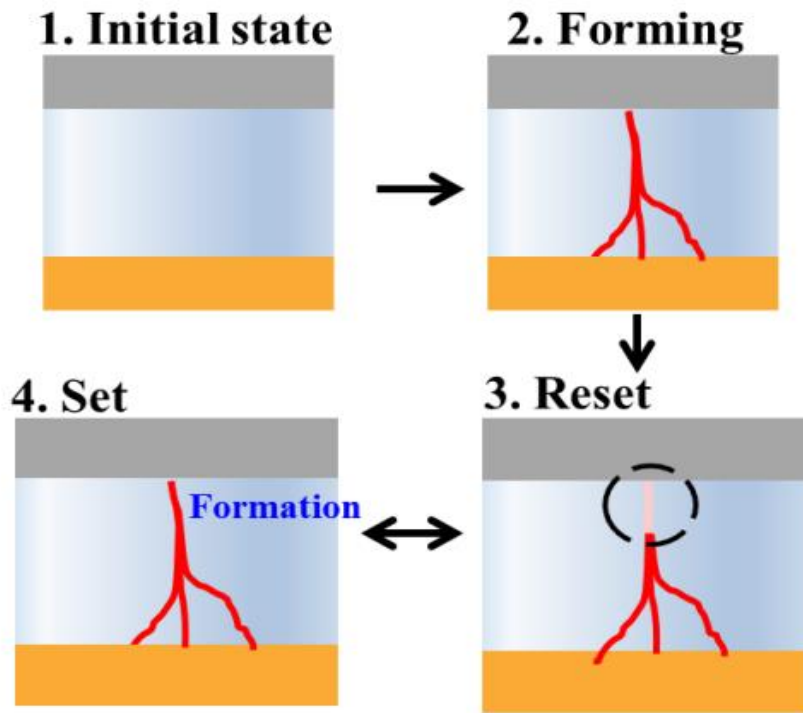


圖 1. RRAM 切換流程示意圖

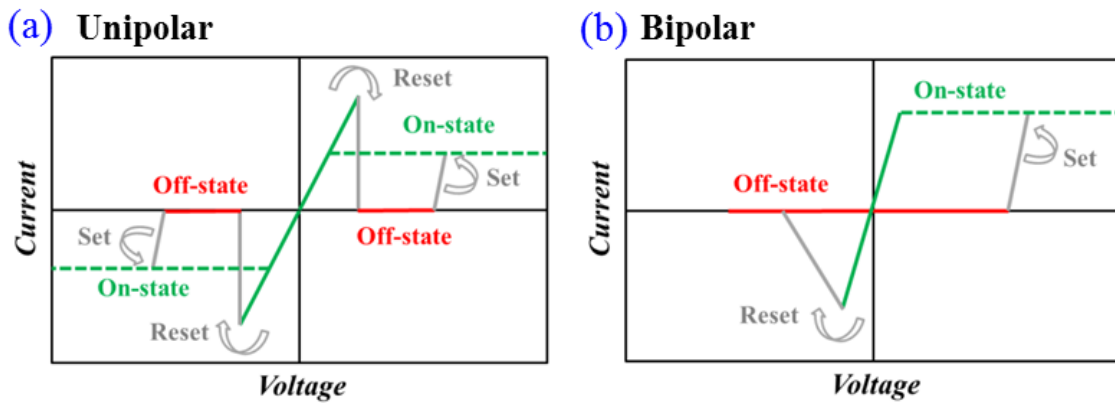


圖 2. RRAM 操作方式(a)單極性操作(Unipolar)、(b)雙極性操作(Bipolar)

由於RRAM之電阻切換機制並未完全的釐清，但其擁有許多優良的電氣特性可運用在記憶體上，所以不論在業界或學術界上都吸引不少的研究人員進行相關的研究。[4-5]目前當RRAM實際應用或導入量產時，不論是在材料選擇與

結構設計上，面臨最大的問題就是對於**物理機制**，沒有統一且明確的理論。本計畫將利用高時間解析度(10ns)對RRAM轉態物理機制做深入研究，並預期提出適用於所有RRAM之**通用性物理模型(Universal Model)**，並依此更準確地提出改善電阻記憶體特性的方法，這樣將有助於RRAM的產業化，且同時兼具**學術卓越性與產業利用性**。

RRAM 的未來性與應用目標

RRAM因擁有低的操作功耗、其操作速度比NAND flash快1000倍以上、低成本、非揮發性及高度可微縮性，所以除了可以當作工作記憶體外，還有製作高密度記憶體的潛力，未來極有機會整合目前已面臨發展瓶頸的各式記憶體元件，成為**通用記憶體**(如圖3所示)。除了以上的優點，RRAM的材料與製程與目前CMOS後段製程(Back end of line, BEOL)有高度的**相容性**，所以RRAM相當具有實際產品化的**潛力與可行性**。

根據調查報告，RRAM的發展趨勢目前分別有兩個方向：(1) 在**大量儲存的 stand-alone memory**方面: Micron與Sony於2015年已經展示出16Gb的樣品；(2) 在強調操作**速度**和**低耗能**的**embedded memory**將應用於Internet of Things (IoT)、portable/wearable products與Micro control unit (MCU) (如圖4所示)。[6-7]

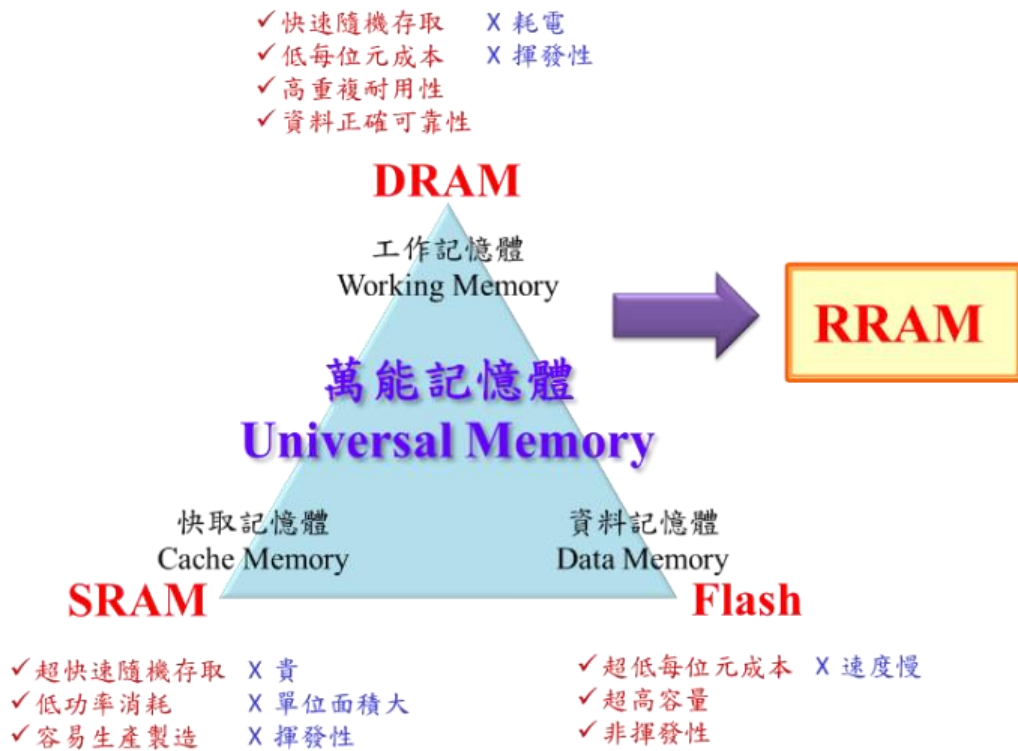


圖 3. RRAM 有機會整合所有記憶體成為通用記憶體



圖 4. RRAM 的發展趨勢

RRAM 發展的國際局勢與台灣的發展現況

目前世界上許多公司已開始布局次世代電阻式記憶體(RRAM)，其中又以美、日、韓等國的記憶體與半導體大廠的開發腳步領先國際，此外還有一些策略聯盟，如: Micron 與 Intel 於 2015 年宣稱利用 3D Xpoint 技術開發次世代記憶體產品，而各國際大廠間也相互合作長期發展 RRAM(如圖 5 所示)。[8]

在 RRAM 的專利佈局方面，美、日、韓等國際半導體大廠皆投入相當龐大的研發資源於 RRAM 的專利佈局。目前台灣廠商僅有 TSMC、旺宏與華邦等公司投入資源研發，專利數量相對少於世界上許多大廠(如圖 6 所示)，因此，台灣需要投入更多的資源研發以保持國際競爭力。[9]

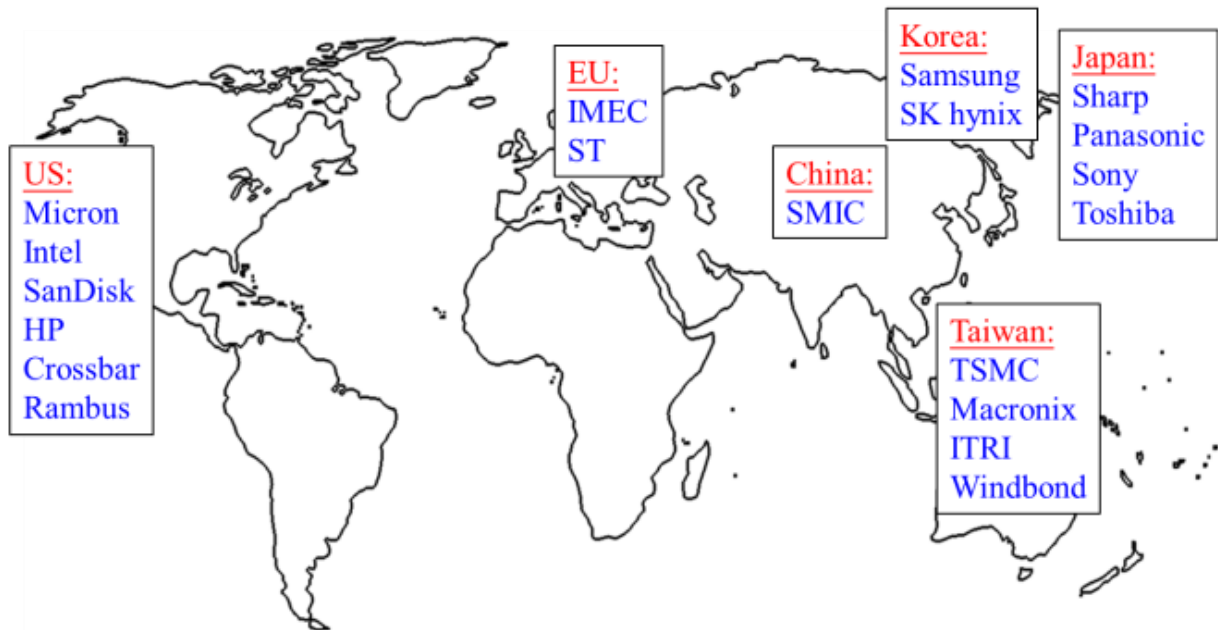


圖 5. 各國大廠投入 RRAM 研發之局勢

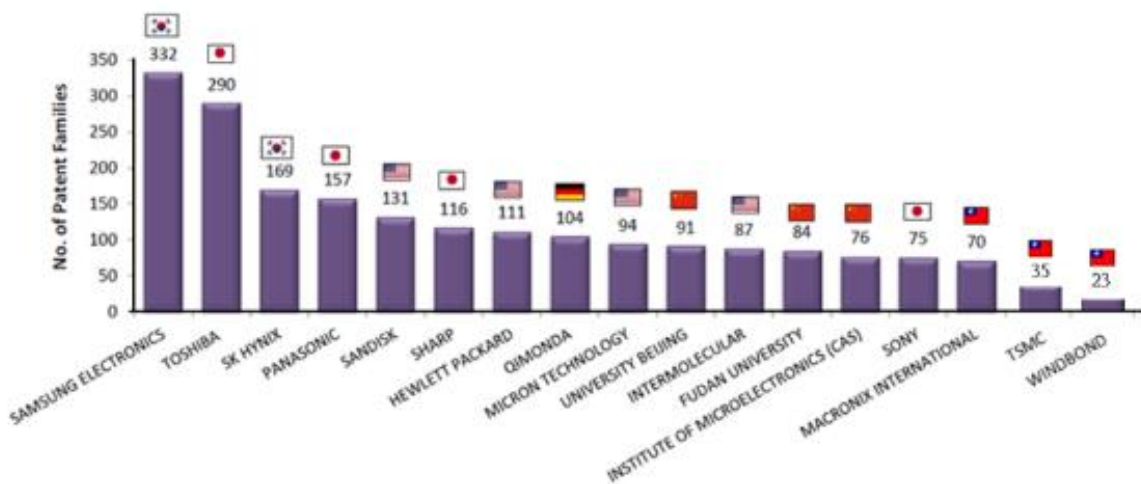


圖 6. 世界大廠 RRAM 專利佈局。

一個新興記憶體技術的興起，將帶動全球的 IT 產業，而其影響的產業層面相當廣(如圖 7 所示)。從產業鏈上游的 microprocessor unit/ micro control unit (MPU/MCU) players、fabless companies 與 integrated device manufacturers (IDM) 公司，到中間的半導體製造產業(Foundries)，最後到應用端，其中還包含了很多設備產業的參與。根據調查報告，未來幾年是 RRAM 發展最關鍵的時期，各國國際大廠與新興公司都分別針對 MCU、portable/wearable products 或 mass data storage 方面都制定出明確的 RRAM 開發 road map(如圖 8 所示)。[9]

因此，在這最關鍵的時期，透過本計畫的執行，開發高性能與低功耗的 RRAM、釐清物理機制並佈局關鍵專利，可幫助台灣搶占下一代記憶體市場的先機。

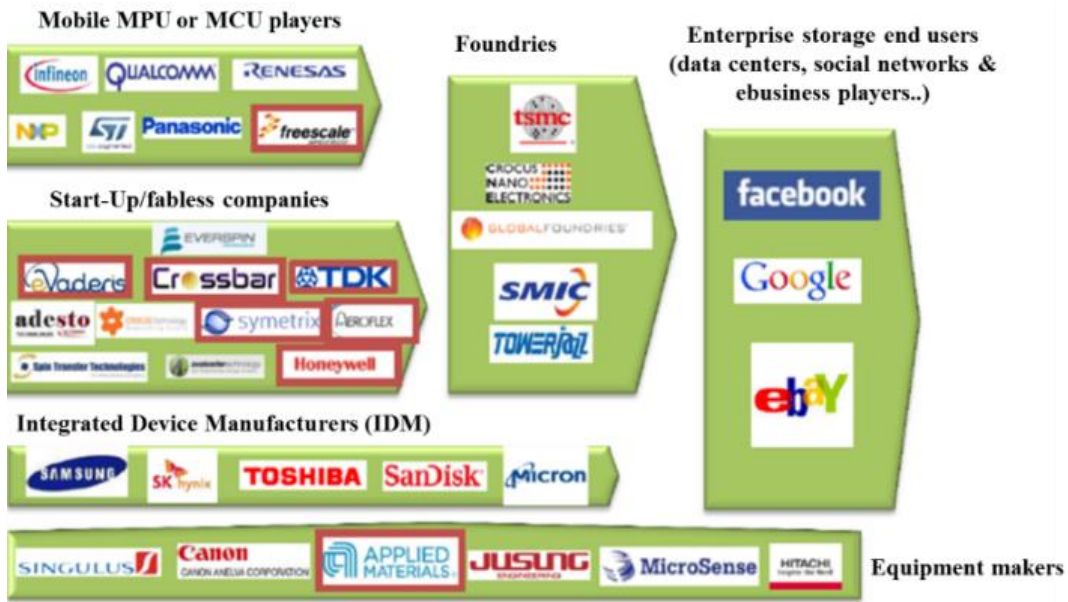


圖 7. 新興記憶體技術所影響的產業鏈

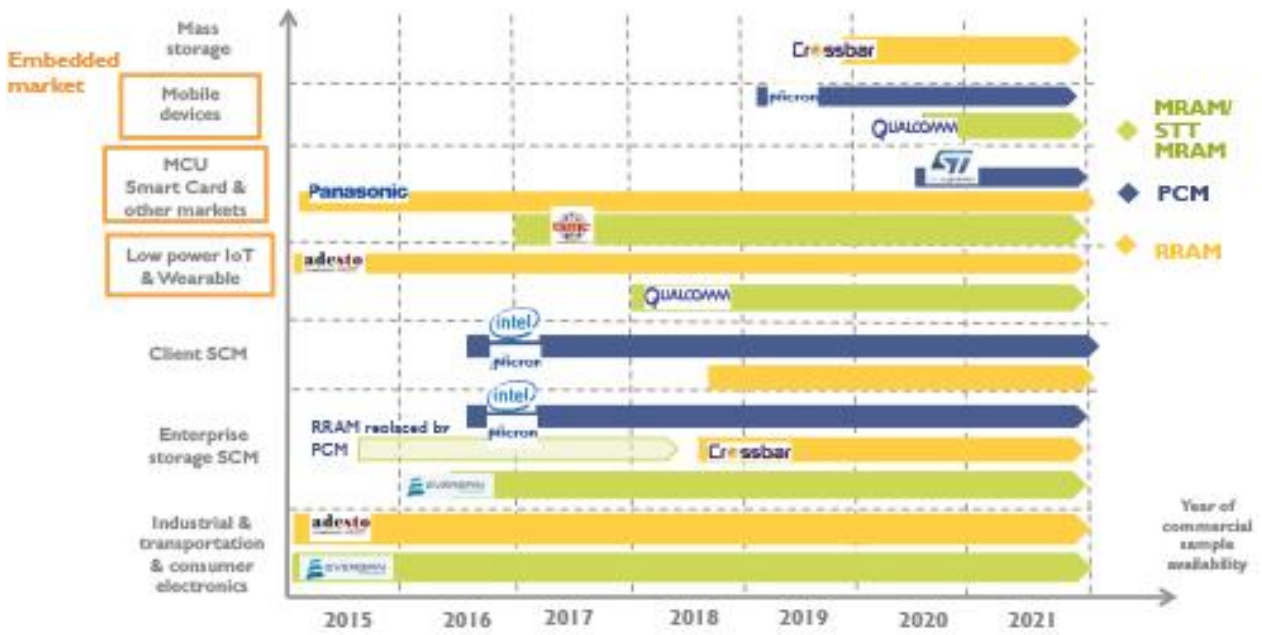


圖 8. 各國際大廠與新興公司所制定的 RRAM 開發 road map

計畫之目標

隨著科技的發展及進步，物聯網(Internet of Things, IoT)的應用隨之廣泛並在未來將和人們的日常生活變的密不可分，據報告指出，2020 年全球 IoT

的結點裝置(node)將大幅增加至 280 億個。根據統計，2016 年 IoT 占了 IT Industry 高達 32%的耗資，顯現出 IoT 在商業市場上的重要性以及未來的發展性。

在 IoT 的架構中包含了雲端存儲(Cloud)、資料分析(Big data)與末端的節點裝置(node)。其中雲端與資料分析應用了極大容量的記憶體(Storage Class Memory, SCM)，以提供大量資料的存儲與分析；而末端的節點裝置(node)則是由 MCU、各式感測器(sensor)、射頻元件(RF)及提供能源的裝置(power)整合而成(如圖 9 所示)，其中，最重要的就是由 CPU 與 embedded flash 整合而成的微型控制單元(MCU)，其效能將主導整個 IoT 的發展。



圖 9. IoT 的架構中包含了雲端存儲(Cloud)、資料分析(Big data)與末端的節點裝置 (node)

功耗問題是目前IoT發展所遇到的最大阻礙，其中又以MCU中的記憶體擁有低功耗特性為目前主要的研發目標。RRAM不論在操作功率、切換速度與微縮能力上，都有非常優異的表現，並且和CMOS後段製程匹配。因此，可以大幅提升MCU的效能並且還可以大幅降低成本，以利未來IoT的發展。本計畫的目標為開發電阻式記憶體元件，進一步推動IoT的發展及進步。透過本計畫的執行，引入新材料製作RRAM元件，並開發出高性能/節能電阻式記憶體。

貳、研究方法與過程

在元件製程方面，主要是利用科技部高屏地區奈米核心設施共同實驗室之製程機台來製備 RRAM 元件，如圖 10 所示。使用多靶磁控濺鍍系統 (Multi-Target Sputter)、高密度電漿化學氣相沉積系統(HDP-CVD)與原子層化學氣相沉積(ALD)來沉積薄膜，並利用薄膜特性分析儀(N & K)與傅立葉轉換中紅外線光譜儀(FTIR)分析薄膜的膜後與材料鍵結。此外，我們可利用感應耦合式電漿蝕刻系統(ICP-Etcher)與快速退火系統(RTA)對薄膜進行後續處理，最後可藉由聚焦離子束(FIB)對 RRAM 元件的結構更深入的研究。



圖 10. 高屏地區奈米核心設施共同實驗室之製程機台

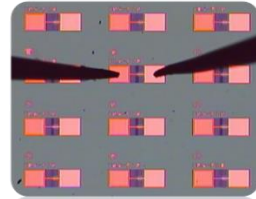
在電性量測方面，本實驗室使用半導體電性量測平台(Agilent B1500A，其可測量到 pA 的電流級別)與脈衝快速量測(脈衝最小時間解析度為 50ns)，還有變溫電性量測平台，溫度範圍從 4K 到 400K，其電性分析包括電流-電壓量測 (I-V)、電容-電壓量測(C-V)來分析物理機制，如圖 11 所示。還會搭配電場模擬(COMSOL)驗證研究成果。



Agilent B1500A 電性量測系統



電性量測平台與實際元件



顯微鏡下電性量測影像

圖 11. 電性量測系統以及元件量測情形

參、主要發現與結論

預定進度：

工作項目	年月												備註	
	1	2	3	4	5	6	7	8	9	10	11	12		
1. 熱效應與 RRAM 電極材料影響分析	██████████													
2. RRAM 電場效應分析與最佳化操作手法建立		██████████												
3. RRAM 電場效應與熱效應的整合分析與模型建立			██████████											
4. RRAM 可靠度劣化機制分析與模型建立			██████████											
5. 以不同氧含量薄膜作為 RRAM 切換層並製作出低操作電壓元件							██████████							
6. 透過電漿製程技術或不同金屬摻雜製作出低功耗 RRAM 元件							██████████							
工作進度估計百分比 (累積數)	10%	20%	30%	40%	50%	55%	60%	65%	70%	80%	90%	100%		

各項詳細進度如下所示

1. 熱效應與 RRAM 電極材料影響分析

元件製備程序如下。首先，在p-Si (100) 基板上生長300nm氧化層。其次，使用RF濺射沉積150/50nm的Ti/TiN下電極，隨後進行SiO₂沉積。再利用黃光微影製作0.04 μm^2 的大小的開孔。之後，使用原子層沉積 (ALD) 生長10nm的HfO₂層做為元件切換層。最後，沉積200nm Ti層作為上電極。所有電特性均通過Agilent B1500半導體參數分析儀和Agilent B1530快速I-V測量系統測量。量測過程均以下電極給訊號而上電極接地，如圖12所示。

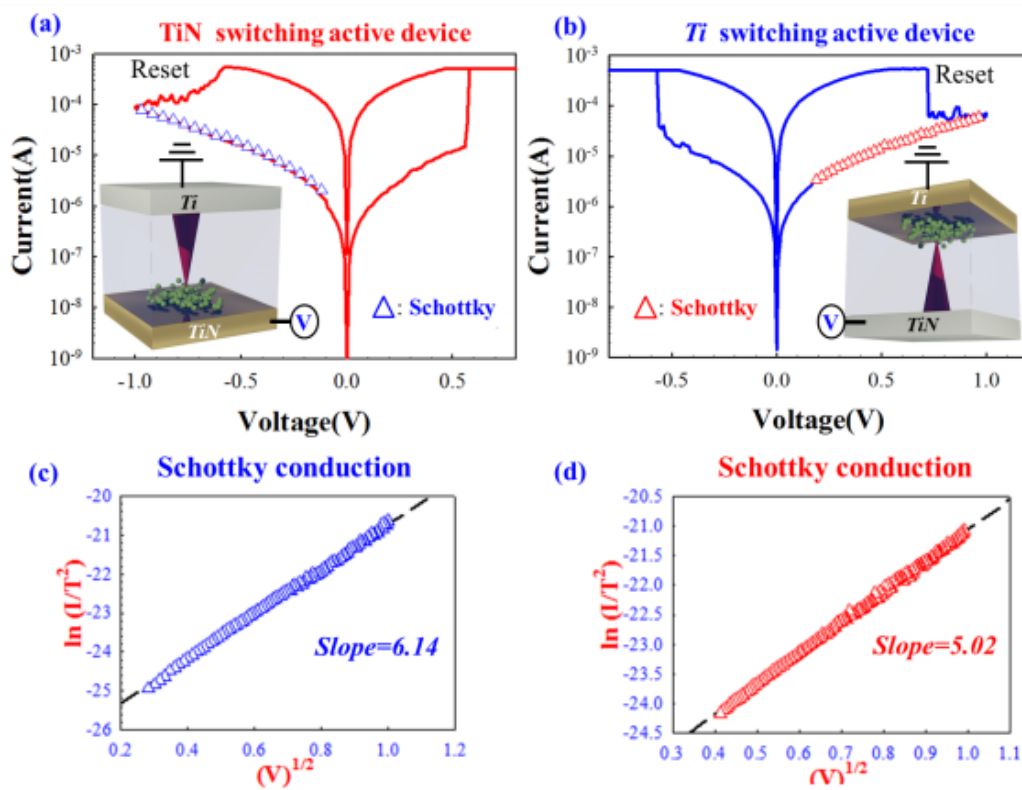


圖 12. (a)操作在 TiN 端的元件特性 (b)操作在 Ti 端的元件特性 (c) TiN 端操作下 Schottky 擬合曲線與斜率 (d) Ti 端操作下 Schottky 擬合曲線與斜率

圖 12 顯示在同一個元件內但不同操作電極下的操作特性，透過電流傳導機制擬合發現兩者的 HRS 都是以 Schottky 的傳導為主。由於中間切換層都是氧

化鈣，因此介電常數相同，透過斜率的分析我們可以了解到，在 TiN 操作時的 Schottky distance 比較小，而在 Ti 操作時 Schottky distance 比較大。我們進一步利用不同升壓時間的脈衝進行 Reset 操作，並計算其能量，做出升壓時間與能量的關係圖(圖 13)，我們發現 Ti 電極操作時斜率為 0.18，而 TiN 電極操作時則為 0.16，這和兩電極的熱導率之間的關係相同，說明熱導率較好的電極能夠有效的將熱能傳地開來，進而活化更多的氧離子進行 Reset 反應，因此反應後會形成比較大的 Schottky distance(如圖 14)。本研究也說明了電極的熱導率與元件的切換行為息息相關，熱導率越好的電極能夠較快的活化氧離子並進行效率較好的 Reset 行為。

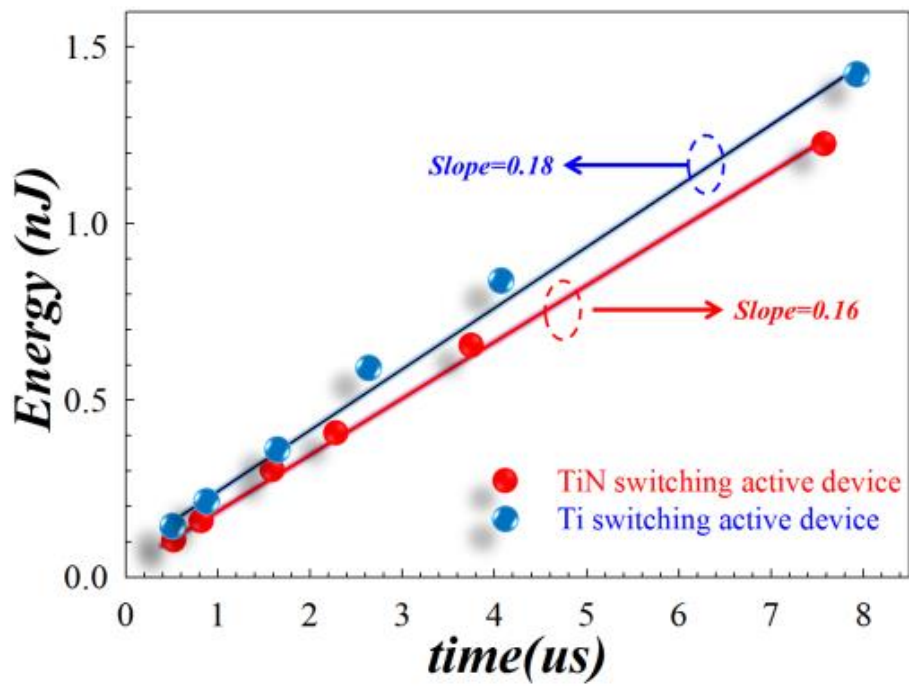


圖 13. 脈衝升壓時間與消耗能量的關係圖，熱導率較高的 Ti 也具有比較高的能量輸入效率

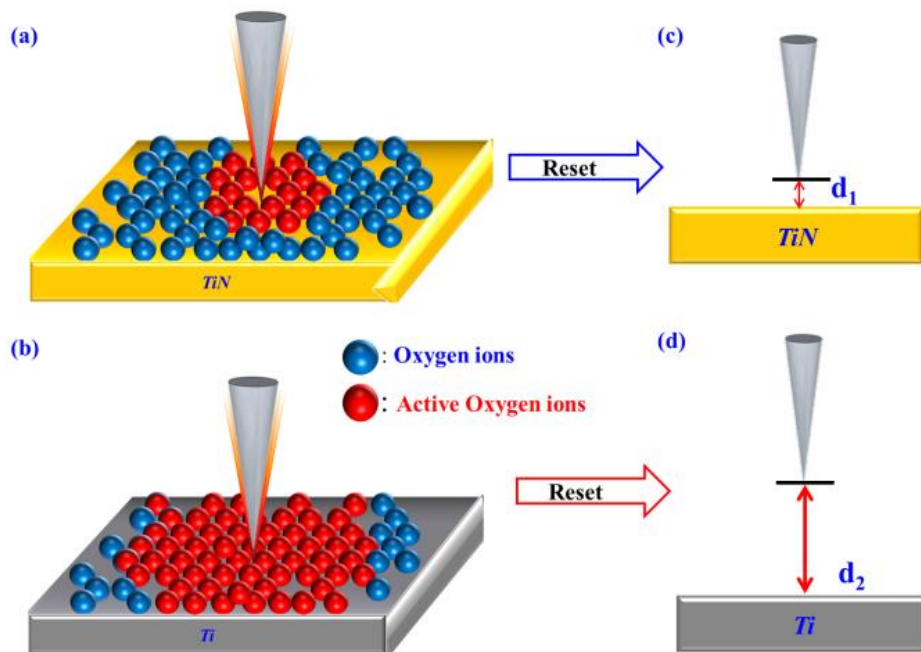


圖 14. 導熱較好的電極能夠活化更多氧離子參與 Reset 反應，進而增加 Reset 反應的效率

RRAM 電場效應分析與最佳化操作手法建立

計劃延續先前實驗結果，進一步利用不同波型進行 Reset 反應，我們引入方波改變寬度(圖 15(a))及三角波改變升壓時間(圖 15(b))，發現 Reset 趨勢相反，我們進一步計算三角波的升壓時間對應消耗能量(圖 15(c))與 Reset 後的程度作圖(圖 15(d))，發現 Reset 能量越小反而 Reset 程度越好。因此我們進一步利用快速量測系統分析電壓與電流在 Reset 過程中的相對關係(圖 16)，我們發現在極短的升壓時間條件下，Reset 過程在最大電壓發生後才開始，因此阻絲尚未退縮，此時阻絲與電極間的距離極短，因此電場強度與範圍都較大；隨著升壓時間慢慢增加，Reset 過程開始往前移動，因此最大電壓發生時阻絲與電極間的距離越來越長，造成電場強度與範圍不足，無法驅動足夠氧離子進行反應因此 Reset 效率降低，為了說明此現象，進行 COMSOL 模擬動態 Reset 過程(圖 17)。透過本實驗進一步證明計劃初步成果所提出的電場效應的機制，Reset 程度並非完全由能量大小所主導，而是跟電場強度與範圍有極強的關聯。

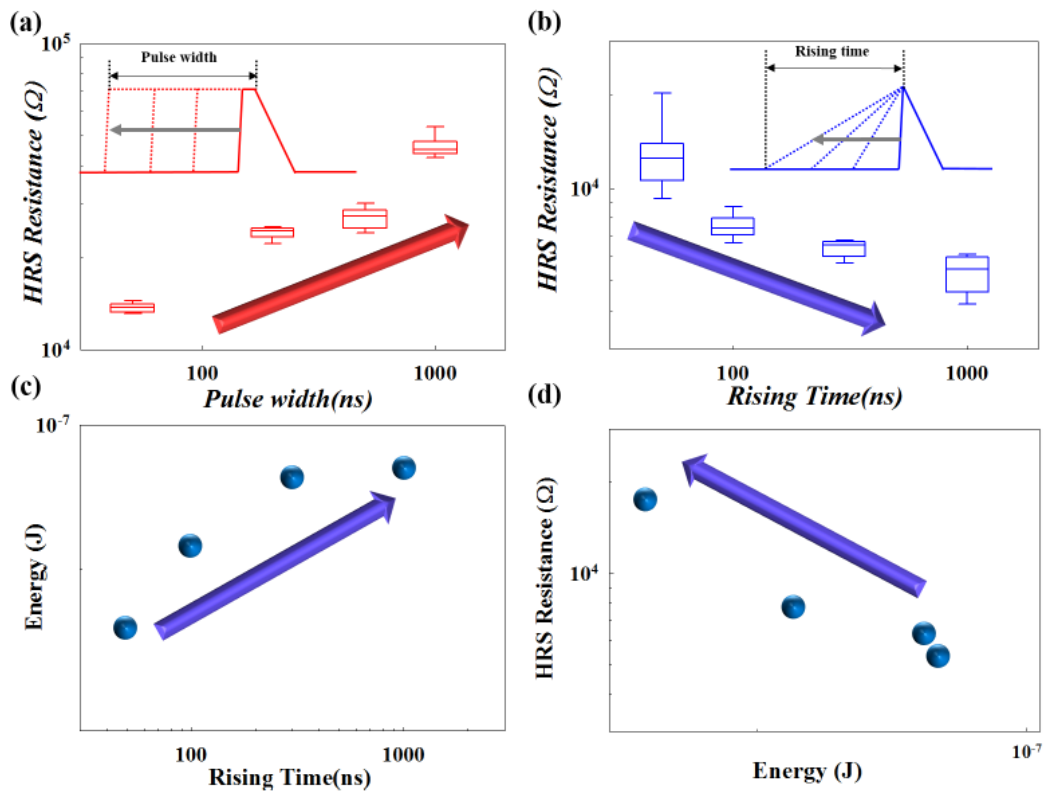


圖 15. (a) 改變方波時間對 Reset 的影響 (b) 改變三角波升壓時間對 Reset 的影響 (c) 三角波升壓時間對能量的關係 (d) 能量對 Reset 效率的關係

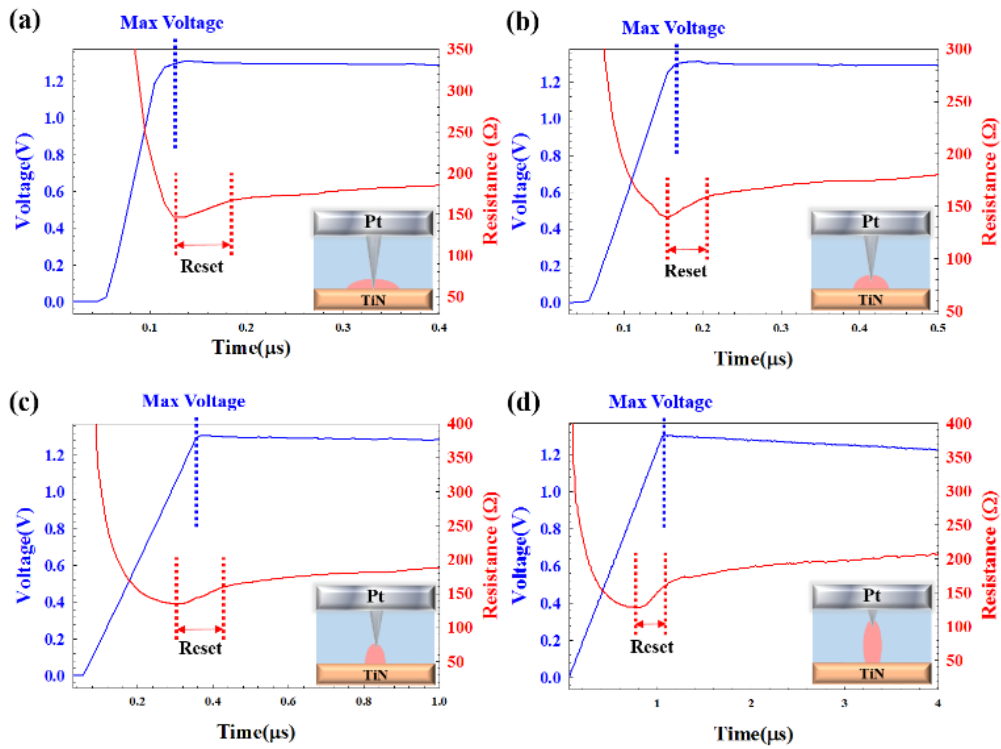


圖 16. 改變三角波升壓時間對應電壓電流的變化情形，分別在升壓時間為 (a)50ns (b)100ns (c)300ns (d)1μs

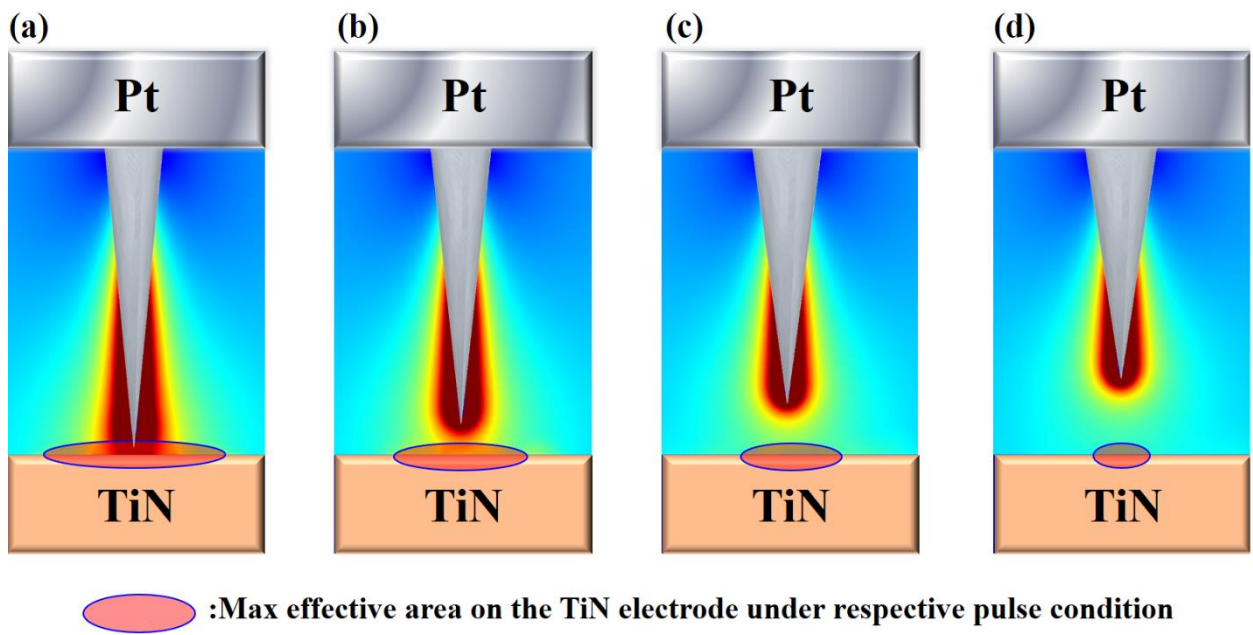


圖 17. COMSOL 模擬圖

2. RRAM 電場效應與熱效應的整合分析與模型建立

本計劃也透過不同 Reset 條件的 mapping 分析(圖 18)，了解在不同升降壓速率下的 Reset 情形，發現在長降壓時間下可看見電場與熱效應同時出現，而短降壓時間下僅有熱效應。因此，能夠以電場效應以及熱效應分別描述 Rising time 長或短時，能夠應用的氧離子來源:電場效應是有效電場能覆蓋的最大範圍、熱效應是活化本不能讓電場驅動的氧離子。而 Falling time 是提供氧離子反應的時間，因此當 Rising time 有足夠長的時間能夠使氧離子與阻絲反應時，Falling time 的作用微乎其微。

為了確認模型的正確，以固定 Falling time 的情況下，來檢視其機制的正確。固定 Falling time 為 100ns 時，當 Rising time 極短的情況下，在阻絲尚未退縮時，能給予一個更大的有效電場範圍，但是需要足夠的 Falling time 讓距離阻絲較遠的氧離子能有時間與阻絲反應，因此，在 Falling time 為 100ns 情況下，電場效應的所貢獻的氧離子沒有辦法參與阻絲反應，當 Rising time 上升時，熱效應所貢獻的氧離子開始進行反應，形成 HRS 阻值會隨 Rising time 上升而上升的趨勢；固定 Falling time 為 1ms 時，當 Rising time 極短時，能有足夠的時間給與電場效應所貢獻的氧離子參與阻絲反應，隨 Rising time 上升，電場效應減弱，而熱效應慢慢顯現，因此 HRS 阻值隨著 Rising time 上升成線初先下後上的趨勢，如圖 19~圖 22 所示。

因此根據改變 Falling time 與 Rising time 的 mapping 分析，我們可以設計出一個最佳的 Reset 波形:短的 Rising time 加上長的 Falling time，如圖 23 所示。在此最佳化的 Reset 波形下，可以用較小的消耗功率達到好的 Reset 程度。

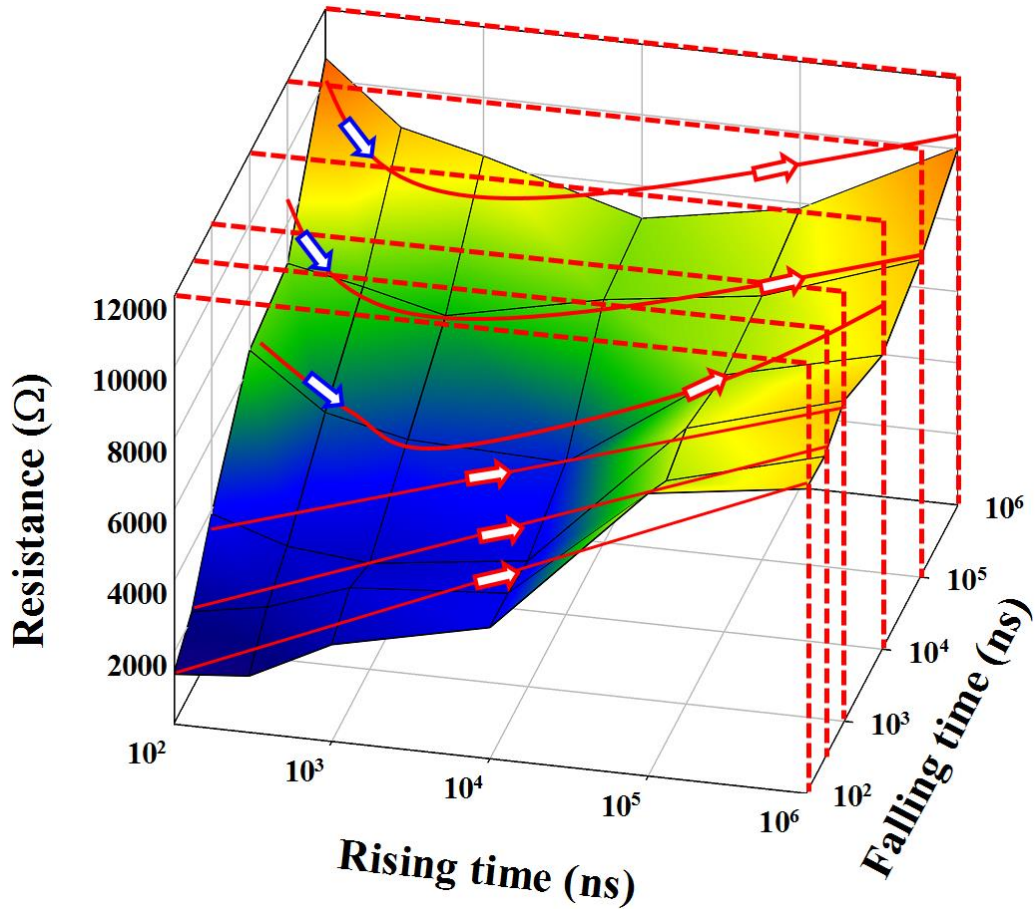


圖 18. 不同升降壓條件下的 Reset 程度

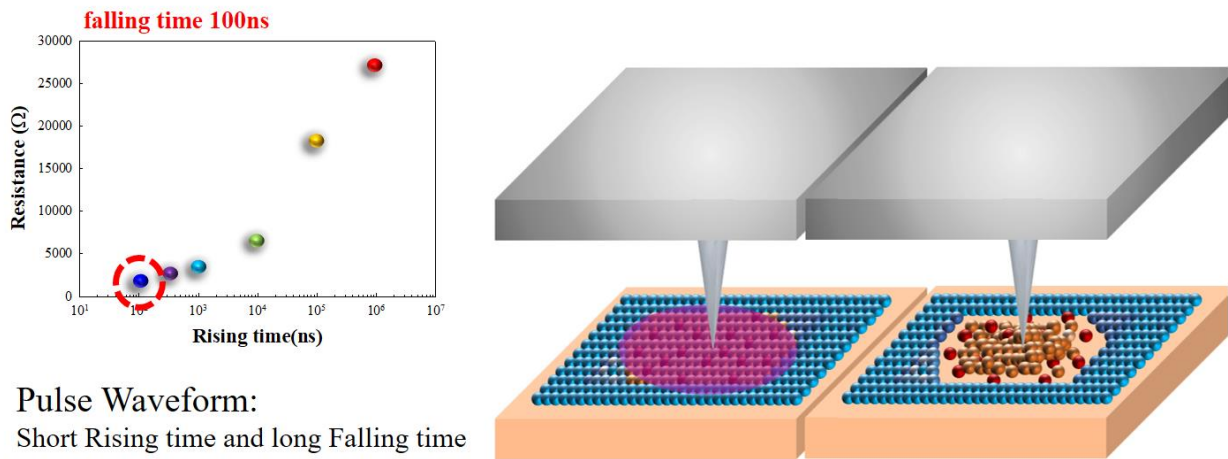


圖 19. Falling time 為 100ns 時，在短 Rising times 能在阻絲未退縮前達到較大電場範圍，但沒有足夠的時間使距離阻絲較遠氧離子與阻絲反應

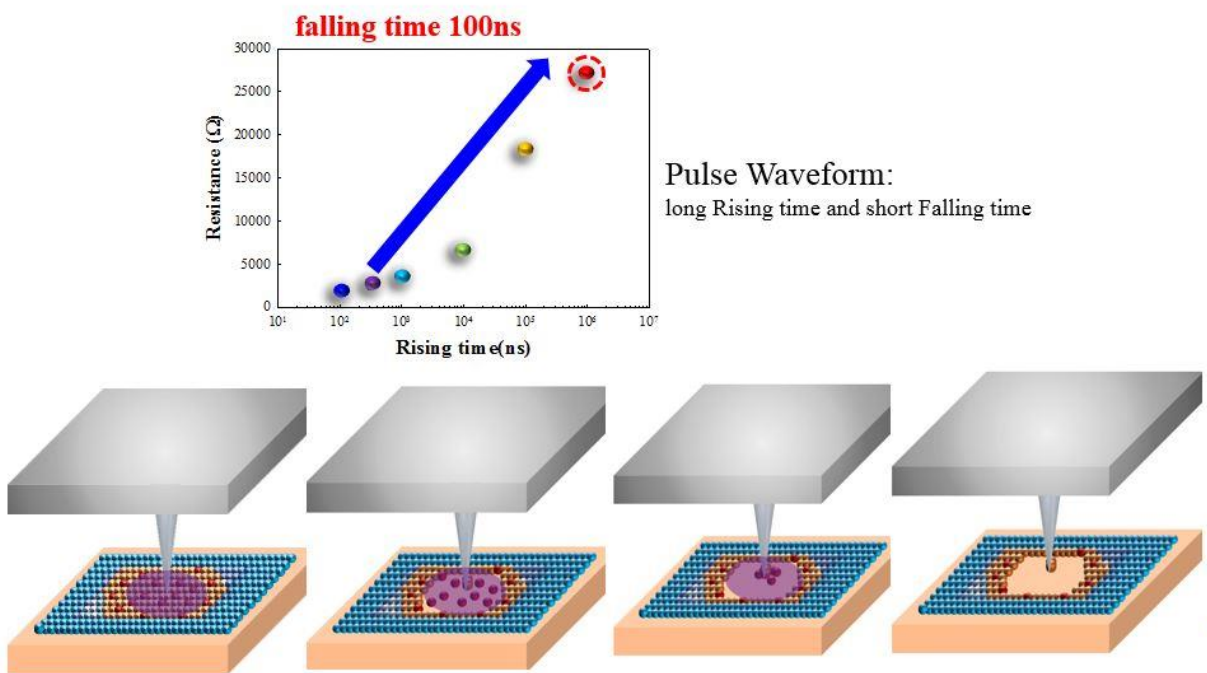
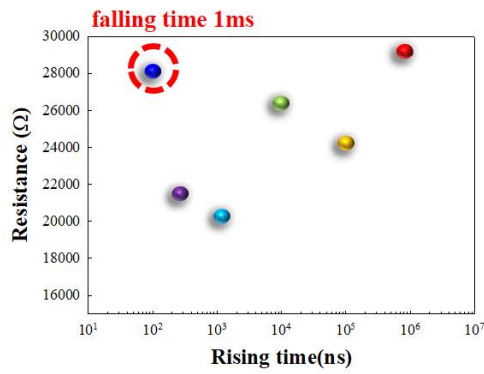


圖 20. Falling time 為 100ns 時，在長 Rising times 能藉由電流熱效應操作需要熱活化的氧離子



Pulse Waveform:
Short Rising time and long Falling time

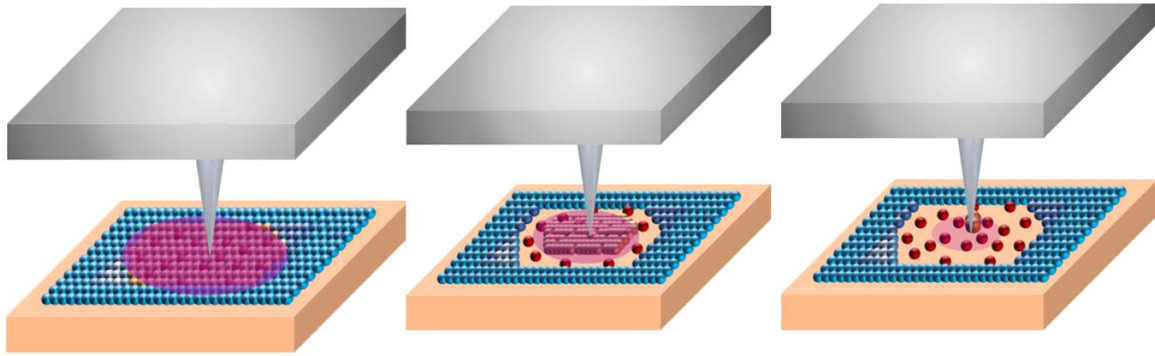
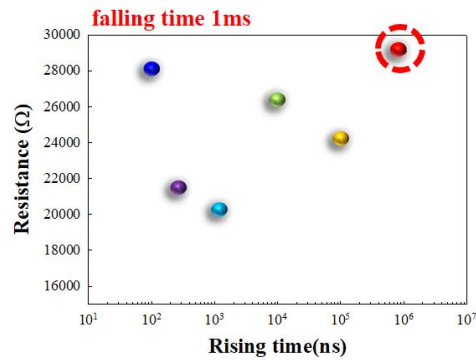


圖 21. Falling time 為 1ms 時，在短 Rising times 藉由電流效應操作最大電場範圍內的氧離子



Pulse Waveform:
long Rising time and long Falling time

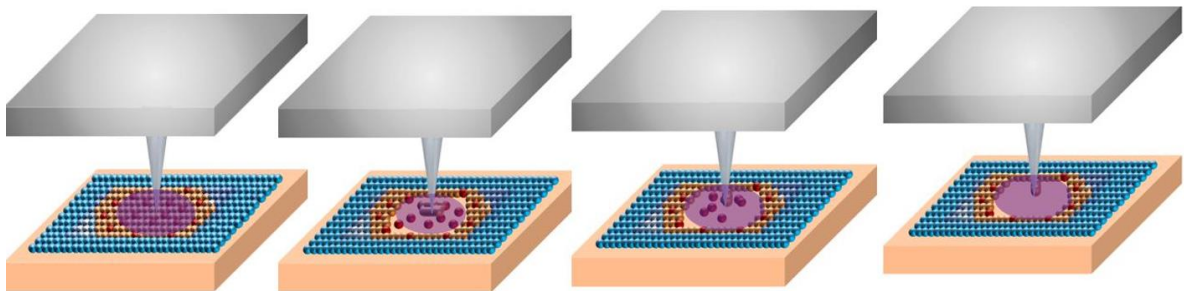


圖 22. Falling time 為 1ms 時，在長 Rising times 藉由熱活化操作需要活化的氧離子

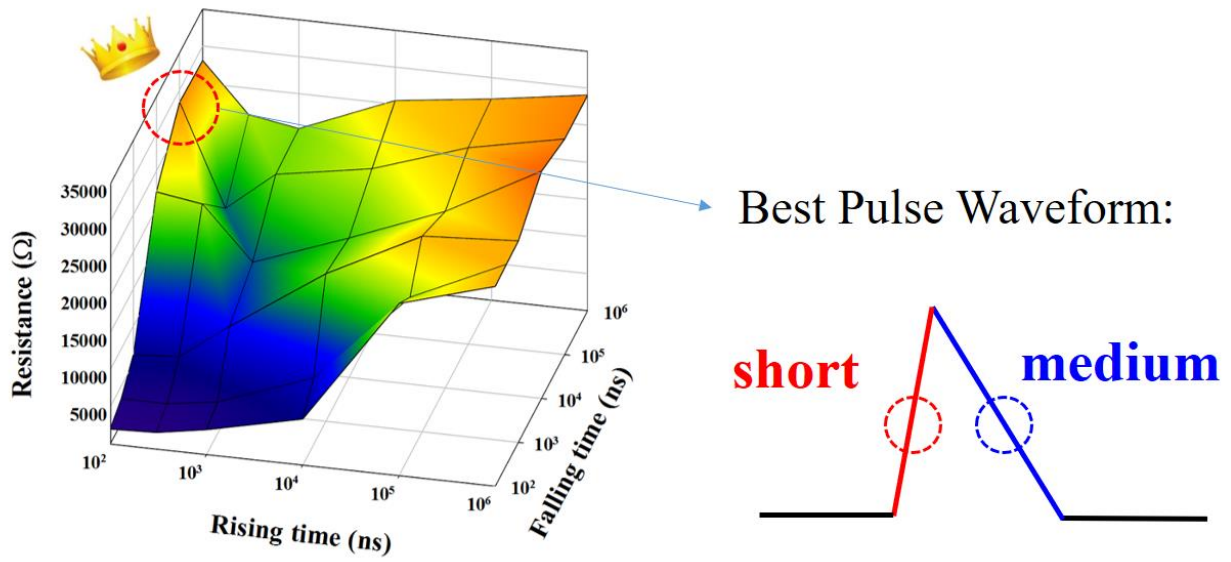


圖 23. 最佳 Reset 波形設計

3. RRAM 可靠度劣化機制分析與模型建立

一般 RRAM 在經過一定次數的操作下，會有劣化的情形出現，導致判讀窗口變小，如圖 24 所示。為了解決這個問題，我們引入 500 秒的 stress 電壓，並觀察其可靠度的變化，發現元件的耐受性恰好坐落於未 Stress 與 Stress1000 秒的中間(圖 25)，進一步確認回覆電壓可改善元件耐受性的手法與氧離子控制模型的正確性。

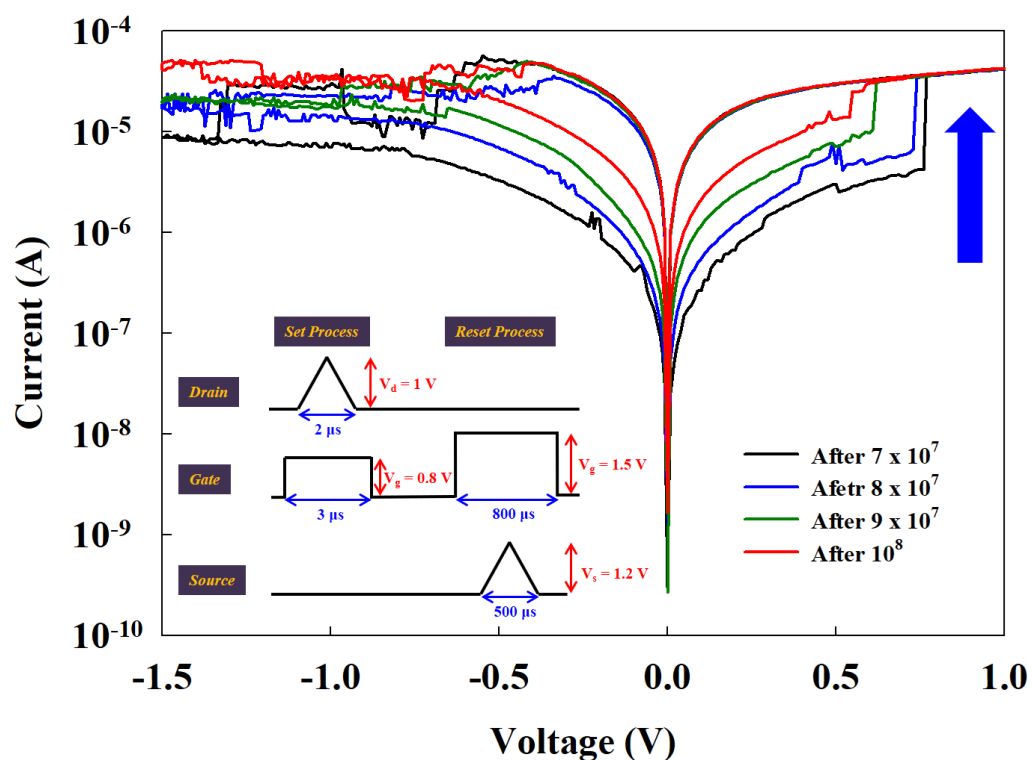


圖 24. Endurance 條件以及 DC sweep 在不同操作次數下的劣化情形

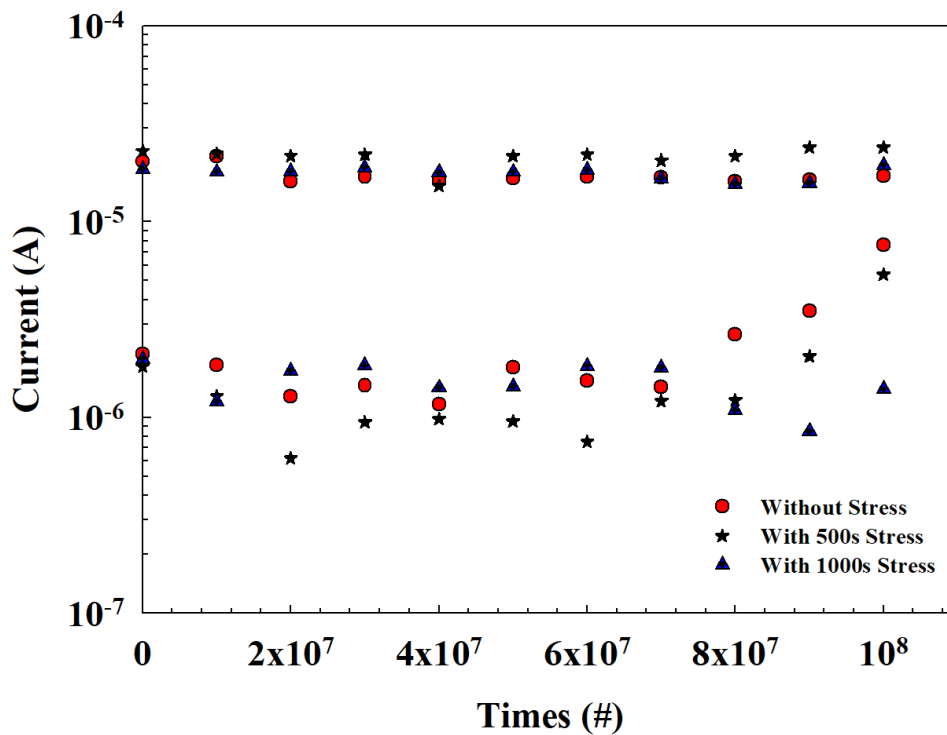


圖 25. 三種不同回覆電壓時間下的操作耐受性，發現耐受性與回覆電壓的時間成正相關

接著我們利用電流機制擬和分析，將劣化的 IV-Curve 進行電性機制擬和，可以發現 HRS 的劣化情形均為 Schottky 機制所主導，並萃取出 Schottky 的斜率與截距，發現斜率不變，而截距逐漸變小，但若將回覆電壓引入，則可以改善劣化的情形，如圖 26 所示。

因此我們提出一個假設模型做解釋，我們認為當操作次數增加，氧離子會逐漸往電極端排，導致最後可以操作的氧離子逐漸變少，因此 HRS 的電阻值逐漸變小，導致最後失去判讀窗口，模型如圖 27 所示。而當我們引入回覆電壓的操作手法後，可以將氧離子從電極端拉回可操作的範圍，因此可以增加 RRAM 的可靠度，模型如圖 28 所示。

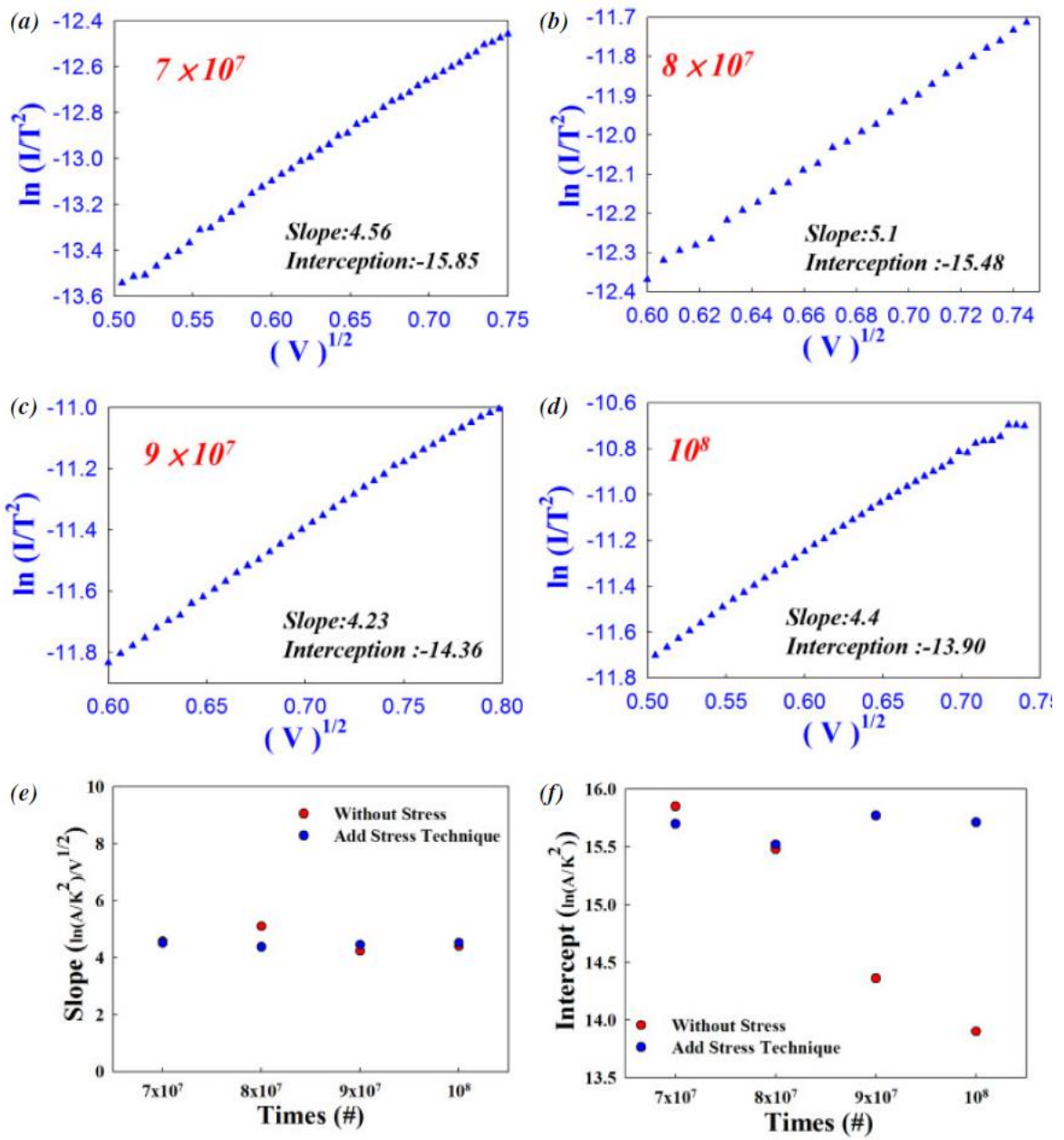


圖 26. 劣化情形之電流機制擬和分析

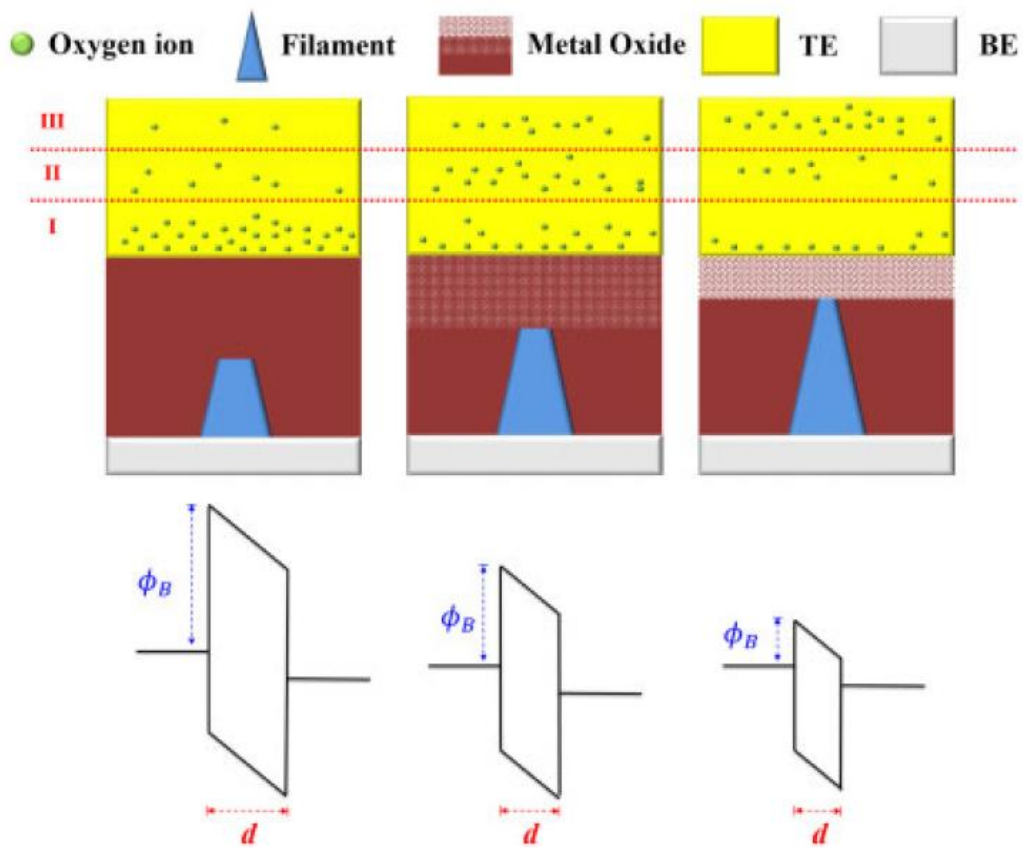


圖 27. Endurance 劣化之模型

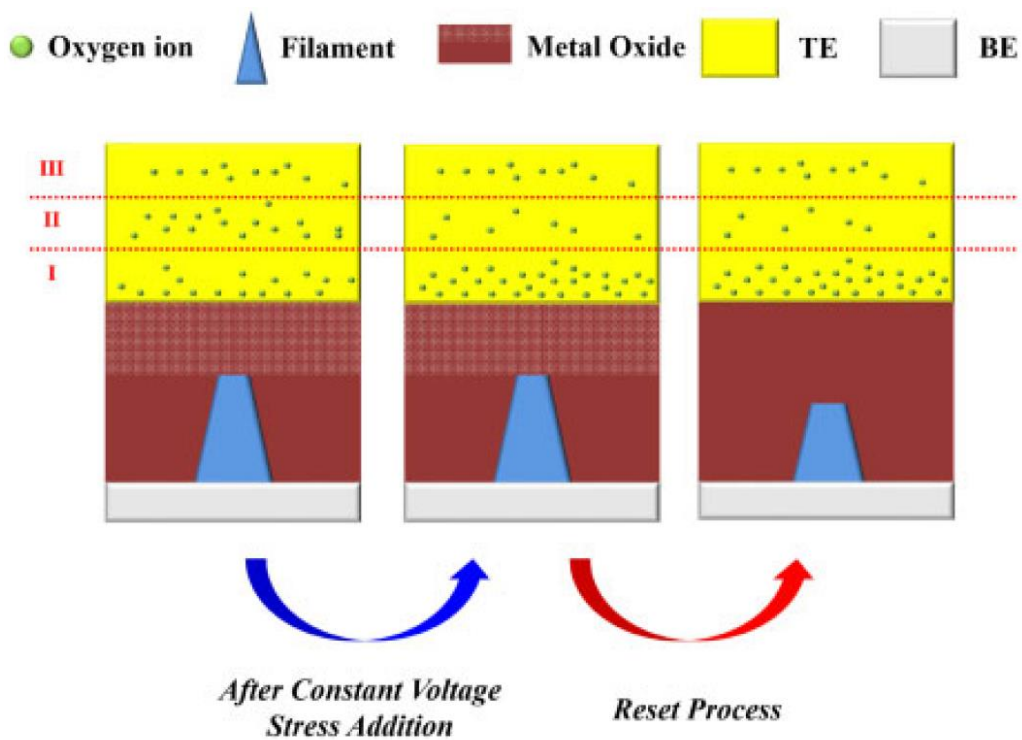


圖 28. 回覆電壓改善元件耐受性之氧離子控制模型

4. 以不同氮含量薄膜作為 RRAM 切換層並製作出低操作電壓元件

後續引入氮元素摻雜於 ITO 薄膜作為元件切換層，從 XPS 材料分析可以看出，在 sputter 製程中通入氮氣可以成功將 N 元素引入之 ITO 中間層，且從四點探針可以發現氮摻雜之 ITO 薄膜具有較高的片電阻，因此可以用來當作 RRAM 的切換層，如圖 29 所示。接著我們進行基本電性分析，可以發現單純的 ITO 當作 RRAM 的中間層在 Forming 前即呈現 normally on 的狀態。而氮摻雜 ITO RRAM 在 Forming 前為絕緣狀態，且可以藉由不同偏壓進行 Forming，但可以觀察到不同偏壓下的 Forming 電壓也不一樣，如圖 30 所示。

由於一般的 RRAM 之 Forming 電壓會隨著 Via Size 的變小而逐漸變大，如氮摻雜 ITO RRAM 在負偏壓下 Forming 的情況。但氮摻雜 ITO RRAM 在正偏壓下 Forming 可以發現 Forming 電壓隨著 Via Size 變小而逐漸變小，此特性可以解決當前 RRAM 微縮 Forming 電壓變大的情形，且由統計確認此異常的趨勢，如圖 31 所示。

接著我們對此進行 RRAM 的操作，可以發現元件可具有較小的 Forming 電壓，可在 +3V 內完成 Forming、Set 及 Reset(圖 32)。且該元件也具有良好的 Retention 與 Endurance(圖 33)。

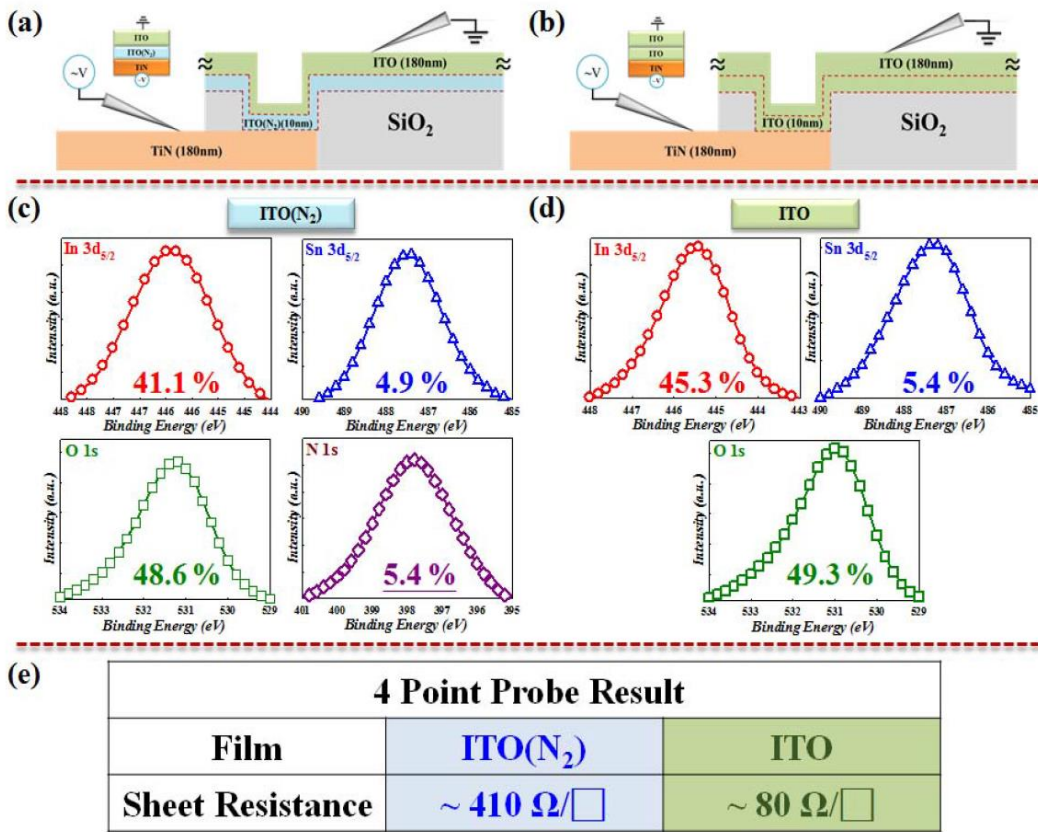


圖 29. RRAM 中間層摻雜 N 與單純 ITO 之 XPS 分析與四點探針之分析

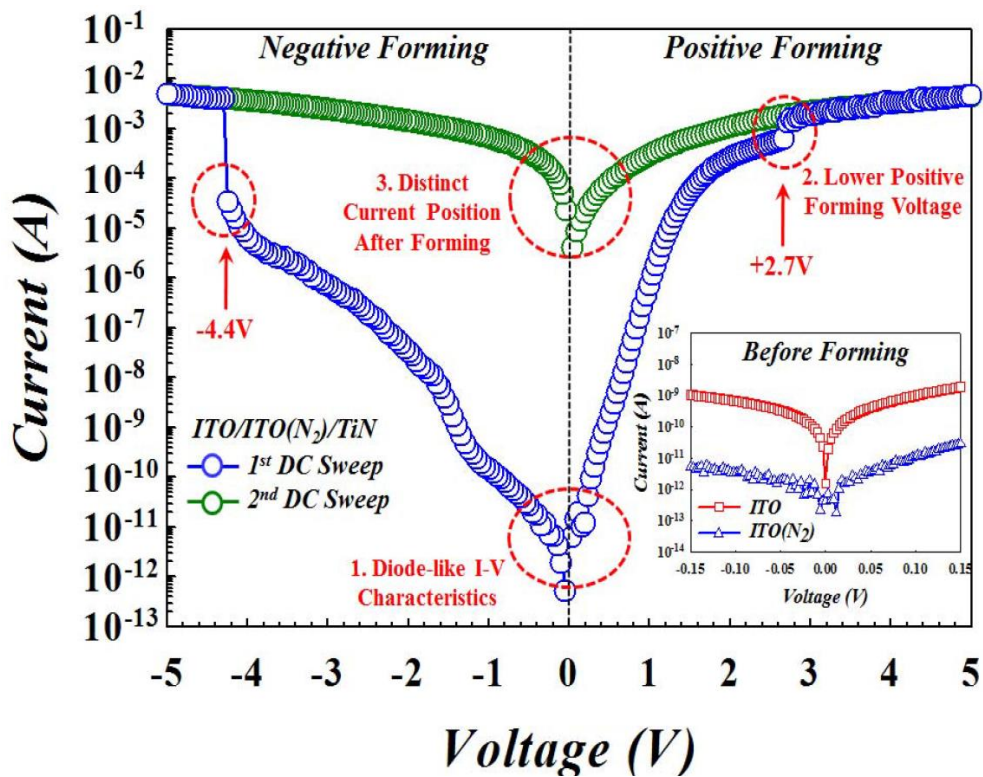


圖 30. 氮摻雜 ITO RRAM 在不同偏壓下之 Forming 過程

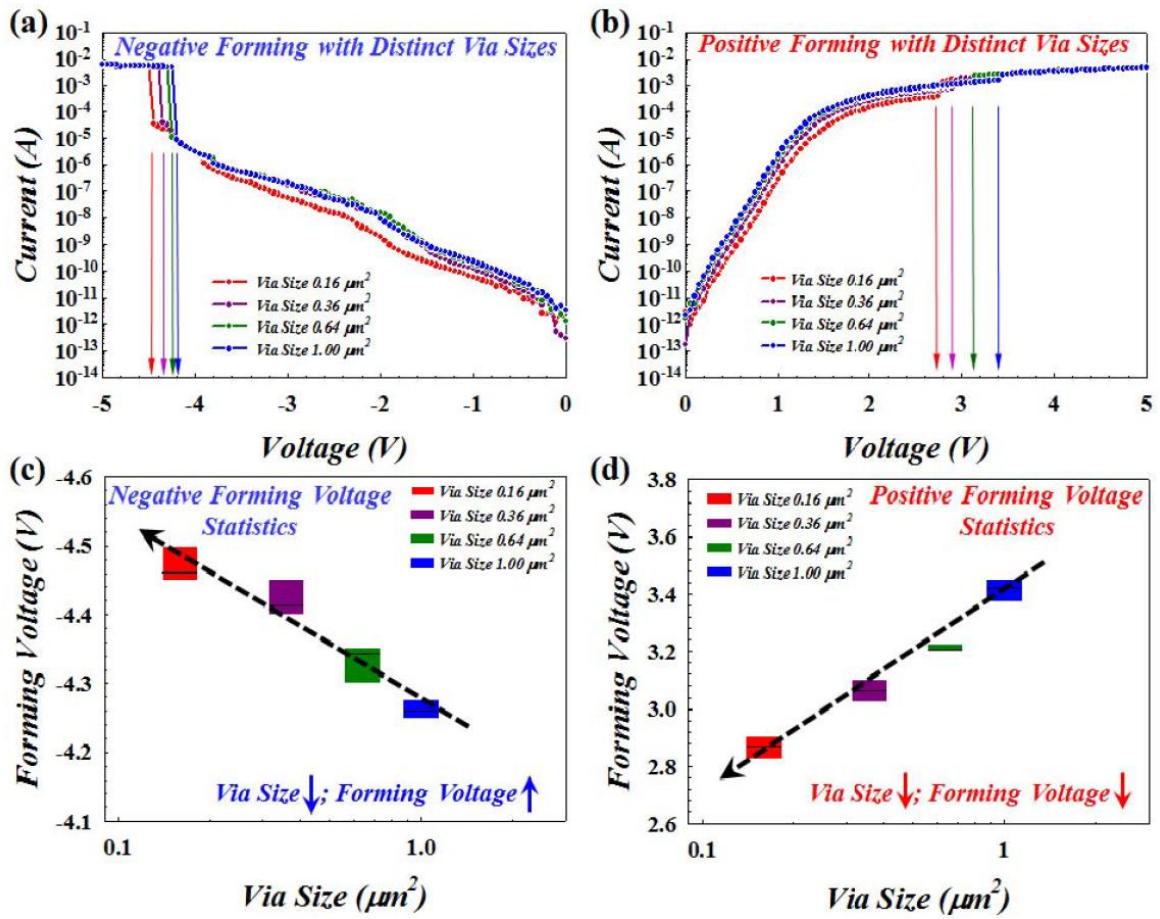


圖 31. 氮摻雜 ITO RRAM 在不同偏壓下之 Forming 電壓統計

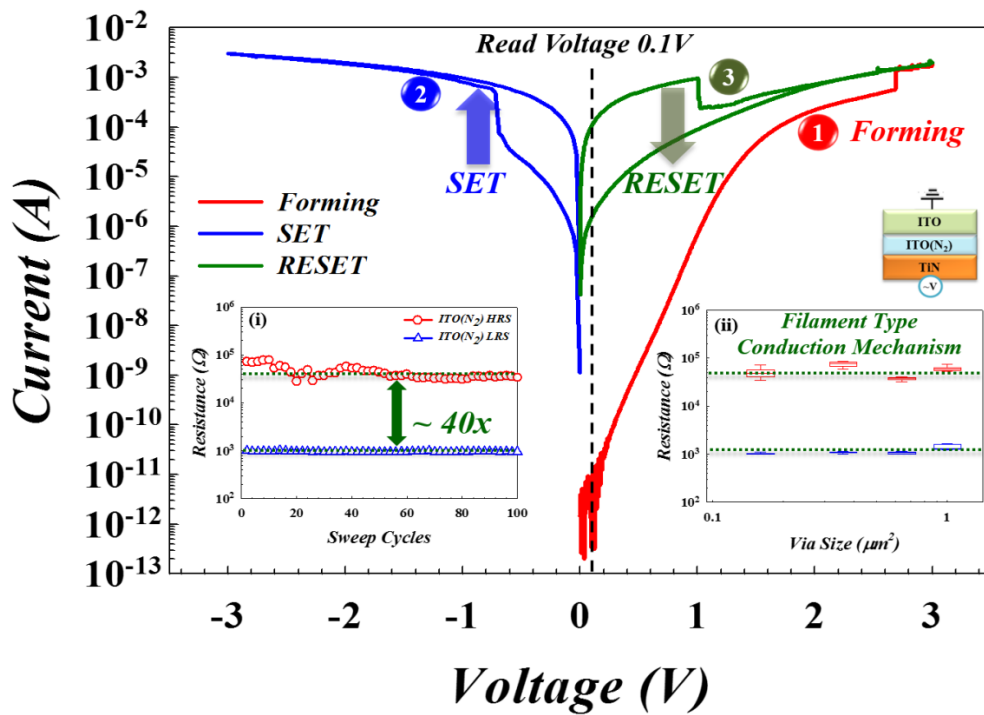


圖 32. 氮摻雜 ITO RRAM 元件操作特性圖

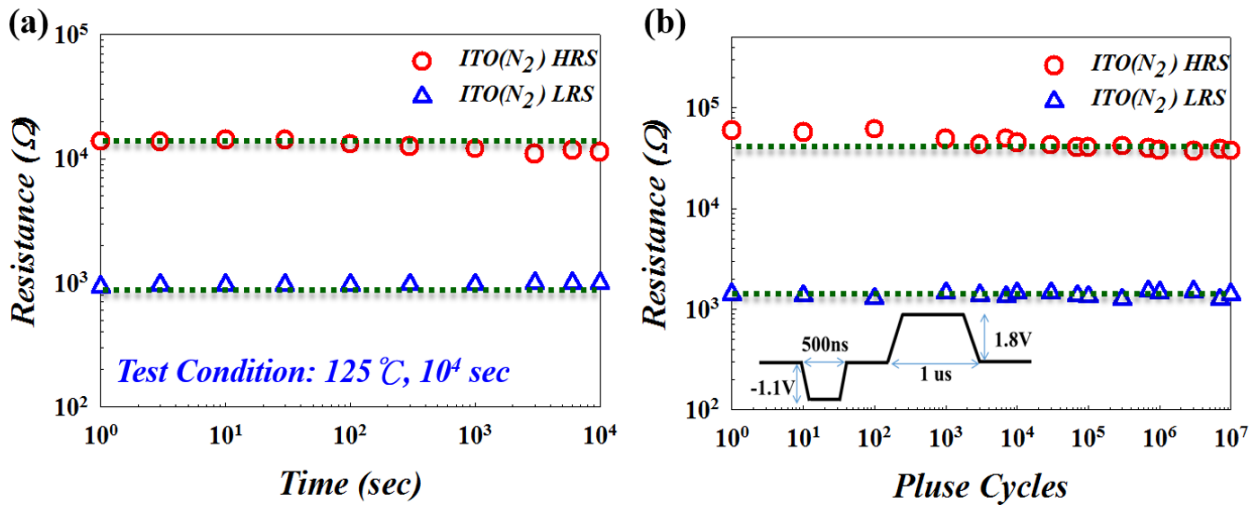


圖 33. 氮摻雜 ITO RRAM 元件耐受性與可靠度特性圖

5. 透過電漿製程技術或不同金屬摻雜製作出低功耗 RRAM 元件

進一步引入其他具大量半滿軌域的高原子量金屬 Er 並摻雜於 ITO 電極中，從材料分系 XPS 可以確認金屬 Er 的成功摻雜進入 ITO 電極(圖 34(b))，且可以發現摻雜金屬 Er 後，仍保有 Forming 自限流的現象，並且降低了 Forming 限流的電流值(圖 34)，初步認為是由於金屬 Er 的摻入，使電極的電阻值上升所導致(圖 34(c))。

接著對 Er 摻雜 ITO 電極 RRAM 元件進行基本的電性分析，與未摻雜的 ITO 電極 RRAM 相比，明顯降低了操作電流，如圖 35 所示。與先前金屬 Gd 摻雜的 IV-Curve 一起做疊圖，有摻雜重金屬的 ITO 電極均可以明顯的降低 RRAM 的操作電流，如圖 36 所示。接著我們對基本的電性做統計的分析，發現摻雜高原子量的 RRAM 後，可以降低操作電流，並且增加判讀窗口，且仍保持良好的可靠度，如圖 37 所示。

為了瞭解降低操作電流的原因，我們對 IV-Curve 進行電流機制擬和的分析(圖 38)，發現 LRS 與 HRS 均是以 Schottky 機制主導，認為是因為摻雜高原子量金屬 Er 的 ITO 電極在 Set 過程會將氧離子侷限在操作端附近，導致在 LRS 電子仍須跨越一層 barrier，因此在 LRS 形成 Schottky 的傳導機制。

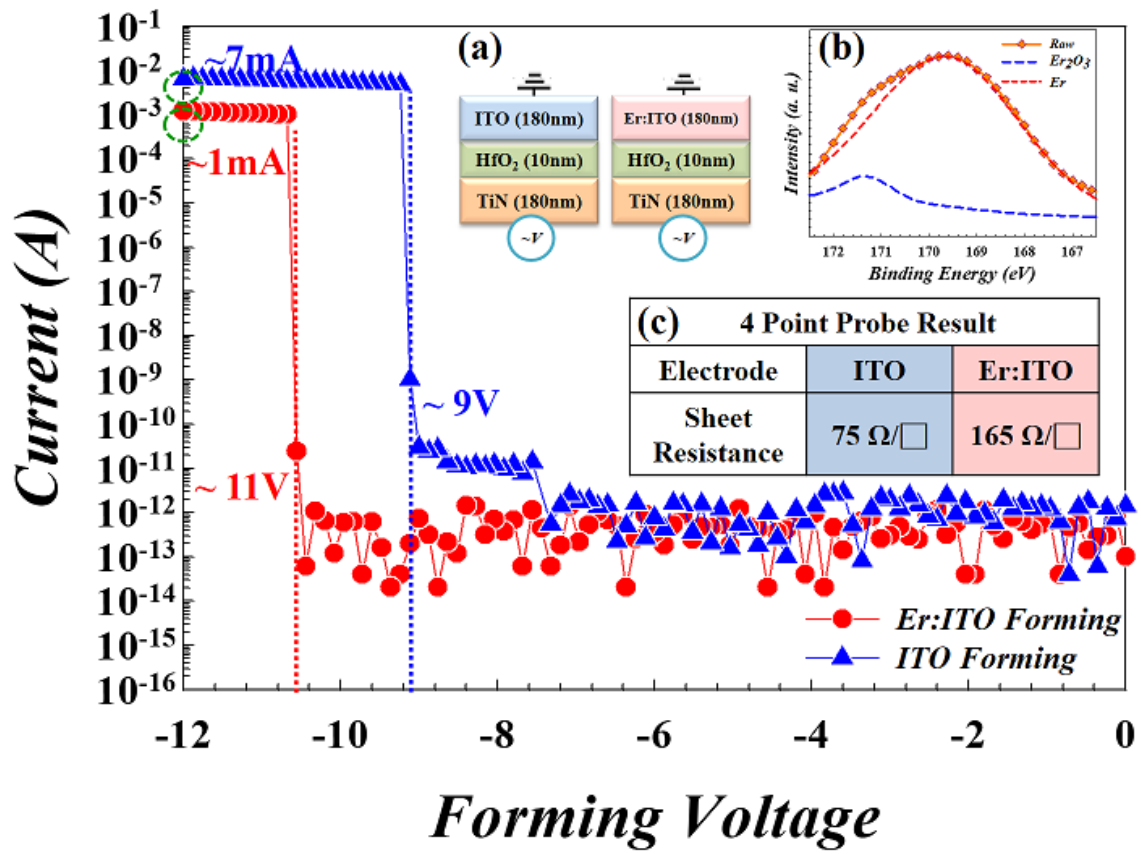


圖 34. Er 摻雜 ITO 電極 RRAM 元件之 Forming 過程與(a)元件結構圖 (b)材料分析 (c)四點探針分析

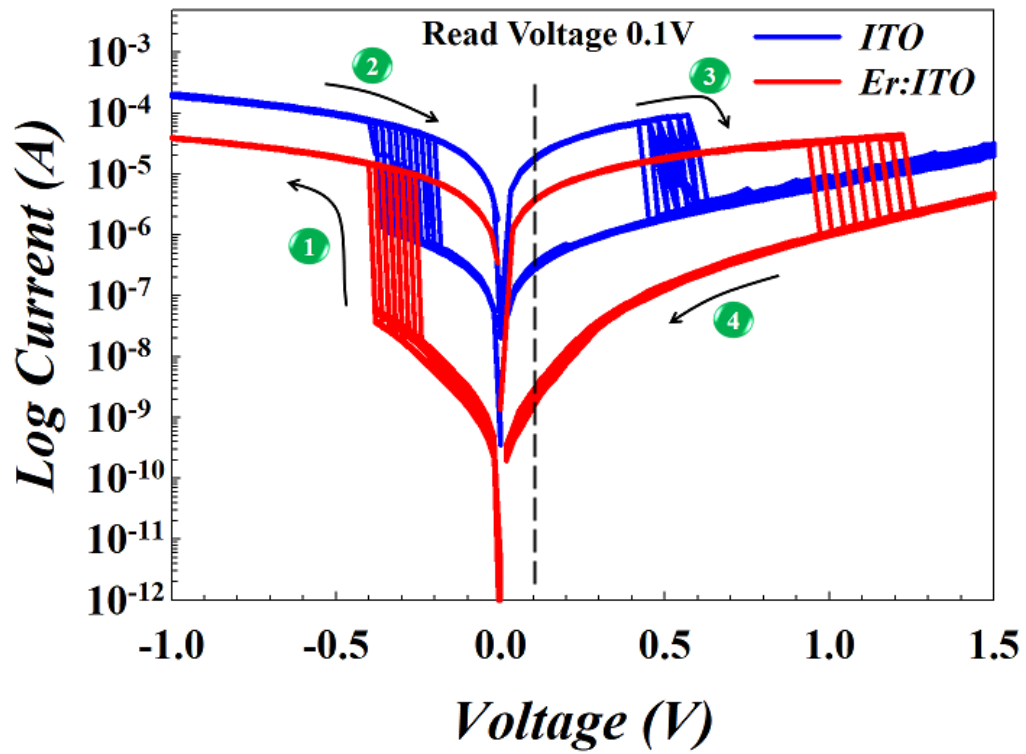


圖 35. Er 摻雜 ITO 電極 RRAM 元件之基本電性圖

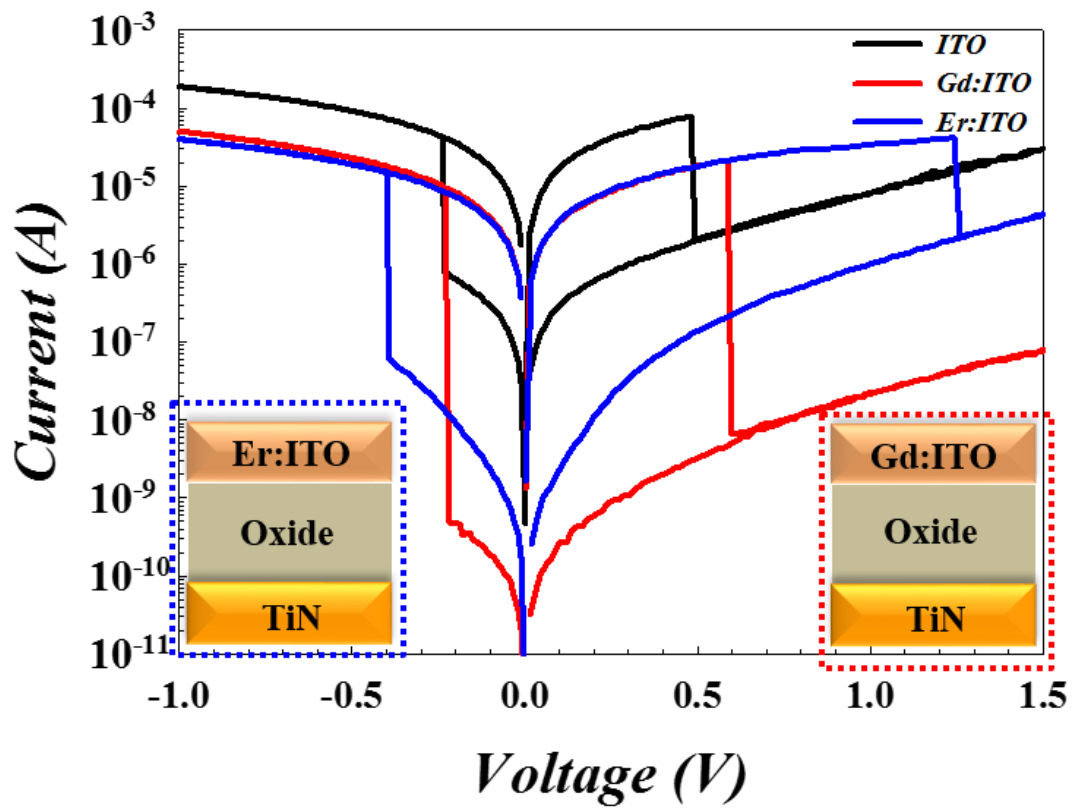


圖 36. 不同鐳系金屬摻雜於 ITO 電極中的特性曲線

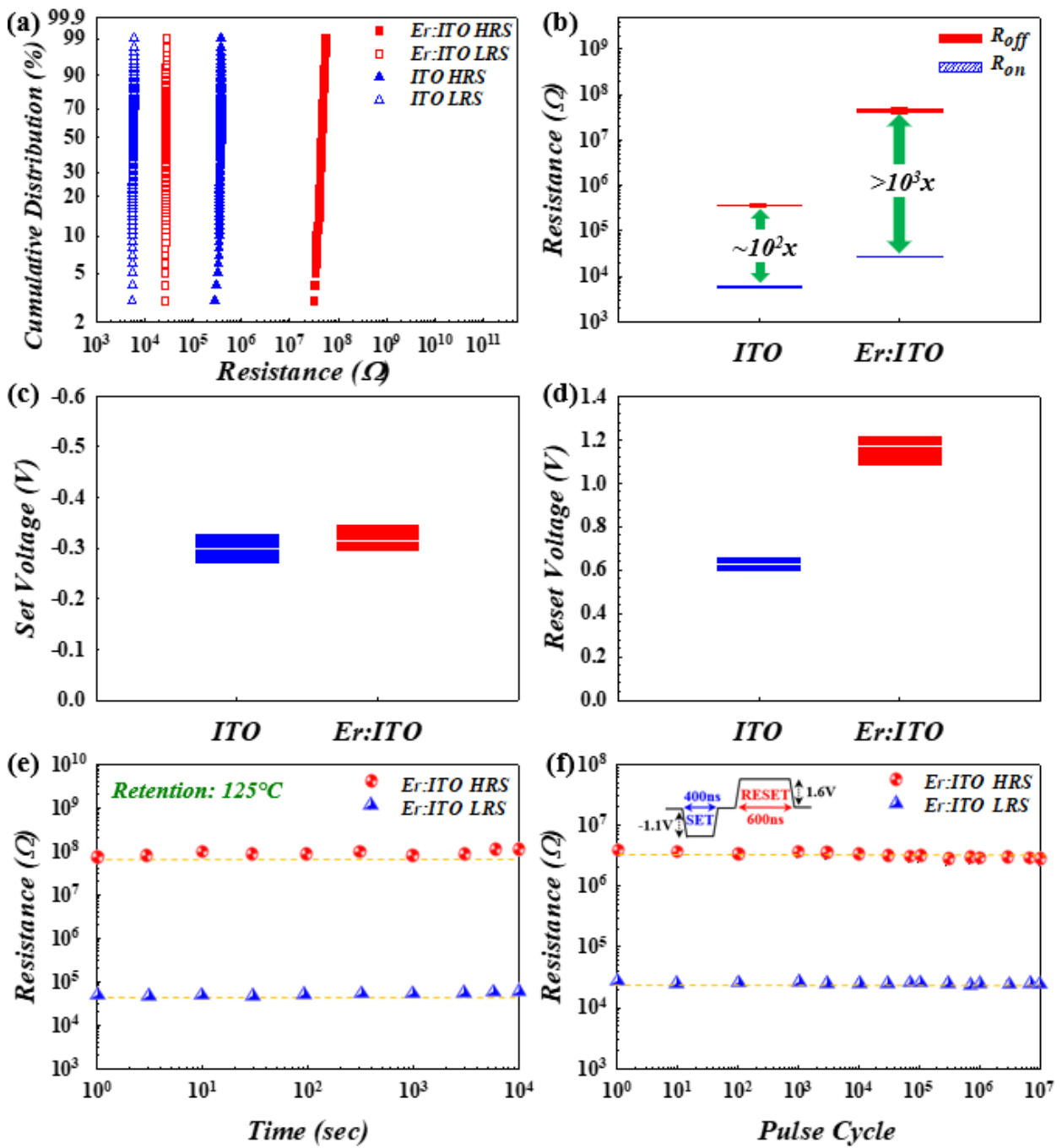


圖 37. Er 摻雜 ITO 電極 RRAM 元件之基本電性與可靠度分析

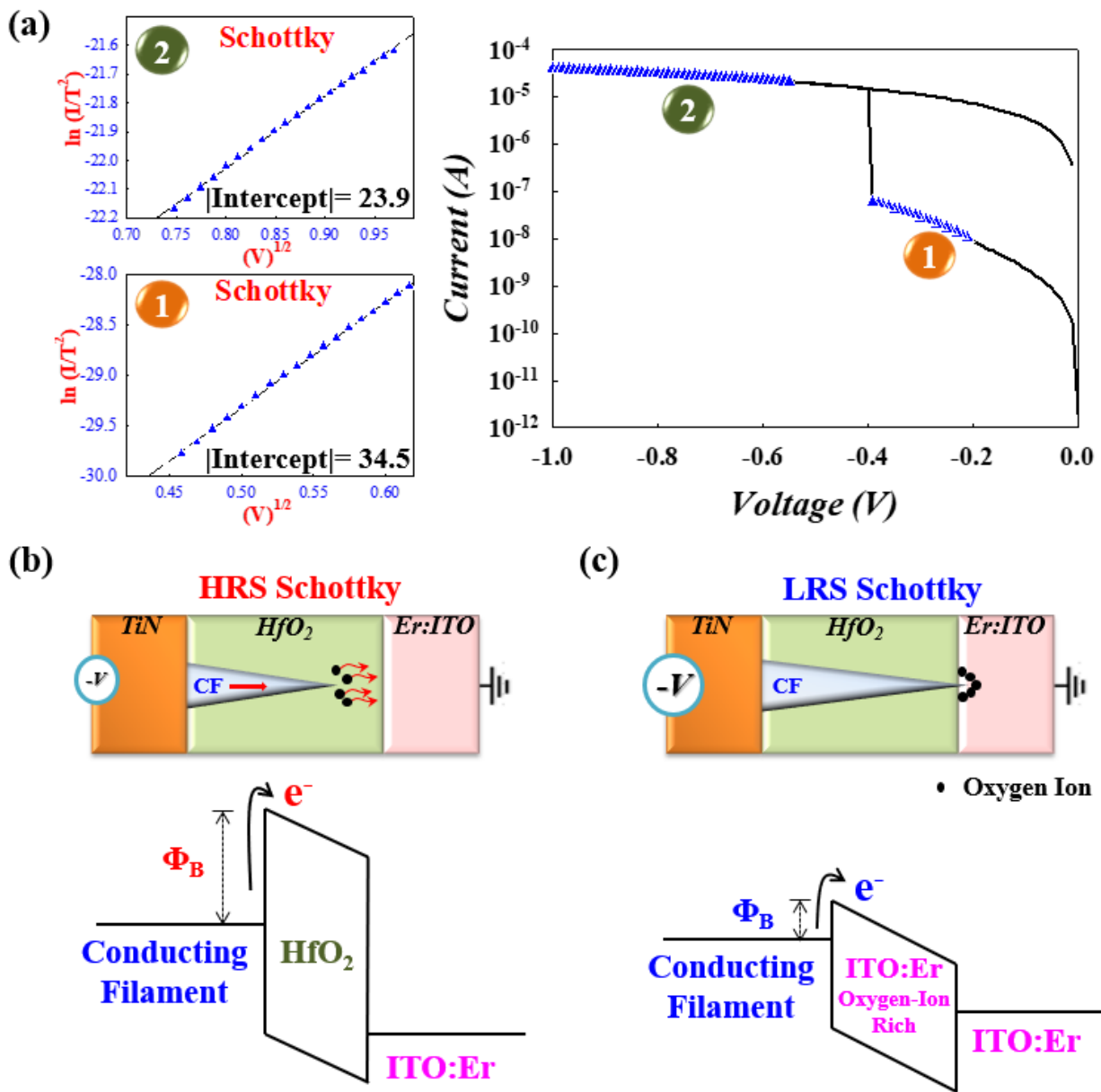


圖 38. Er 摻雜 ITO 電極 RRAM 元件之電流機制擬和分析與模型假設

本計畫除藉由完整分析記憶體元件熱場與電場模型針對可靠度劣化機制進行研究外，於製程端導入現有常見金屬氧化物薄膜材料以及電漿改質與金屬微量摻雜等製程手法，進一步提升了元件的性能及降低元件功耗，並製作出高性能/節能電阻式記憶體元件，提供摻雜型金屬氧化物薄膜材料未來應用於記憶體元件之可行性評估。

肆、参考文献

1. I. G. Baek, M. S. Lee, S. Seo, et al., “Highly Scalable Non-volatile Resistive Memory using Simply Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses” Tech. Dig. - Int. Electron Devices Meet. 2004, 587 (2004).
2. Z. Jin, G. Liu, J. Wang, Organic nonvolatile resistive memory devices based on thermally deposited Au nanoparticle. AIP Advances 3, 052113 (2013).
3. T.-M. Tsai et al., Dehydroxyl effect of Sn-doped silicon oxide resistance random access memory with supercritical CO₂ fluid treatment. Appl. Phys. Lett. 101, 112906 (2012).
4. A. Sawa, “Resistive switching in transition metal oxide,” Materials today, vol. 11, pp. 28-36, 2008.
5. S. Sze, Physics of semiconductor devices. Wiley-Blackwell (New York, 2007), vol. 3rd edition.
6. D. Ielmini, Y. Zhang, Analytical model for subthreshold conduction and threshold switching in chalcogenide-based memory devices. Journal of Applied Physics 102, 054517 (2007).
7. M. Pashchanka, R. C. Hoffmann, A. Gurlo, J. J. Schneider, J. Mater. Chem. 20, 8311-8319 (2010).
8. G. Liu, INT J ELECTROCHEM SC. 6, 2162-2170 (2011).
9. P. Koscielniak, J. Mazur, J. Henek, M. Kwoka, Ł. Pawela, J. Szuber, Thin Solid Films. 520, 927-931 (2011).